



# Optimisation de mémoires PCRAM pour générations sub-40 nm : intégration de matériaux alternatifs et structures innovantes.

Quentin Hubert

## ► To cite this version:

Quentin Hubert. Optimisation de mémoires PCRAM pour générations sub-40 nm : intégration de matériaux alternatifs et structures innovantes.. Autre. Université de Grenoble, 2013. Français. NNT : 2013GRENT088 . tel-01061795

**HAL Id: tel-01061795**

**<https://theses.hal.science/tel-01061795>**

Submitted on 8 Sep 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano-électronique & Nano-technologies**

Arrêté ministériel : 7 août 2006

Présentée par

**Quentin HUBERT**

Thèse dirigée par **Georges PANANAKAKIS**  
et co-encadrée par **Carine JAHAN**

préparée au sein du **CEA-LETI**  
dans l'**École Doctorale Electronique, Electrotechnique,**  
**Automatique et Traitement du Signal**

# Intégration, caractérisation et optimisation de dispositifs PCRAM : matériau alternatif et nouvelles structures

Thèse soutenue publiquement le **17 Décembre 2013**  
devant le jury composé de :

**Monsieur Christophe MULLER**

Prof., Laboratoire IM2NP, Marseille, France

(Président rapporteur)

**Monsieur Salvatore LOMBARDO**

Prof., Laboratoire CNR-IMM, Catagne, Italie

(Rapporteur)

**Madame Paola ZULIANI**

Dr., STMicroelectronics, Agrate, Italie

(Examineur)

**Monsieur Jean-Luc BATTAGLIA**

Prof., Laboratoire I2M, Bordeaux, France

(Examineur)

**Madame Carine JAHAN**

Dr., CEA-LETI, Grenoble, France

(Co-encadrante)

**Monsieur Georges PANANAKAKIS**

Prof., IMEP-LAHC, Grenoble, France

(Directeur de thèse)







## Table des matières

<b>Remerciements</b> .....	9
----------------------------	---

## Chapitre I : Les mémoires non-volatiles actuelles, vers un essor des PCRAM ?

I. État de l’art des mémoires non-volatiles.....	17
I.1 Contexte économique et technique .....	17
I.2 Technologie des mémoires Flash.....	19
I.3 Évolution des mémoires Flash pour les applications “stand-alone”.....	21
I.3.1 Marché et utilisation .....	21
I.3.2 Limitations de la technologie NAND Flash.....	23
I.3.3 Solutions et perspectives .....	24
I.4 Évolution des mémoires Flash pour les applications embarquées .....	26
I.4.1 Marché et utilisation .....	26
I.4.2 Technologies actuelles et challenges .....	27
I.5 Conclusion concernant les mémoires Flash .....	29
I.6 Mémoires non-volatiles alternatives et émergentes .....	30

## Table des matières

---

I.6.1	Description des différentes mémoires non-volatiles alternatives et émergentes ..	31
I.6.2	Comparaison qualitative des principales mémoires alternatives et émergentes ..	33
II.	Mémoires à changement de phase .....	35
II.1	Transition de phase au sein d'un matériau chalcogénure.....	35
II.1.1	Historique.....	35
II.1.2	Le matériau à changement de phase de référence : $\text{Ge}_2\text{Sb}_2\text{Te}_5$ .....	35
II.2	Fonctionnement d'une mémoire à changement de phase .....	36
II.3	Avantages et faiblesses des mémoires à changement de phase.....	40
II.3.1	Avantages des mémoires à changement de phase.....	40
II.3.2	Faiblesses liées aux courants de programmation.....	44
II.3.3	Contraintes spécifiques liées aux applications "stand-alone" .....	47
II.3.4	Contraintes spécifiques liées aux applications embarquées.....	48
II.4	Structure des cellules mémoires à changement de phase.....	50
III.	Type d'architectures PCRAM et applications .....	53
III.1	Architectures pour les applications embarquées .....	53
III.2	Architectures pour les applications "stand-alone" .....	55
III.2.1	L'architecture crossbar .....	56
III.2.2	L'architecture verticale .....	57
III.2.3	L'architecture verticale avec sélecteur parallèle .....	59
III.2.4	Les sélecteurs pour les applications "stand-alone" .....	60
IV.	Performances de la technologie PCRAM et opportunités .....	64
IV.1	Mémoires actuelles vs. mémoires PCRAM.....	64
IV.2	Transformation de la hiérarchie actuelle des mémoires par les mémoires émergentes	66
	Conclusion du Chapitre I et orientation donnée au travail de thèse.....	68
	Bibliographie .....	70

## Chapitre II : Fabrication au LETI de dispositifs PCRAM

### Méthodes et moyens de caractérisation et de simulation associés

I.	Fabrication au LETI de dispositifs mémoires à changement de phase .....	83
----	---	----

I.1	Description simplifiée des étapes technologiques de fabrication.....	83
I.2	Procédé de dépôt du matériau à changement de phase .....	85
II.	Techniques de caractérisation physico-chimique du matériau à changement de phase .....	87
II.1	Détermination de la composition du matériau à changement de phase .....	87
II.1.1	Composition d'un échantillon pleine tranche .....	87
II.1.2	Analyse de la composition chimique d'un dispositif mémoire .....	89
II.2	Etude de la cristallisation des matériaux à changement de phase .....	91
II.2.1	Théorie de la cristallisation.....	91
II.2.2	Mesure de la température de cristallisation .....	92
II.2.3	Caractérisation de la cinétique de cristallisation.....	94
III.	Caractérisations électriques de dispositifs PCRAM .....	96
III.1	Application d'impulsions électriques.....	96
III.2	Mesure des caractéristiques électriques des dispositifs PCRAM.....	97
III.3	Caractérisation des performances des cellules PCRAM .....	99
III.3.1	Consommation électrique.....	99
III.3.2	Rapidité d'écriture et d'effacement.....	100
III.3.3	Fenêtre de programmation et endurance .....	101
III.3.4	Stabilité de la phase amorphe.....	102
IV.	Outils de simulation de type éléments finis des dispositifs PCRAM.....	104
IV.1	Création de la structure à simuler .....	104
IV.2	Définition des modèles utilisés .....	105
IV.3	Définition de la simulation et exploitation des résultats.....	110
	Conclusion du Chapitre II.....	112
	Bibliographie.....	113

## Chapitre III : Amélioration des performances électriques des dispositifs mémoires PCRAM à base de GST par ajout d'une couche diélectrique d'interface

I.	Intérêt de l'ajout d'une fine couche diélectrique d'interface entre le GST et le pilier en tungstène.....	120
----	---	-----

## Table des matières

I.1	Amélioration de l'adhérence du matériau GST.....	120
I.2	Réduction des courants de programmation.....	121
I.3	Problématique de l'étude .....	122
II.	Impact d'une couche d'interface en $\text{HfO}_2$ sur les performances électriques de dispositifs PCRAM .....	122
II.1	Description des dispositifs PCRAM étudiés.....	122
II.2	Performances des dispositifs PCRAM intégrant une couche diélectrique d'interface en $\text{HfO}_2$ .....	125
II.2.1	Etape initiale de claquage .....	125
II.2.2	Réduction des courants de programmation et de la consommation électrique .....	130
II.2.3	Rapidité de programmation .....	132
II.2.4	Endurance et fenêtre de programmation.....	132
II.2.5	Stabilité temporelle et thermique de l'état RESET .....	134
II.2.6	Intérêt pour le pré-stockage d'informations .....	135
II.2.7	Conclusion.....	139
III.	Lien entre le claquage de la couche de $\text{HfO}_2$ et la consommation électrique du dispositif.....	140
III.1	Possibilité de création de chemins conducteurs .....	140
III.2	Impact de la limitation en courant imposée par la résistance série.....	142
III.3	Impact de la capacité parasite .....	143
III.4	Estimation de la taille des chemins conducteurs.....	147
III.5	Exploration de divers matériaux diélectriques d'interface .....	150
IV.	Impact de l'ajout d'une couche d'interface diélectrique sur la cristallisation des matériaux à changement de phase .....	152
	Conclusion du Chapitre III .....	156
	Bibliographie .....	157

## Chapitre IV : Intérêt du dopage au carbone pour améliorer les performances électriques des dispositifs mémoires PCRAM à base de GST

I.	Intérêt de modifier le matériau à changement de phase .....	163
----	---	-----

I.1	Amélioration des performances par modification de la stœchiométrie de l'alliage $\text{Ge}_x\text{Sb}_y\text{Te}_z$ .....	163
I.2	Amélioration des performances par dopage du GST .....	164
I.2.1	Impact des principaux dopants sur les performances de cellules PCRAM .....	164
I.2.2	Dopage au carbone des matériaux à changement de phase .....	165
I.3	Problématique de l'étude .....	166
II.	Impact du dopage au carbone sur les performances électriques de dispositifs PCRAM de dimensions réduites à base de GST .....	167
II.1	Fabrication de dispositifs à structure "Wall" de dimensions réduites .....	167
II.2	Caractéristiques R-I et consommation électrique .....	168
II.3	Miniaturisation des dispositifs PCRAM et dopage au carbone .....	170
II.4	Rapidité de programmation .....	170
II.5	Fenêtre de programmation et endurance .....	171
II.6	Stabilité thermique de la phase amorphe .....	172
II.7	Conclusion .....	174
III.	Lien entre l'ajout du carbone et les performances des dispositifs PCRAM .....	175
III.1	Réduction des courants de programmation .....	176
III.1.1	Paramètres du matériau à changement de phase contrôlant le courant de RESET des dispositifs PCRAM .....	176
III.1.2	Cas du GST dopé au carbone .....	177
III.2	Stabilisation de la phase amorphe .....	183
III.3	Conclusion .....	184
IV.	Intérêt du dopage au carbone pour surmonter l'étape de soudure .....	184
IV.1	Effet combiné du carbone et du titane .....	184
IV.2	Intérêt pour conserver l'information lors de l'étape de soudure .....	186
IV.3	Conclusion .....	190
	Conclusion du Chapitre IV .....	191
	Bibliographie .....	192

## Chapitre V : Fabrication d'un élément de sélection pour architecture crossbar et co-intégration avec un élément résistif PCRAM

I. Cahier des charges du sélecteur pour les architectures crossbar PCRAM .....	201
II. Mise au point et fabrication d'une diode PN verticale en silicium .....	203
II.1 Présentation des choix technologiques .....	203
II.1.1 Fabrication de la diode .....	204
II.1.2 Choix des valeurs de dopage des zones N et P .....	206
II.2 Mise au point de l'épitaxie sélective des zones N et P .....	209
II.3 Caractérisation morphologique des diodes verticales .....	213
III. Caractérisation électrique des diodes verticales .....	215
III.1 Comportement quasi-statique des diodes .....	215
III.1.1 Mesure des caractéristiques Courant-Tension .....	215
III.1.2 Impact du dopage sur les caractéristiques I-V des diodes .....	217
III.1.3 Impact de la section du via sur les performances des diodes polarisées en direct .....	219
III.1.4 Impact de la section du via sur les performances des diodes polarisées en inverse .....	223
III.1.5 Détérioration des diodes PN en cours d'utilisation .....	226
III.2 Comportement dynamique des diodes .....	227
III.3 Conclusion concernant les performances des diodes et compatibilité avec les spécifications des sélecteurs .....	230
IV. Fabrication de cellules PCRAM 1D1R .....	231
V. Propositions pour réduire le budget thermique de la diode de sélection .....	233
Conclusion du Chapitre V .....	239
Bibliographie .....	240
<b>Conclusion générale et perspectives .....</b>	<b>241</b>
<b>Bibliographie de l'auteur .....</b>	<b>247</b>

## Remerciements

Bien qu'un seul nom soit écrit sur la couverture de ce manuscrit, il a fallu le concours d'un grand nombre de personnes pour aboutir à ce résultat. Je souhaite donc à l'aide des paragraphes à venir, remercier chacune des personnes qui ont contribué de près ou de loin au bon déroulement de cette thèse.

Tout d'abord, cette thèse s'étant déroulée au sein du laboratoire mémoire (LTMA) du CEA-LETI et au sein du laboratoire IMEP-LAHC, dirigés respectivement par Barbara De Salvo et Gérard Ghibaudo, je tiens à les remercier de m'avoir accueilli et d'avoir mis à ma disposition tous les moyens nécessaires à la bonne réalisation de cette thèse.

Je souhaite ensuite remercier mon encadrante au sein du LTMA : Carine Jahan ainsi que mon directeur de thèse : Georges Pananakakis de l'IMEP-LAHC. Merci à vous d'avoir dirigé l'ensemble des recherches présentées dans ce document et merci de m'avoir permis de réaliser cette thèse dans les meilleures conditions possibles. Merci pour votre soutien sans faille dans les moments clés. Merci pour vos précieux conseils. Merci pour votre patience et votre confiance sans limite. En particulier, je tiens à exprimer toute ma reconnaissance à Carine non seulement pour sa bonne humeur générale, sa disponibilité et son optimisme mais également pour avoir été l'encadrante idéale de ces trois années et demie de stage et de thèse. Tu es pour beaucoup dans le bon déroulement de cette thèse et ce fût un réel plaisir de travailler avec toi.



## Remerciements

---

Je souhaite maintenant remercier chaleureusement les membres du jury qui m'ont fait l'honneur de juger mon travail. Ainsi, je remercie M. Christophe Muller, professeur à l'université d'Aix-Marseille (Marseille), d'avoir présidé le jury et d'avoir été rapporteur de ce travail. Merci également à M. Salvatore Lombardo, directeur de recherche au CNR-IMM (Catagne) d'avoir été rapporteur de ce travail. Merci à Mme Paola Zuliani, ingénieure à STMicroelectronics (Agrate) ainsi qu'à M. Jean-Luc Battaglia, professeur à l'université Bordeaux 1 (Bordeaux), d'avoir été examinateurs de ces travaux. Merci pour l'intérêt que vous avez porté à mon travail ainsi que pour les conseils formulés afin d'améliorer ce manuscrit.

Il me serait impossible de ne pas remercier comme il se doit l'ensemble des personnes, collègues et amis, du CEA-LETI qui ont partagé mon quotidien avec un œil bienveillant et dont la contribution à cette thèse a permis son bon déroulement.

Je remercie donc l'ensemble des personnes impliquées dans le projet ePCRAM : Véronique Sousa pour sa bonne humeur, sa gentillesse et son expertise concernant les matériaux à changement de phase (j'ai espoir que les posters que j'ai oubliés dans un train Milan-Chambéry nous seront un jour renvoyés), Luca Perniola pour ses réponses à mes questions relatives à la caractérisation électrique et au dépôt de brevet, Jean-François Nodin pour sa vision souvent différente et son imagination mais également pour être l'instaurateur du chaleureux café de 9h, Alain Persico pour le suivi assidu de lots et pour m'avoir initié à la course à pied et au fractionné, Olga Cueto pour m'avoir formé à la simulation TCAD et pour m'avoir fait confiance, notamment lors de mon stage de fin d'études, Pierre Noé pour ses interprétations de résultats de techniques de caractérisation aux noms parfois mystérieux. Merci à Anne Roule, Mathieu Bernard, Magali Teissaire, Ewen Henaff, Chiarra Sabbione et Hélène Grampeix pour les dépôts PVD et ALD de dernière minute sans lesquels beaucoup d'échantillons étudiés lors de cette thèse n'auraient jamais existé. J'adresse également mes remerciements à Frédéric Gonzatti, Saïdi Lazar et Jean-Michel Hartmann pour leur persévérance sans fin lors du développement du procédé d'épitaxie sélective cyclique et ce malgré les pannes toujours plus insolites qui l'ont accompagné. Je remercie également Vincent Delaye et Dominique Lafond pour les images TEM très réussies qui nous ont beaucoup aidés.

Je souhaite également remercier Gabriel Molas, Élisabeth Vianello, Éric Jalaguier et Catherine Carabasse du laboratoire mémoire LTMA ainsi que l'ensemble des personnes qui m'ont laissé jouer de (trop ?) nombreuses heures avec les bancs de caractérisation électrique : Jacques Cluzel, Patrick Grosgeorges, Denis Blachier, Alain Toffoli, Fabienne Allain, Giovanni Romano et Rabah Kies.

Je remercie également Brigitte Gaillard et Sabine Révol d'avoir résolu bon nombre des problèmes administratifs qui ont surgi tout au long de ma thèse et d'avoir simplifié les préparatifs de voyages et les inscriptions aux conférences.

Je souhaite également exprimer toute ma gratitude à l'ensemble des personnes qui, bien que n'étant pas au CEA-LETI, ont contribué à cette thèse : Roberto Annunziata ainsi que l'ensemble des personnes impliquées dans le projet PCRAM à ST pour nous avoir fourni des dispositifs de dimensions réduites et Andrzej Kusiak ainsi que l'ensemble des personnes du laboratoire I2M de l'université de Bordeaux, pour leur analyse des propriétés thermiques du GST dopé au carbone.

Finalement, je souhaite remercier l'ensemble de mes compagnons de route : thésards, post-doc et autres stagiaires qui comme moi ont connu des hauts et des bas au sein du CEA-LETI.

Ainsi, je souhaite tout d'abord remercier mes prédécesseurs qui m'ont donné envie de faire une thèse : Cuiqin, Milène, Lia, Giada, Audrey, Stefania, Sandhya, Giovanni, Veeresh, Jean-Claude, Micaël, Carlo. Merci à vous d'avoir préparé le terrain et de m'avoir montré le chemin à suivre. Merci ensuite à tous ceux que j'ai eu le plaisir de côtoyer plus longtemps : Gabriele, Manan, Giorgio, Thérèse, Julien A., Rémy, Siméon. Enfin merci à tous ceux devant lesquels je peux maintenant fanfaronner l'esprit libre en leur souhaitant bon courage : Thomas, Jérémy, Sarra, Marinela, Daniele, Boubacar, Julien P., Issam. Et bien sûr, merci à tous ceux que j'oublie. J'aimerais pouvoir dire un mot pour chacun d'entre vous mais pour cela, il me faudrait quelques dizaines de pages supplémentaires alors je dois me contenter de repenser à tous les bons moments que nous avons partagés.

De manière générale, je souhaite remercier tous ceux que j'ai croisés et côtoyés tout au long de cette thèse. Un grand merci à chacun d'entre vous pour tous ces bons moments et pour toutes ces discussions plus ou moins sérieuses grâce auxquels j'ai vécu une formidable thèse : MERCI et à très bientôt j'espère ;-)



# Chapitre I

## Les mémoires non-volatiles actuelles, vers un essor des PCRAM ?

### Résumé du Chapitre I

Dans ce premier Chapitre, nous présentons les principales technologies mémoires non-volatiles actuelles ainsi que les applications et marchés clés qu'elles adressent. Ainsi, dans le Paragraphe I, les technologies NOR Flash et NAND Flash, qui constituent les deux principaux types de mémoires non-volatiles, sont décrites et une attention particulière est portée sur la mise en évidence de leurs avantages et limitations pour pouvoir continuer à répondre, dans les années à venir, aux cahiers des charges des applications embarquées et “stand-alone”. Dans les Paragraphes II et III, la technologie PCRAM, son principe de fonctionnement ainsi que ses avantages et faiblesses sont décrits en détail et elle est comparée dans le Paragraphe IV aux autres technologies mémoires, nous permettant ainsi de mettre en évidence l'intérêt de cette technologie ainsi que les opportunités pour en faire une technologie mémoire majeure des années à venir. Enfin, en identifiant ses faiblesses, nous définissons les voies d'optimisation de cette technologie qui constituent les axes de recherche suivis au cours de cette thèse (Paragraphe V).



## Table des matières

I. État de l'art des mémoires non-volatiles.....	17
I.1 Contexte économique et technique .....	17
I.2 Technologie des mémoires Flash.....	19
I.3 Évolution des mémoires Flash pour les applications “stand-alone”.....	21
I.3.1 Marché et utilisation .....	21
I.3.2 Limitations de la technologie NAND Flash.....	23
I.3.3 Solutions et perspectives.....	24
I.4 Évolution des mémoires Flash pour les applications embarquées .....	26
I.4.1 Marché et utilisation .....	26
I.4.2 Technologies actuelles et challenges .....	27
I.5 Conclusion concernant les mémoires Flash .....	29
I.6 Mémoires non-volatiles alternatives et émergentes .....	30
I.6.1 Description des différentes mémoires non-volatiles alternatives et émergentes ..	31
I.6.2 Comparaison qualitative des principales mémoires alternatives et émergentes ..	33
II. Mémoires à changement de phase .....	35
II.1 Transition de phase au sein d'un matériau chalcogénure.....	35
II.1.1 Historique.....	35
II.1.2 Le matériau à changement de phase de référence : $\text{Ge}_2\text{Sb}_2\text{Te}_5$ .....	35
II.2 Fonctionnement d'une mémoire à changement de phase .....	36
II.3 Avantages et faiblesses des mémoires à changement de phase.....	40
II.3.1 Avantages des mémoires à changement de phase.....	40
II.3.2 Faiblesses liées aux courants de programmation.....	44
II.3.3 Contraintes spécifiques liées aux applications “stand-alone” .....	47
II.3.4 Contraintes spécifiques liées aux applications embarquées.....	48
II.4 Structure des cellules mémoires à changement de phase.....	50
III. Type d'architectures PCRAM et applications .....	53
III.1 Architectures pour les applications embarquées.....	53
III.2 Architectures pour les applications “stand-alone” .....	55

## Chapitre I

### Mémoires non-volatiles et PCRAM

---

III.2.1 L'architecture crossbar .....	56
III.2.2 L'architecture verticale .....	57
III.2.3 L'architecture verticale avec sélecteur parallèle .....	59
III.2.4 Les sélecteurs pour les applications "stand-alone" .....	60
IV. Performances de la technologie PCRAM et opportunités .....	64
IV.1 Mémoires actuelles vs. mémoires PCRAM.....	64
IV.2 Transformation de la hiérarchie actuelle des mémoires par les mémoires émergentes	66
Conclusion du Chapitre I et orientation donnée au travail de thèse.....	68
Bibliographie .....	70

## I. État de l'art des mémoires non-volatiles

### I.1 Contexte économique et technique

Au cours des trente dernières années, le marché de l'électronique s'est considérablement développé (Figure I.1), les systèmes électroniques se sont complexifiés et les composants mémoires en sont devenus un des principaux éléments puisqu'en 2012, ceux-ci généraient environ 20% des revenus du marché de l'électronique, soit environ 60 M\$ [1].

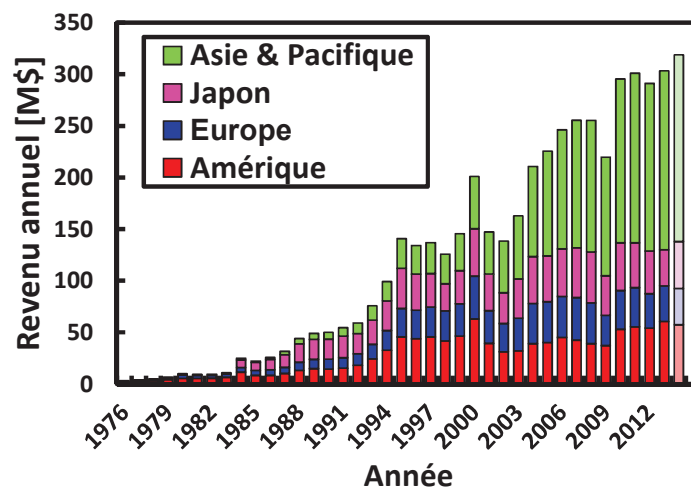


Figure I.1 : Évolution du revenu mondial annuel du marché de l'électronique. En 30 ans, entre 1983 et 2013, celui-ci a été multiplié par 300. [2]

Les technologies mémoires sont divisées en deux groupes, les mémoires volatiles pour lesquelles l'information stockée est perdue lorsque la mémoire n'est plus alimentée et les mémoires non-volatiles pour lesquelles l'information est conservée même en l'absence d'alimentation électrique. Pour l'année 2012, chacun de ces deux groupes a contribué pour moitié environ au revenu annuel mondial des technologies mémoires (Figure I.2).

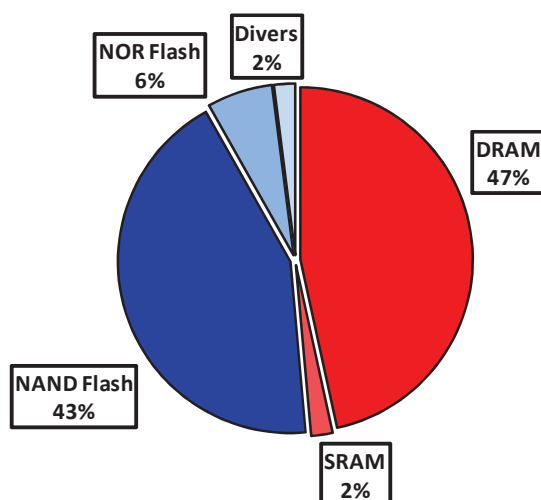


Figure I.2 : Composition du marché mondial des technologies mémoires en 2012. En rouge les mémoires volatiles et en bleu les mémoires non-volatiles. [1]



La Figure I.3 présente une classification communément admise des technologies mémoire [3], [4]. Les mémoires volatiles regroupent principalement les mémoires statiques (SRAM) et dynamiques (DRAM). Il s'agit de mémoires à accès aléatoire, ou RAM pour "Random Access Memory", aussi appelées mémoires vives, car elles permettent un accès à n'importe quel endroit et dans n'importe quel ordre contrairement à une mémoire à accès séquentiel où les données sont lues dans un ordre prédéfini, cas d'une bande magnétique par exemple.

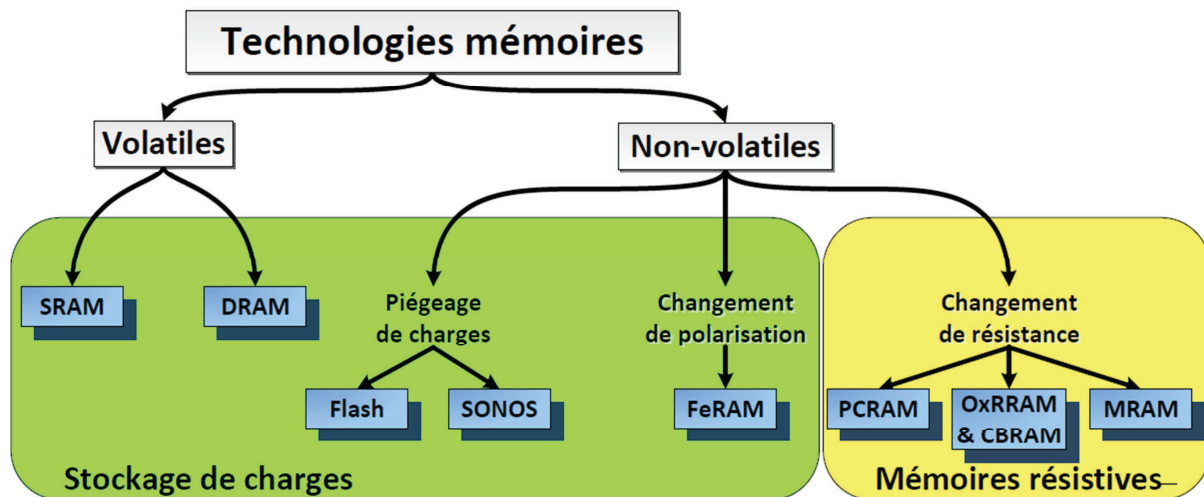


Figure I.3 : Classification des principales technologies mémoires. [3], [4]

Pour stocker une information, les mémoires SRAM utilisent les deux états stables d'une bascule électronique généralement composée de 5 ou 6 transistors. Ce type de mémoire dispose de temps d'accès très courts (inférieurs à la nanoseconde), présente une endurance élevée ( $10^{18}$  cycles en écriture) et consomme peu d'énergie. Cependant, le coût des mémoires SRAM est élevé en raison de leur faible densité d'intégration puisque la surface d'une cellule SRAM est supérieure à  $100F^2$  ( $F$  étant la demi-dimension du plus petit objet lithographié). De par ces spécificités, le principal domaine d'application des mémoires SRAM est celui des mémoires tampons et des mémoires caches des ordinateurs. Il faut noter que cette mémoire, bien que volatile, conserve les données tant qu'elle est alimentée et ne nécessite pas de rafraîchissements réguliers contrairement à la technologie DRAM.

Une mémoire DRAM est constituée d'un transistor et d'un condensateur en série. L'information est stockée en fonction de la charge du condensateur, l'état 1 correspondant à la présence de charge et l'état 0 à l'absence de charge. La lecture s'effectue en mesurant la tension aux bornes du condensateur. Les condensateurs ne conservant les charges que quelques millisecondes, la cellule mémoire doit donc être rafraîchie (reprogrammée) régulièrement afin d'éviter la perte de l'information, d'où

l'appellation dynamique. Ce type de dispositif présente une plus grande densité d'intégration que les mémoires SRAM ( $6F^2$ ) et donc un coût plus faible. De plus, du fait de sa grande fiabilité, de ses temps d'accès faibles (inférieurs à 10 ns) ainsi que son coût, cette cellule mémoire possède de nombreux domaines d'application, et notamment en tant que mémoire vive principale des ordinateurs, consoles de salon, tablettes, etc.

En ce qui concerne les mémoires non-volatiles, il en existe une grande variété, chacune utilisant un mécanisme de stockage de l'information différent et ayant un degré de maturité variable. Ainsi la technologie Flash domine largement le marché des mémoires non-volatiles puisqu'en 2012, elle en représente plus de 95% des revenus (Figure I.2) [1] tandis que la technologie CBRAM est encore à l'état de développement et est réservée à des marchés de niches. La technologie PCRAM quant à elle est annoncée en production ou pré-production à grande échelle [5].

## I.2 Technologie des mémoires Flash

Une cellule mémoire de type Flash utilise comme base un transistor MOSFET au sein duquel une grille flottante, le plus souvent en silicium poly-cristallin, est insérée entre la grille du transistor (ou grille de contrôle) et le canal du transistor. La grille flottante est isolée de la grille de contrôle et du canal par deux couches diélectriques : l'oxyde de contrôle (entre la grille de contrôle et la grille flottante) et l'oxyde tunnel (entre le canal et la grille flottante) (Figure I.4). Afin de stocker une information au sein d'une mémoire Flash, des électrons sont transférés et accumulés au sein de la grille flottante permettant ainsi de modifier la tension de seuil du transistor (Figure I.4). En appliquant, sur la grille, une tension comprise entre les tensions de seuil des deux états, et en mesurant le courant de drain, il est alors possible de lire l'information stockée dans la cellule mémoire.

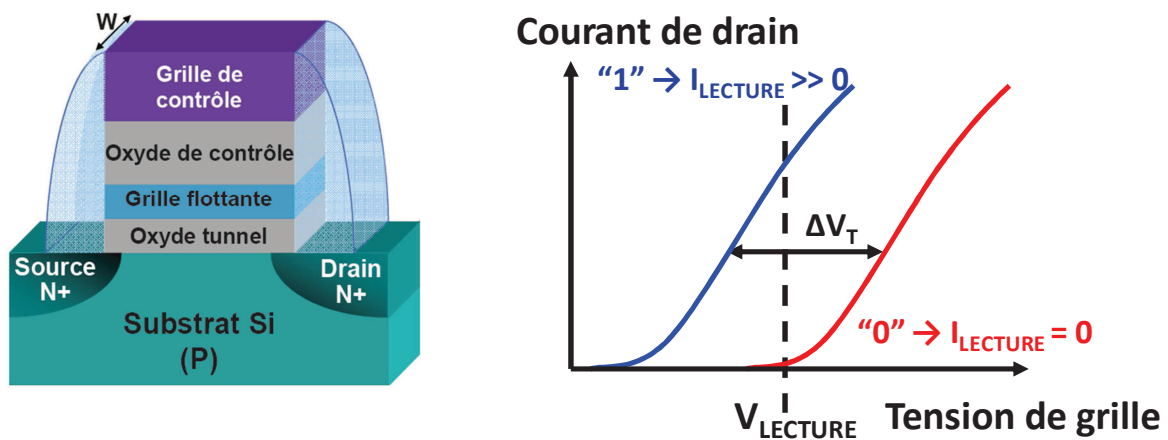


Figure I.4 : Schéma descriptif d'une mémoire Flash standard (gauche) et exemple de caractéristique I-V correspondant (droite).

Il existe deux mécanismes permettant de transférer des électrons du canal vers la grille flottante à travers l'oxyde tunnel et ainsi d'écrire la cellule mémoire :

- l'injection d'électrons chauds obtenue en appliquant des tensions de 12V sur la grille de contrôle et de 5V sur le drain permettant ainsi aux électrons d'acquérir une énergie suffisante pour passer dans la grille flottante. Il est à noter qu'avec cette technique d'écriture, le drain de la cellule doit pouvoir être polarisé.
- le transport d'électrons par effet tunnel Fowler-Nordheim obtenu en appliquant une tension de 20V sur la grille de contrôle permettant aux électrons de franchir la barrière de potentiel de l'oxyde tunnel.

L'effacement d'une cellule mémoire Flash, est toujours réalisé en appliquant une tension négative sur la grille de contrôle permettant, par transport par effet tunnel Fowler-Nordheim, de transférer les électrons hors de la grille flottante.

Afin de stocker un grand nombre d'informations, les cellules mémoires Flash sont organisées en matrice mémoire à l'aide de deux architectures distinctes (Figure I.5) :

- l'architecture NOR dans laquelle les cellules sont connectées en parallèle et le drain de chaque cellule peut être polarisé individuellement permettant ainsi de créer des mémoires de type RAM. Les mémoires Flash NOR sont essentiellement utilisées pour les applications rapides comme le stockage de codes d'instruction des systèmes d'exploitation des téléphones portables, cartes mères ou des microcontrôleurs.
- l'architecture NAND dans laquelle les cellules sont connectées en série et le drain de chacune des cellules n'est plus accessible. L'architecture NAND est donc une architecture à accès séquentiel et est plutôt utilisée pour stocker une grande quantité de données.

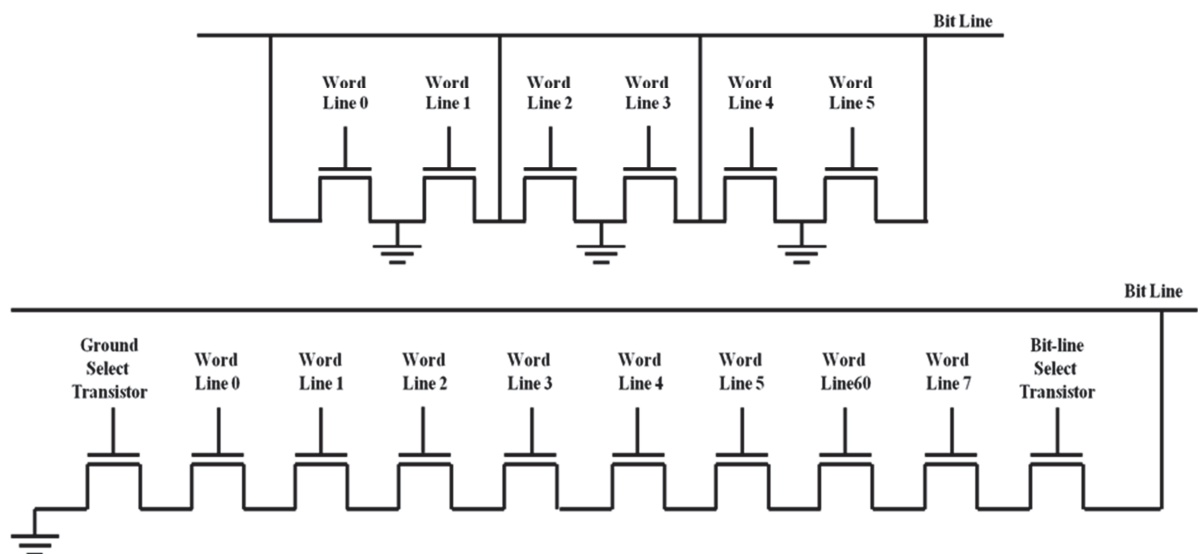


Figure I.5 : Représentation schématique de l'assemblage des cellules Flash le long d'une même ligne métallique ("bit-line") dans l'architecture NOR (haut) et NAND (bas).

La Figure I.6 compare les revenus annuels des mémoires Flash utilisant les architectures NOR et NAND. Comme on peut le voir, le revenu lié à l'architecture NOR est stable à environ 4 milliards de dollars tandis que le revenu lié à l'architecture NAND est supérieur à 20 milliards de dollars et présente une forte croissance.

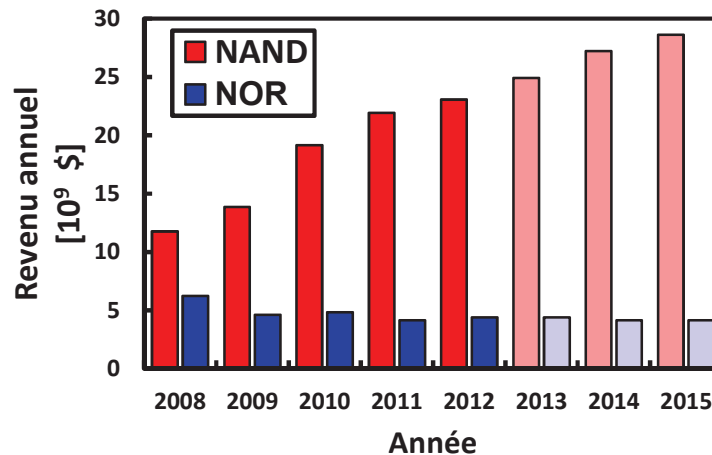


Figure I.6 : Revenu annuel mondial des mémoires de types NAND Flash et NOR Flash. [6]

Afin de décrire plus en détail la technologie des mémoires Flash, il est important de distinguer ses principales applications qui peuvent être regroupées en deux grandes catégories : les applications embarquées, ou “embedded”, ainsi que les applications indépendantes, ou “stand-alone”. Dans les applications embarquées, les matrices mémoires sont directement co-intégrées avec les éléments logiques exécutant les instructions et traitant les données. Dans les applications “stand-alone”, les matrices mémoires sont indépendantes des éléments logiques et l’objectif principal de ces applications est de stocker une grande quantité de données.

### I.3 Évolution des mémoires Flash pour les applications “stand-alone”

#### I.3.1 Marché et utilisation

Depuis quelques années et pour des raisons de coût, seule l’architecture NAND est utilisée pour répondre au cahier des charges des applications “stand-alone”. En conséquence, dans le paragraphe qui suit nous nous concentrons sur celle-ci. Comme indiqué précédemment, l’objectif principal des applications “stand-alone”, et donc de l’architecture NAND, est de stocker une grande quantité d’informations. En conséquence, le stockage de données utilisateurs sont les principaux marchés de ces applications qui sont utilisées au sein de produits tel que les clés USB, cartes mémoires téléphones mobiles et tablettes ainsi que dans les disques de stockage de type “Solid-State Disk”, ou SSD (Figure I.7).

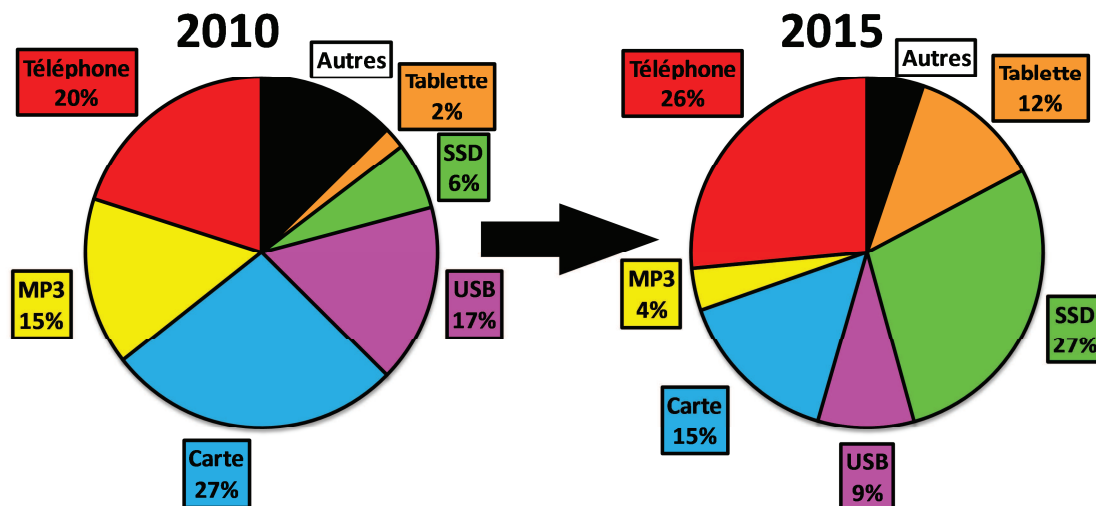


Figure I.7 : Composition prévisionnelle du marché mondial des mémoires de type NAND Flash en 2010 et 2015. [7]

Pour réaliser l'architecture NAND, des structures ont été développées par l'industrie de la micro-électronique afin de placer les cellules unitaires les unes par rapport aux autres et les connecter entre elles. La première structure consiste à placer les cellules mémoires les unes à côté des autres et les relier par des interconnexions métalliques, formant ainsi un plan mémoire. C'est cette technologie, appelée technologie planaire, qui est majoritairement utilisée. Afin de diminuer le coût de celle-ci tout en augmentant la capacité des plans mémoires, la taille des cellules mémoires a été considérablement réduite. Cette miniaturisation, permise par les progrès des techniques de lithographie et l'amélioration des performances des cellules unitaires, à amener à la définition de nœuds technologiques. Ainsi entre 1998 et 2012, la taille d'une cellule mémoire NAND unitaire a été divisée par environ 1000, tandis que la capacité des plans mémoires a été multipliée par 2000 (Figure I.8). De même le coût de la technologie NAND est passée d'environ 10 K€/Gbit en 1995 à environ 1 €/Gbit en 2010 [8].

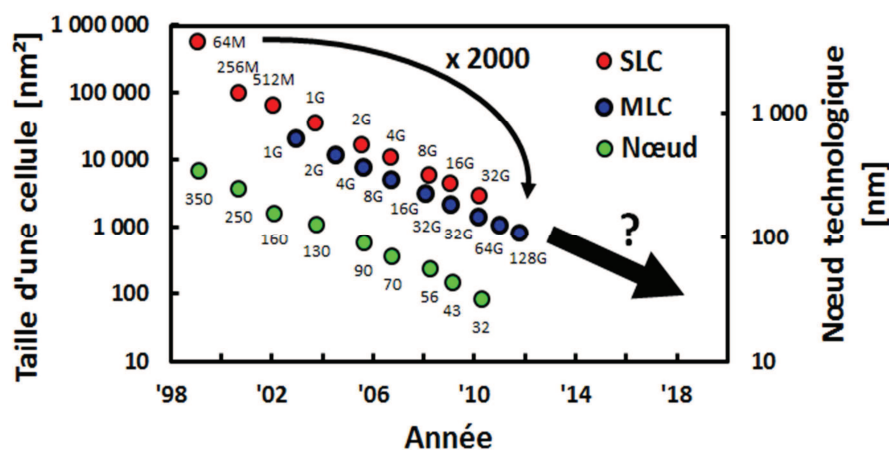


Figure I.8 : Taille d'une cellule de type NAND Flash, du nœud technologique utilisé pour sa fabrication et de la capacité de la matrice mémoire associée. [9], [10]

### I.3.2 Limitations de la technologie NAND Flash

Continuer à miniaturiser les mémoires NAND Flash pose de plus en plus de difficultés. En effet, pour des cellules de petites dimensions, des limitations de différentes natures apparaissent.

Tout d'abord, contrôler le canal de cellules mémoires de dimensions réduites nécessite l'utilisation d'un oxyde tunnel de faible épaisseur. Or, il existe une épaisseur seuil en dessous de laquelle les électrons peuvent s'échapper de la grille flottante par effet tunnel. De plus, un couplage entre la grille de contrôle et la grille flottante est nécessaire pour conserver des tensions de programmations raisonnables. La diminution de l'épaisseur de l'oxyde de contrôle est alors nécessaire pour satisfaire cette contrainte. D'autre part, un vieillissement prématuré de la cellule mémoire est induit par les cycles successifs d'écriture/effacement. En effet, les champs électriques élevés auquel est soumis l'oxyde tunnel lors du fonctionnement de la cellule, créent des défauts au sein de ce dernier et favorisent la fuite des électrons stockés dans la grille flottante. Cette dégradation appelée SILC pour "Stress Induced Leakage Current" est d'autant plus importante que l'épaisseur de l'oxyde tunnel est faible.

Un autre problème majeur de la miniaturisation des cellules NAND Flash est l'augmentation des interférences entre les cellules mémoires. En effet, un couplage capacitif peut apparaître, dû à la modification de la tension de seuil d'un transistor par la charge stockée dans une grille flottante voisine. Une certaine distance est donc nécessaire pour conserver l'intégrité de chaque cellule.

Enfin, la réduction des dimensions des dispositifs mémoires induit une limite physique intrinsèque : un nombre d'électrons plus faible pour coder un bit (Figure I.9) [11]. Ainsi, seule une dizaine d'électrons peuvent être utilisés dans les nœuds technologiques actuels, pouvant induire des problèmes de stabilité. Aux dimensions ultimes, les électrons suivent alors les lois de la mécanique quantique et des mouvements aléatoires d'électrons isolés. La programmation des cellules mémoires doit donc être considérée au niveau d'un électron.

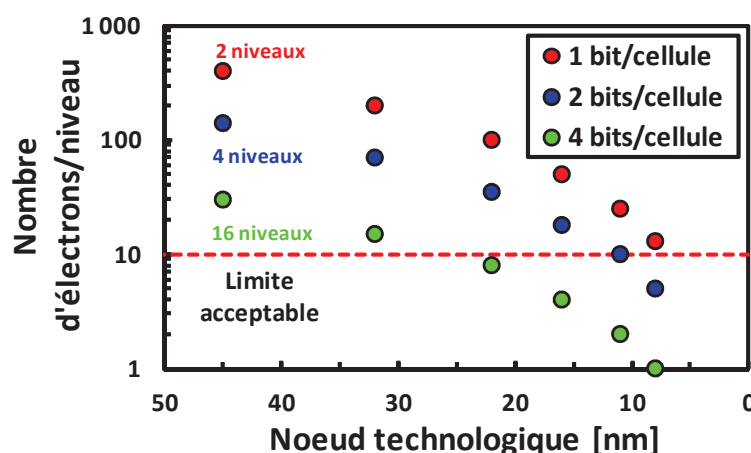


Figure I.9 : Évolution du nombre d'électrons stockés par état au sein d'une cellule mémoire de type Flash en fonction du nœud technologique utilisé pour sa fabrication. [11]

L'importance de ces limitations pour les cellules mémoires de petites dimensions en dégradent les performances, notamment la rétention de l'information et l'endurance. En effet, l'augmentation des possibilités de fuite des électrons de la grille flottante (effet tunnel à travers les différents oxydes, SILC), entraîne une détérioration de la rétention des données et de l'endurance des cellules (Figure I.10) [12].

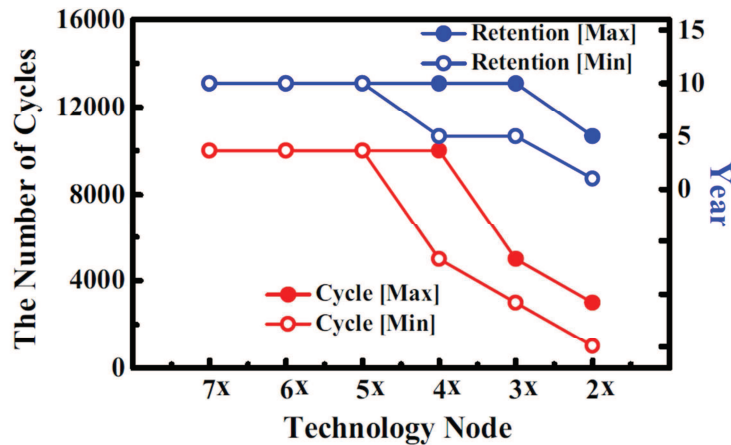


Figure I.10 : Évolution de la rétention de l'information et de l'endurance d'une cellule mémoire de type Flash en fonction du nœud technologique utilisé pour sa fabrication. [12]

### I.3.3 Solutions et perspectives

Afin de remédier à ces problèmes, des solutions reposant sur l'utilisation de nouveaux matériaux plus performants sont actuellement à l'étude.

- Le silicium poly-cristallin de la grille flottante peut être remplacé par un matériau offrant des sites de stockages discrets. Les pièges naturels d'un diélectrique comme le nitrure de silicium (SiN) ou encore les nanocristaux (de silicium par exemple) permettent de limiter la fuite des électrons piégés au site le plus proche plutôt qu'à l'ensemble de la grille flottante. Ces sites de piégeage discrets permettent de diminuer les fuites de charges dans l'oxyde tunnel et permettent donc d'envisager une réduction de son épaisseur.
- La couche d'oxyde de contrôle actuellement utilisée (empilement oxyde-nitrure-oxyde) peut être remplacée par des matériaux à forte permittivité tel que  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ , ... Ainsi, un bon couplage entre la grille de contrôle et la grille flottante peut être obtenu tout en conservant des courants de fuite faibles.
- L'utilisation, entre les cellules adjacentes, de matériaux de faible permittivité ( $\text{SiO}_2$ ,  $\text{SiOCH}$ , ...) est également envisagée afin de réduire les interférences électrostatiques entre cellules.

En plus, de résoudre les problèmes de performances et de fiabilité des mémoires Flash NAND pour les nœuds avancés, il est également indispensable de continuer à réduire le coût par gigabit de cette technologie. Pour cela des architectures innovantes (non



planaires) sont en cours d'étude. La première solution, appelée technologie empilée, ou "stacked", consiste à empiler des plans mémoires planaires les uns sur les autres et les relier par des interconnexions métalliques (Figure I.11) [13]. Toutefois, cette solution ne permet pas de réduire considérablement le coût d'un gigabit de manière importante lorsque le nombre de plans empilés est élevé ( $>5$ ) (Figure I.12).

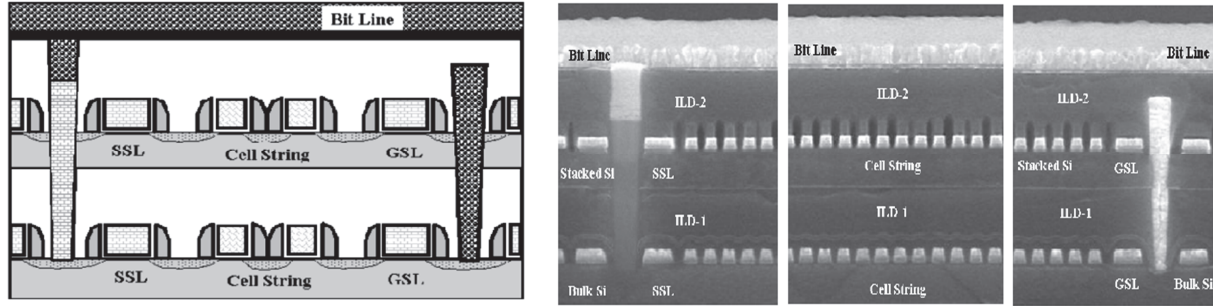


Figure I.11 : Schéma de principe de l'architecture empilée (gauche) et vue en coupe correspondante, obtenue par la technique d'imagerie TEM (droite). [13]

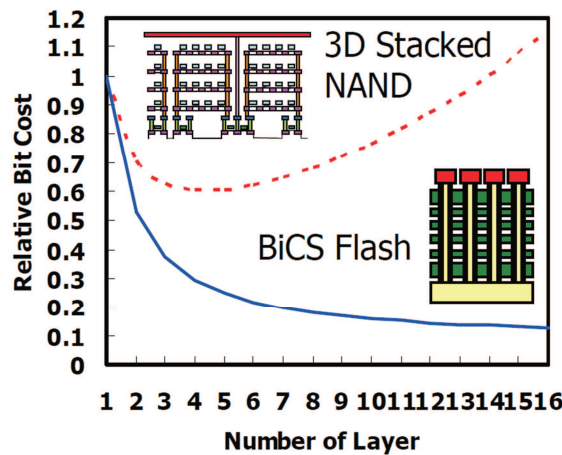


Figure I.12 : Coût relatif des architectures empilées et BiCS en fonction du nombre de plans mémoires successifs. [14]

D'autres architectures tridimensionnelles ont donc été mises au point pour permettre de réduire plus efficacement le coût de la technologie NAND Flash. Dans certaines de ces architectures, le canal du transistor est vertical et la grille est horizontale tandis que dans d'autres le canal est horizontal et la grille est verticale (Figure I.13) [15]. Le premier cas correspond aux structures BiCS [14], TCAT [16] et VSAT [17] dans lesquelles les canaux des transistors sont formés dans un via entouré de la grille flottante tandis que les grilles de contrôle sont formées dans des couches conductrices séparées par des couches de matériaux isolants. Le second cas correspond à la structure VG-NAND [18] dans laquelle les canaux des transistors sont formés d'une ligne rectangulaire entourée de la grille flottante et de la grille de contrôle.



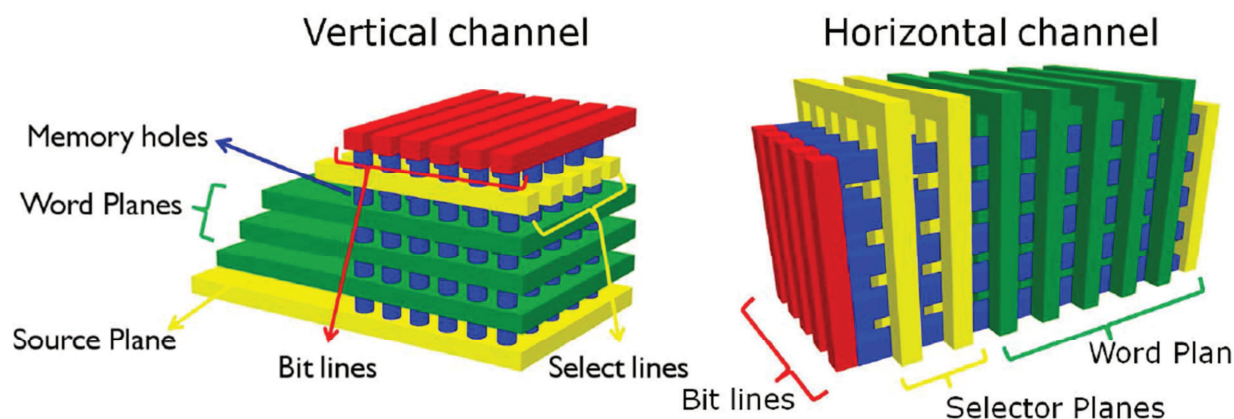


Figure I.13 : Schéma de principe des architectures à canal vertical (gauche) ou horizontal (droite). Le canal est dessiné en bleu, la “word-line” en vert et la “bit-line” en jaune. [15]

## I.4 Évolution des mémoires Flash pour les applications embarquées

### I.4.1 Marché et utilisation

Bien que les applications embarquées aient toutes pour point commun de co-intégrer la mémoire avec les éléments de logique CMOS, il existe de nombreuses utilisations différentes qui peuvent en être faites (Tableau I.1). Les applications automobiles constituent un des principaux domaines d'application des mémoires embarquées. Celui-ci correspond à des applications telles que la sécurité, la gestion du groupe moteur de la voiture (par exemple le contrôle de l'injection du carburant) ou encore la gestion du tableau de bord. De nombreuses autres applications des mémoires embarquées peuvent également être identifiées. Il s'agit, entre autre, des “smart-cards”, du divertissement (par exemple la téléphonie mobile ou les jouets) ou encore de l'électroménager. Le Tableau I.2 met en avant les performances critiques de la plupart de ces applications [6]. Il apparaît clairement que les applications étant très variées, les performances critiques le sont également. Il est donc difficile qu'une seule cellule mémoire et une seule architecture réponde à l'ensemble de ces critères.

Tableau I.1 : Domaine d'utilisation des mémoires Flash embarquées. [6], [19]

Automobile	Autres marchés
Habitacle	Électroménager
Groupe moteur	Divertissement
Extérieur	“Smart-card”
Sécurité	Domotique
	Médical
	μ-contrôleur industriel

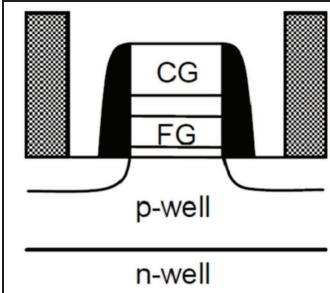
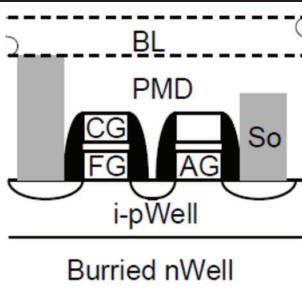
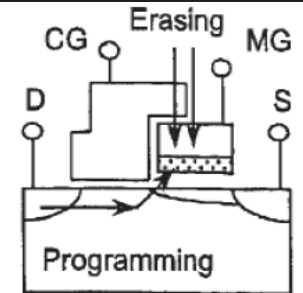
Tableau I.2 : Critère de performance de cellules mémoires Flash pour les applications embarquées et importance relative (maximum = 5, minimum = 1). [6]

Market	Fast Code Execution	Robust/ZD Quality	Pgm/Erase Endurance	Read/Pgm/ Erase Pwr	Sector Size P/E Time
Auto P-Train & Chassis	3-5 High compute power req	5 Mission- and safety-critical	4 Increasing EE Emul Requirement	3 Self-heating, Perf. tradeoff	2 Cost of boot blocks, Factory Pgm.
Auto Body	2 Moderate compute power	5 Mission- and safety-critical	3 Increasing EE Emul Requirement	4 Many always-on devices	3 Cost of boot blocks, etc.
Industrial Control	3-5 High compute power req	3 Also control critical functions	2 Moderate EE Emulation Req.	4 Many apps are low power	3 Cost of boot blocks
Portable & Consumer	2 Moderate for many apps	2 Shorter lifetimes, less critical	2 Moderate EE Emulation Req.	4 Many apps are low power	3 Cost of boot blocks
Smart Cards	2 Less important than pwr, etc	2 Shorter lifetimes in many cases	5 EE function with frequent updates	5 Critical for contactless, etc	5 Also important for contactless, etc

#### I.4.2 Technologies actuelles et challenges

En conséquence, plusieurs solutions ont été développées pour répondre à l'ensemble de ces besoins. La première solution, appelée 1T-NOR, consiste à utiliser un transistor unique pour stocker l'information à l'aide d'une grille flottante. La seconde solution, appelée 2T-NOR ou EEPROM, consiste à utiliser deux transistors en série pour stocker l'information. Le premier transistor est un transistor classique (sans grille flottante) dont le but est de contrôler l'accès au second transistor qui stocke l'information (avec une grille flottante). D'autres solutions, appelées 1,5T Flash, ou "split-gate", dans laquelle la grille de contrôle ne couvre qu'une partie de l'oxyde tunnel et de la grille flottante ont également été développées. Le Tableau I.3 présente brièvement l'ensemble de ces solutions, les applications visées ainsi que leurs avantages et inconvénients respectifs [20].

Tableau I.3 : Principaux types de cellules mémoires Flash utilisés dans les applications embarquées. [20]

	1T	2T	1,5T
			
Application	Automobile	Alimentée par batterie ou USB	Très variées (automobiles incluses)
Avantage	Fiabilité élevée, faible dimension	Faible consommation	Rapidité, fiabilité, faible courant
Inconvénient	Haute tension, fort courant, faible vitesse	Haute tension, grande dimension	Complexité de la fabrication

Toutefois, de même que pour les applications “stand-alone” et ce, quelle que soit la solution retenue, l’utilisation des mémoires Flash pour les applications embarquées devient plus problématique lorsque la taille du nœud technologique diminue. En conséquence, comme on peut le voir sur la Figure I.14, la technologie Flash embarquée n’est pas miniaturisée aussi rapidement que la technologie CMOS utilisée pour créer les éléments logiques [20]. Il y a donc un écart de plus en plus important qui se crée entre les technologies CMOS et Flash embarquée, limitant la diminution du coût d’une puce. Ainsi en 2008, la technologie CMOS était réalisée avec le nœud technologique 40 nm tandis que la technologie Flash embarquée était réalisée avec le nœud technologique 90 nm. Encore aujourd’hui, cette dernière est principalement fabriquée à l’aide de ce même nœud tandis que la technologie CMOS est réalisée à l’aide du nœud 28 nm.

Toutefois, des prototypes sont en cours de validation par les industriels pour le prochain nœud technologique (55 nm) et des développements sont en cours pour le nœud technologique 40 nm [21]. Cependant, pour le nœud technologique le plus avancé (28 nm), de nombreuses interrogations sont posées quant à la possibilité d’utiliser la technologie Flash pour répondre au cahier de charge de ce nœud technologique. La principale interrogation repose sur la compatibilité de la technologie Flash embarquée avec le procédé de fabrication de la technologie CMOS utilisée pour ce nœud (appelée “high-K/metal-gate”, ou HKMG).

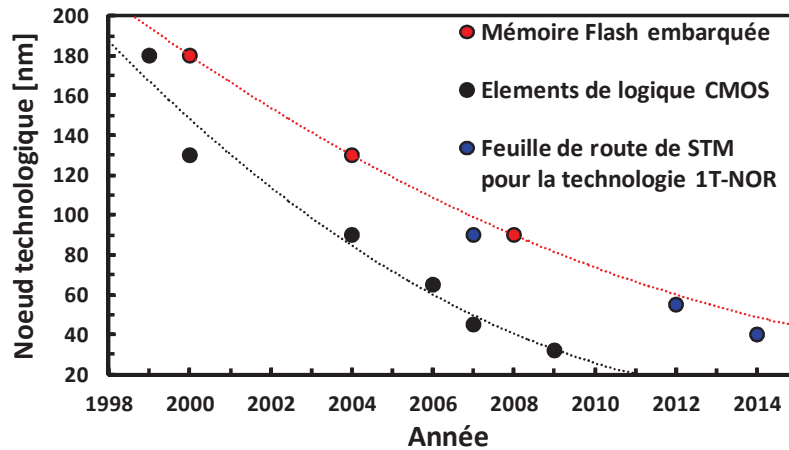


Figure I.14 : Évolution des nœuds technologiques utilisés pour la fabrication des éléments de logique CMOS et de la technologie Flash embarquée [20]. Feuille de route de STMicroelectronics pour la technologie 1T-NOR. [21]

## I.5 Conclusion concernant les mémoires Flash

Les mémoires Flash constituent, aujourd’hui, la technologie la plus utilisée en tant que mémoire non-volatile tant pour les applications “stand-alone” que pour les applications embarquées.

Les applications “stand-alone” permettent le stockage d’une grande quantité de données et leur évolution est motivée par l’augmentation de la densité, donc de la capacité, des matrices mémoires ainsi que par la réduction de leur coût. Ainsi entre 1998 et 2012, la capacité des matrices mémoires a été multipliée par 2000, passant de 64 MB à 128 GB, tandis que dans le même temps, leur coût est passé d’environ 10 K€/GB à environ 1 €/GB [8]. Cependant, la miniaturisation des dispositifs unitaires ayant permis cette évolution, laisse aujourd’hui entrevoir ses limites. Des limitations électriques, telles que la réduction du nombre d’électrons stockés ainsi que des effets de couplage entre cellules adjacentes, mais également des limitations liées au placement et à l’interconnexion des cellules entre elles, rendent plus difficiles la miniaturisation des mémoires Flash pour les applications “stand-alone” ainsi que la réduction du coût.

Les applications embarquées sont utilisées pour le stockage des codes d’instruction et leur évolution est motivée par la réduction du coût mais également par la fiabilité des matrices mémoires. Toutefois pour cette application, comme pour les applications “stand-alone”, la miniaturisation de la technologie Flash pose problème. En effet, la fiabilité des cellules mémoires diminue avec la taille tandis que la réduction des coûts est limitée. De plus, les contraintes liées à la co-intégration des cellules mémoires avec la technologie CMOS HKMG développée pour le nœud technologique 28 nm est problématique.

En conséquence, en parallèle des développements et améliorations réalisés sur les mémoires Flash tant pour les applications embarquées que “stand-alone”, de nouvelles mémoires reposant sur des matériaux nouveaux et des structures innovantes sont développées, il s’agit des mémoires dites alternatives et émergentes. La Figure I.15 présente les critères de performances que ces mémoires émergentes doivent optimiser prioritairement afin de satisfaire au cahier des charges des applications “stand-alone” et embarquée [6]. Dans le cas des applications “stand-alone”, il s’agit d’augmenter la densité d’intégration en réduisant la taille de la cellule et en permettant le stockage de plusieurs bits par cellule, tandis que pour les applications embarquées, il s’agit d’améliorer la fiabilité des cellules mémoires notamment l’endurance et la rétention de l’information.

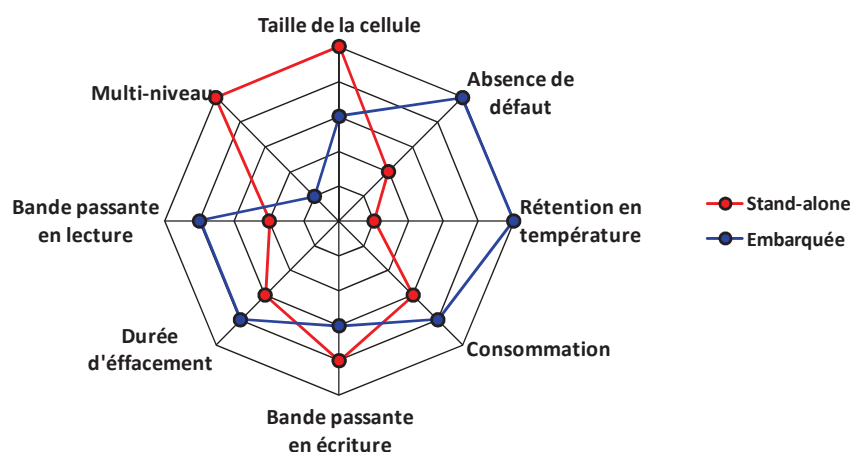


Figure I.15 : Importance relative des différents critères de performance des cellules mémoires en fonction du type d’application visée. [6]

## I.6 Mémoires non-volatiles alternatives et émergentes

De nouvelles mémoires alternatives ou émergentes, pour lesquelles le stockage de l’information ne repose pas sur le piégeage de charges électroniques sont apparues et permettent ainsi de surmonter certaines difficultés liées à la miniaturisation des mémoires Flash. Les principales mémoires émergentes sont les FeRAM (Ferroelectric RAM), MRAM (Magnetic RAM), CBRAM (Conductive Bridging RAM), OxRRAM (Oxyde Resistive RAM) ainsi que les PCRAM (Phase-Change RAM). Nous présentons ci-dessous leur principe de fonctionnement ainsi qu’un tableau récapitulatif de leurs performances.

### I.6.1 Description des différentes mémoires non-volatiles alternatives et émergentes

#### Les mémoires ferroélectriques (FeRAM)

Pour stocker une information, les mémoires ferroélectriques utilisent deux états stables de polarisation présents dans certains matériaux de structure pérovskite (en général  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  ou PZT). En effet, les barycentres des charges ioniques positives et négatives étant disjoints, un dipôle électrique existe naturellement. En appliquant un champ électrique, il est possible de déplacer les atomes de zirconium ou de titane afin de modifier durablement l'état de polarisation du matériau et donc la charge contenue dans la cellule mémoire (Figure I.16). Pour lire l'information stockée, la cellule mémoire est placée dans l'état "0". Si elle se trouvait déjà dans cet état, la polarisation n'est pas renversée et la variation de charge est faible tandis qu'elle est plus importante si la cellule se trouvait dans l'état "1" et que la polarisation se trouve renversée. En mesurant le courant de polarisation dû à la variation temporelle de la charge, il est alors possible de discriminer l'état dans lequel se trouvait la cellule [22]. La lecture de l'information au sein d'une cellule FeRAM est donc un processus destructif.

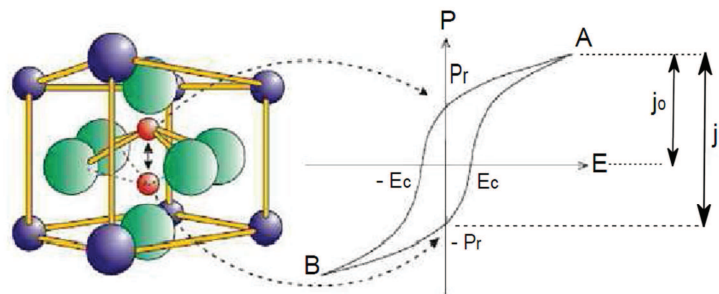


Figure I.16 : Principe de fonctionnement d'une mémoire FeRAM. L'application d'un champ électrique externe permet de modifier durablement l'état de polarisation de certains matériaux de structure pérovskite. [23]

#### Les mémoires magnétiques (MRAM)

Les mémoires magnétiques, dont le principe de fonctionnement a été proposé pour la première fois en 1975, utilisent deux états stables d'aimantation présents dans un matériau ferromagnétique [24]. La cellule mémoire est constituée de deux couches de matériaux ferromagnétiques séparées par une fine couche d'oxyde formant ainsi une jonction tunnel magnétique. L'orientation de l'aimantation d'une des deux couches est fixe tandis que celle de l'autre couche est contrôlée par l'application d'un champ magnétique extérieur. Si les aimantations des domaines magnétiques des deux matériaux ferromagnétiques sont orientées dans la même direction, la résistance de la cellule est faible tandis que si les aimantations sont orientées dans des directions opposées, la résistance de la cellule est plus élevée (Figure I.17).

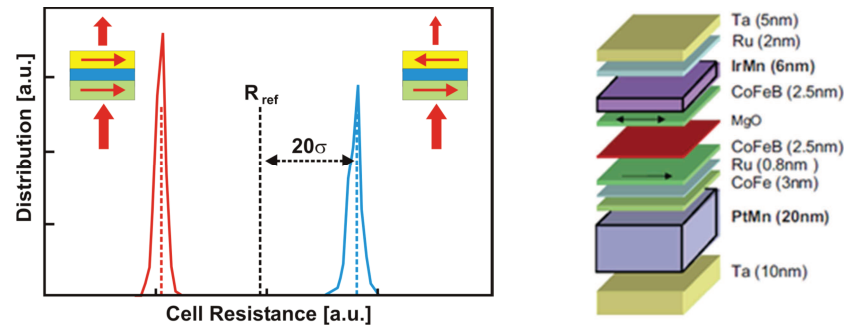


Figure I.17 : Principe de fonctionnement d'une mémoire MRAM. La résistance de la cellule dépend de l'orientation respective des aimantations de deux couches ferromagnétiques séparées par une couche d'oxyde tunnel (gauche). Exemple d'empilement d'une cellule MRAM dans lequel l'oxyde tunnel est l'oxyde de magnésium (droite).

### Les mémoires résistives filamentaires

Il existe deux grandes catégories de mémoires résistives filamentaires : les mémoires résistives à pont conducteur (CBRAM) et les mémoires résistives à base d'oxyde (OxRRAM). De manière générale, ces mémoires reposent sur la commutation réversible entre deux, ou plus, états stables de résistance. La cellule mémoire est généralement constituée d'une couche active placée entre deux électrodes. La commutation réversible entre les états hautement et faiblement résistifs est contrôlée par l'application d'une tension et/ou d'un courant sur la couche active via les électrodes, permettant ainsi la formation (et destruction) d'un filament conducteur connectant (ou non) les électrodes (Figure I.18).

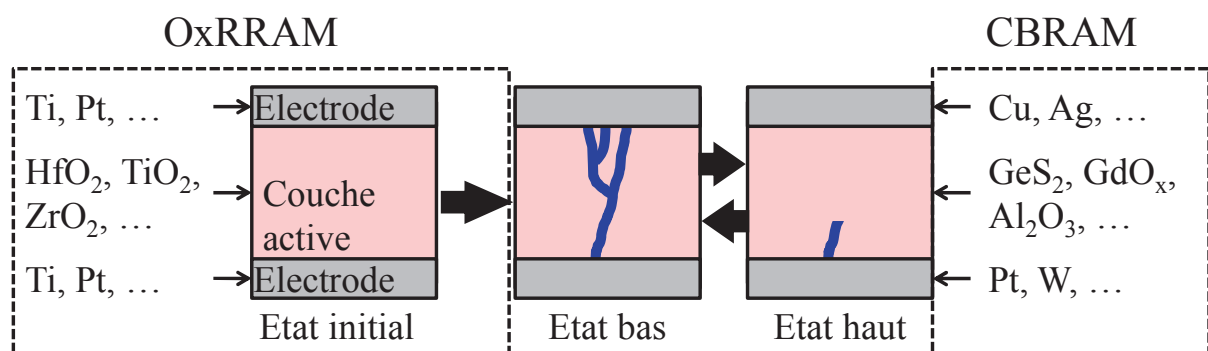


Figure I.18 : Principe de fonctionnement d'une mémoire résistive filamentaire. La résistance de la cellule dépend du chemin conducteur traversant la couche active et reliant les deux électrodes conductrices.

Dans le cas des mémoires CBRAM, la couche active est un électrolyte solide, tel que le sulfure de germanium, GeS<sub>2</sub>, au sein duquel une des électrodes se dissout et diffuse permettant la formation (et destruction) d'un filament conducteur constitué du métal de l'électrode soluble (e.g. Ag). [25]



Dans le cas des mémoires OxRRAM, la couche active est généralement une couche, de quelques nanomètres d'épaisseur, d'un oxyde binaire d'un métal de transition, tel que l'oxyde d'hafnium ( $\text{HfO}_2$ ) ou l'oxyde de titane ( $\text{TiO}_2$ ). Dans l'état initial, cette couche d'oxyde est souvent isolante nécessitant l'application d'un premier stress électrique, appelé "forming", afin de la rendre conductrice. Par la suite, la commutation réversible entre les deux états de résistance est contrôlée par l'application d'une tension et/ou d'un courant sur la couche d'oxyde via les électrodes permettant la formation (et destruction) d'un filament conducteur pouvant être constitué de lacunes d'oxygène connectant (ou non) les deux électrodes [4].

Cependant, les phénomènes mis en jeu dans ces deux types de mémoires n'étant, à l'heure actuelle, pas encore totalement compris, ces concepts sont susceptibles d'évoluer.

### Les mémoires à changement de phase (PCRAM)

Dans une mémoire à changement de phase, l'information est stockée en utilisant deux phases stables d'un matériau chalcogénure. En effet, les résistivités électriques de ces deux phases différant de plusieurs ordres de grandeur, la résistance de la mémoire peut présenter une valeur haute et une valeur basse permettant ainsi de stocker une information. Les mémoires à changement de phase étant le principal objet d'étude de nos travaux de recherche, elles sont décrites en détail dans les paragraphes suivants.

#### I.6.2 Comparaison qualitative des principales mémoires alternatives et émergentes

Une comparaison qualitative des performances des différentes mémoires alternatives et émergentes est présentée dans le Tableau I.4. On constate que chacune possède des avantages et inconvénients leur permettant de répondre au cahier des charges de certains marchés de niche tout en limitant leur accès aux principaux marchés des mémoires Flash. Ainsi les difficultés d'intégration de mémoires alternatives FeRAM ainsi que leur grande dimension couplée à un potentiel de miniaturisation limité ne font pas de cette technologie un concurrent majeur des mémoires Flash tant pour les applications embarquées que pour les applications "stand-alone". En ce qui concerne les mémoires alternatives MRAM, leur fabrication nécessitant l'empilement de nombreuses couches constituées de matériaux variés et peu habituels en microélectronique, cette technologie est difficilement compatible avec les exigences de production de la microélectronique tant du point de vue de la faisabilité des procédés de fabrication que du risque de contamination croisée des équipements. De plus, la miniaturisation de cette technologie et la possibilité d'obtenir des matrices de capacité supérieure à quelques MB sont limitées par les courants élevés nécessaires à la programmation des cellules ainsi que par les faibles écarts de résistances entre les deux états. Cependant, depuis la découverte du phénomène de transfert de spin [26], il est



## Chapitre I

### Mémoires non-volatiles et PCRAM

envisagé de contrôler l'orientation de l'aimantation de la couche ferromagnétique libre à l'aide d'un courant polarisé en spin plutôt qu'à l'aide d'un champ magnétique extérieur. L'utilisation de cette technique de programmation de la cellule mémoire, permettrait de surmonter certaines limitations de la technologie MRAM classique et justifie l'intérêt croissant pour la technologie STT-MRAM (pour "Spin-Transfer Torque" MRAM). Enfin, en ce qui concerne les mémoires émergentes de type CBRAM et OxRRAM, la grande variabilité des performances ainsi que l'absence de compréhension globale des mécanismes physiques régissant leur fonctionnement font que ces technologies sont peu matures et que seuls quelques démonstrateurs ont aujourd'hui été présentés.

**Tableau I.4 : Comparaison qualitative des performances, avantages et inconvénients des FeRAM, MRAM, CBRAM, OxRRAM**

	FeRAM	MRAM	CBRAM	OxRRAM
Maturité	Élevée	Intermédiaire	Faible	Faible
Nœud technologique	130 nm	90 nm	?	?
Potentiel de miniaturisation	Faible	Moyenne	?	Élevé
Surface unitaire	20 F <sup>2</sup>	6 F <sup>2</sup> - 40 F <sup>2</sup>	4 F <sup>2</sup>	4 F <sup>2</sup>
Rapidité	Élevée	Élevée	Moyenne	Moyenne
Rétention	Bonne	Moyenne	?	?
Endurance	Élevée	Élevée	Moyenne	Moyenne
Stockage multi-bits	Non	Non	?	?
Consommation	Faible	Variable	Faible	Faible
Capacité	Limitée	Limitée	?	Élevée
Difficulté d'intégration	Moyenne	Forte	Faible	Faible
Prix	Élevé	Élevé	?	?
Principaux inconvénients	Lecture destructive Miniaturisation	Intégration Miniaturisation	Variabilité Compréhension	Variabilité Compréhension

## II. Mémoires à changement de phase

### II.1 Transition de phase au sein d'un matériau chalcogénure

#### II.1.1 Historique

Les premières études sur les matériaux à changement de phase remontent à la fin des années 60 lorsque S. R. Ovshinski observe des variations importantes de la résistivité électrique d'un alliage composé de 48% de tellure, de 30% d'arsenic, de 12% de silicium et de 10% de germanium [27]. Ainsi le concept des mémoires à changement de phase est né de la découverte des propriétés d'alliages à base de verre de chalcogénure pouvant exister de manière stable dans deux états structuraux (ou phases) différents : cristallin ou amorphe. La stabilité des deux phases est garantie par l'existence d'une barrière d'énergie qu'il est nécessaire de franchir pour passer de l'une à l'autre. Puisque la résistivité électrique des matériaux à changement de phase varie significativement et de manière réversible en fonction de la phase dans laquelle se trouve le matériau, il est possible d'utiliser ces variations pour stocker de manière non-volatile un bit d'information. Ainsi, dès 1970, il est envisagé d'utiliser ces matériaux comme élément actif d'un dispositif mémoire [28]. Pour obtenir le changement de phase du matériau, on peut fournir l'énergie nécessaire au franchissement de la barrière énergétique de différentes manières :

- La première consiste à utiliser un laser permettant de chauffer localement le matériau. Cette technique est celle utilisée par certains disques de stockage optique tels que les disques réenregistrables qui utilisent la modification de réflectivité optique des états amorphe et cristallin pour stocker des données. Pour cela, un laser amorphise ou cristallise des zones du matériau à changement de phase tandis qu'un laser de plus faible puissance permet de mesurer la réflectivité optique de ces zones afin de déterminer les données stockées. Les matériaux à changement de phase ont ainsi permis le développement des disques optiques réinscriptibles au cours des années 1990 [29].
- Une autre technique utilisée pour provoquer l'échauffement du matériau à changement de phase consiste à appliquer une impulsion électrique qui, par effet Joule, chauffe le matériau. Cette technique est celle utilisée dans les mémoires à changement de phase.

#### II.1.2 Le matériau à changement de phase de référence : $\text{Ge}_2\text{Sb}_2\text{Te}_5$

Suite aux premiers travaux de S. R. Ovshinski, les recherches sur le rapport entre les propriétés de divers matériaux à changement de phase et leurs performances en tant qu'élément actif d'un support d'enregistrement optique ont mis en évidence l'importance de la composition chimique de l'alliage utilisé. Ainsi, lors du

développement des matériaux à changement de phase pour leur utilisation au sein des disques optiques, de nombreuses études ont été menées afin de mettre au point un matériau permettant de satisfaire au cahier des charges imposé. L'effort a plus particulièrement porté sur l'étude des alliages de  $\text{Sb}_2\text{Te}_3$  et  $\text{GeTe}$  et a abouti à l'élaboration du matériau  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (Figure I.19) [29], [30], [31]. Le matériau  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (ou GST) a donc été utilisé dans les années 1990 comme matériau actif du stockage des disques optiques réinscriptibles et des disques optiques de haute densité de type Blu-Ray (Figure I.19).

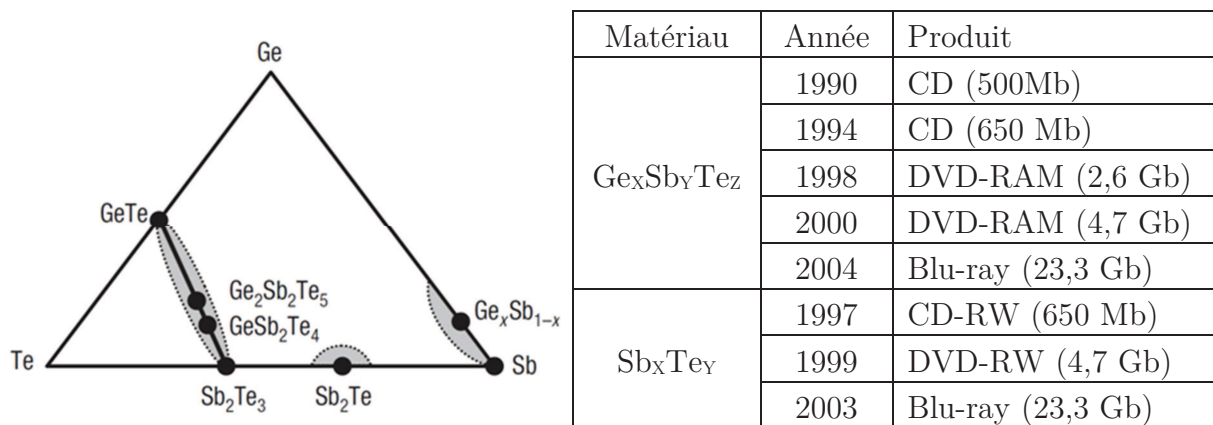


Figure I.19 : Diagramme ternaire des éléments germanium, antimoine et tellure indiquant les principales zones d'intérêt pour créer des disques optiques (gauche). Les années de découverte des différents alliages ainsi que les produits commercialisés à l'aide de ces alliages sont également indiqués (droite). [29]

De plus, il est apparu que le cahier des charges des dispositifs mémoires à changement de phase est proche de celui des disques optiques. En effet, dans le deux cas, le stockage de l'information doit être non-volatile, stable thermiquement et temporellement. En conséquence, et du fait de l'expérience acquise lors de la mise au point des différentes générations de disques optiques, l'alliage GST est devenu le matériau le plus couramment rencontré dans la littérature à propos des mémoires à changement de phase et sera utilisé comme matériau de référence au cours de cette thèse.

## II.2 Fonctionnement d'une mémoire à changement de phase

Dans une mémoire à changement de phase, ou PCRAM pour Phase-Change RAM, le matériau à changement de phase est disposé entre deux électrodes et peut se trouver soit dans une phase amorphe hautement résistive soit dans une phase cristalline plus faiblement résistive (Figure I.20). L'échauffement de celui-ci est assuré par l'effet Joule produit lors d'une impulsion électrique. L'effet Joule peut être produit soit directement à l'intérieur du matériau à changement de phase (on parle d'auto-échauffement) soit à

l'extérieur de celui-ci, par exemple dans les électrodes, puis transmis à celui-ci par conduction ou diffusion thermique. La région dans laquelle se produit l'échauffement dépend de la structure de la cellule mémoire, de ses dimensions et des matériaux utilisés [32].

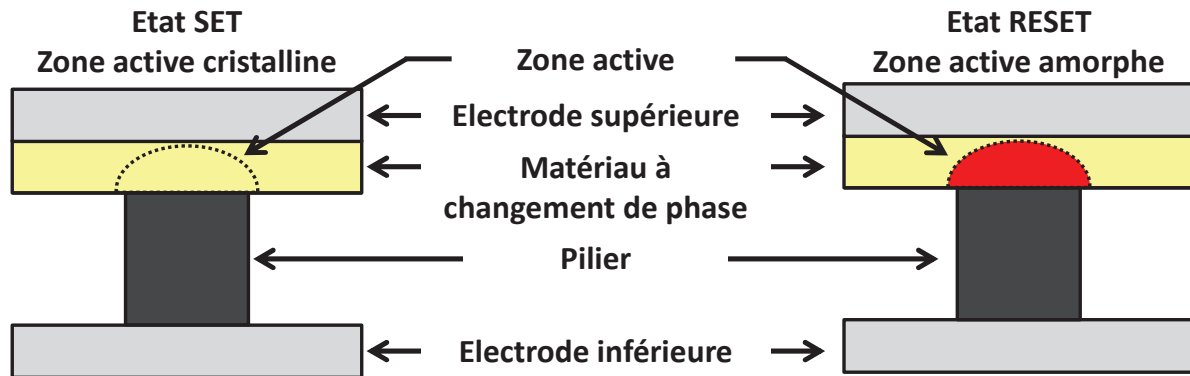


Figure I.20 : Schéma transverse de l'élément résistif d'une cellule PCRAM typique. La zone active se situe au-dessus du pilier et correspond à la portion de matériau de changement de phase changeant effectivement de phase.

Les profils des impulsions à utiliser pour passer d'un état à l'autre sont décrits sur la Figure I.21. L'impulsion permettant d'amorphiser le matériau est de courte durée, de forte amplitude (afin de passer la température de transition solide-liquide,  $T_{\text{FUSION}}$ ) et avec des temps de montée et de descente rapides (inférieur à 10 ns) pour en réaliser la trempe. L'impulsion permettant de cristalliser le matériau est plus longue (entre quelques dizaines de nanosecondes et quelques microsecondes) et de plus faible amplitude, de manière à atteindre une température supérieure à la température de transition vitreuse du matériau,  $T_G$ , mais inférieure à  $T_{\text{FUSION}}$ , permettant ainsi la cristallisation du matériau. Ainsi en adaptant la durée et l'amplitude des impulsions électriques, il est possible de passer de manière réversible d'un état à l'autre.

Il est alors possible de stocker une information en utilisant les différents états de résistance d'une cellule PCRAM. La cellule mémoire sera écrite lorsqu'elle sera dans l'état amorphe hautement résistif, appelé état RESET, et effacée lorsqu'elle sera dans l'état cristallin faiblement résistif, appelé état SET. Il est intéressant de noter que l'état de la cellule après l'application d'une impulsion ne dépend pas de l'état initial de la cellule. Ainsi pour programmer une cellule PCRAM, aucun effacement préalable n'est nécessaire. Pour lire l'information stockée dans la cellule, il suffit d'appliquer une tension de faible amplitude et mesurer le courant.

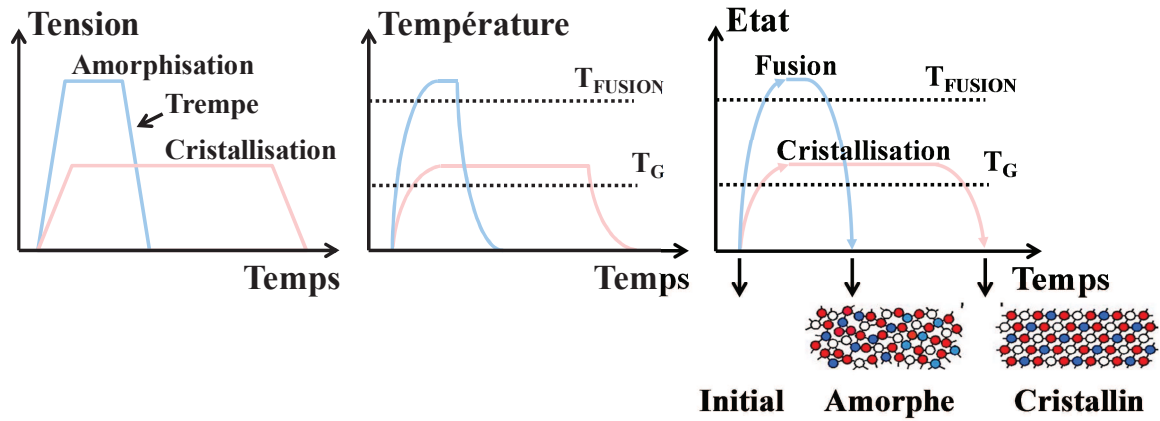


Figure I.21 : Représentation schématique des impulsions électriques à appliquer sur les cellules PCRAM pour les programmer (gauche) et évolutions temporelles de la température (centre) et de l'état (droite) du matériau à changement correspondantes.

Nous présentons sur la Figure I.22 les caractéristiques courant-tension, ou I-V, et résistance-courant, ou R-I, typiques d'un dispositif mémoire à changement de phase initialement dans l'état RESET (courbes noires) [33].

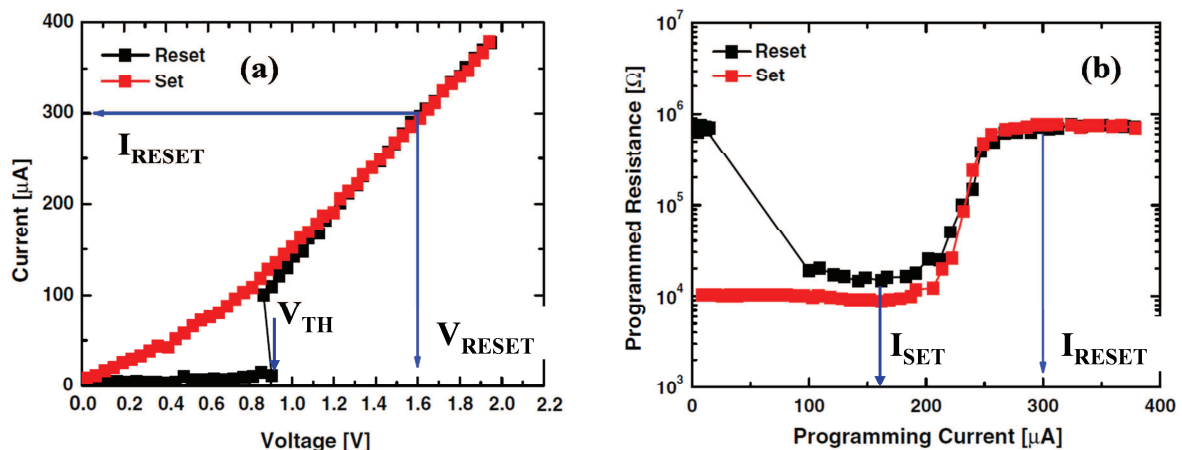


Figure I.22 : Caractéristiques I-V (gauche) et R-I (droite) typiques de cellules PCRAM. [33]

Lorsque le dispositif mémoire est soumis à des impulsions électriques de faible amplitude, il se comporte comme une résistance de forte valeur. Toutefois, lorsque la tension appliquée sur le matériau à changement de phase atteint une valeur critique, appelée  $V_{\text{THRESHOLD}}$  ou  $V_{\text{TH}}$ , une commutation non permanente du matériau est observée. Cette commutation, appelée transition électronique, ou “ovonic threshold switching”, correspond au passage d'un état amorphe faiblement conducteur à un état amorphe fortement conducteur et se traduit par une augmentation importante du courant traversant le matériau ainsi qu'une diminution de la tension sur celui-ci (Figure I.22a). C'est grâce à cette transition que, dans l'état RESET, il est possible d'appliquer au matériau à changement de phase des courants suffisants pour permettre sa

cristallisation tout en maintenant une tension appliquée de l'ordre de quelques volts. En effet, sans cette commutation, il serait nécessaire d'appliquer des tensions de plusieurs dizaines voire centaines de volts sur le matériau pour obtenir le courant nécessaire à sa cristallisation. Bien qu'étant un mécanisme fondamental du fonctionnement des mémoires PCRAM, les mécanismes physiques régissant la transition électronique sont encore débattus.

Celle-ci a, tout d'abord, été attribuée à un claquage thermique du matériau à changement de phase amorphe : en augmentant la tension sur le matériau, le courant augmente provoquant, par effet Joule, une élévation de la température du matériau ainsi qu'une augmentation de la conductivité électrique et donc du courant créant ainsi un système auto-entretenu [34], [35]. Lorsque la température augmente au-delà d'un seuil, une grande quantité de porteurs est générée thermiquement permettant une diminution de la tension sur le matériau ainsi qu'une augmentation du courant correspondant à la transition électronique.

Dans un second temps, la transition électronique a été considérée comme un effet purement électronique et a été attribuée à la compétition entre un mécanisme de recombinaison de type Shockley-Read-Hall et un mécanisme de génération pouvant être modélisé par la théorie d'Okuto-Crowell [36], [37].

Suite à cette transition, un courant important traverse le matériau à changement de phase permettant son échauffement jusqu'à la température de transition vitreuse et ainsi sa cristallisation. Celle-ci est matérialisée sur la Figure I.22b par une diminution de la résistance à champ électrique faible de la cellule mémoire.

Lorsque l'amplitude des impulsions augmente encore, la température au sein du matériau augmente également jusqu'à atteindre la température de fusion du matériau à changement de phase. Celui-ci se retrouve alors dans l'état liquide et lorsque l'impulsion s'arrête, la trempe est réalisée et le matériau à changement de phase passe dans l'état amorphe. Cette transition est matérialisée sur la Figure I.22b par une augmentation de la résistance à champ électrique faible de la cellule mémoire. En continuant à augmenter la tension, l'échauffement est encore plus important et une zone plus grande du matériau est liquide et donc amorphisée, permettant l'augmentation de la résistance de la cellule. Toutefois, à partir d'une certaine tension, la résistance obtenue après l'application de l'impulsion n'augmente plus, on a alors atteint l'état RESET.

À partir de ces caractéristiques, nous définissons les grandeurs électriques caractéristiques de la programmation des dispositifs PCRAM (Tableau I.5). Il s'agit notamment des tensions et courants nécessaires au passage d'un état à l'autre. Le courant pour passer de l'état SET à l'état RESET,  $I_{\text{RESET}}$ , est défini comme le courant permettant d'atteindre la saturation de la résistance. Le courant pour passer de l'état RESET à l'état SET,  $I_{\text{SET}}$ , est défini comme le courant permettant d'obtenir la plus faible résistance de la cellule.

Tableau I.5 : Abréviations utilisées pour étudier la programmation d'une cellule PCRAM

Transition	Grandeur	Nom
SET $\rightarrow$ RESET	Courant	$I_{\text{RESET}}$
	Tension	$V_{\text{RESET}}$
	Puissance	$P_{\text{RESET}}$
RESET $\rightarrow$ SET	Courant	$I_{\text{SET}}$
	Tension	$V_{\text{SET}}$
	Puissance	$P_{\text{SET}}$
Cycle	Énergie	$E_{\text{CYCLE}}$

## II.3 Avantages et faiblesses des mémoires à changement de phase

Les mémoires PCRAM possèdent de nombreux avantages leur permettant d'être un concurrent majeur des mémoires de type Flash. Toutefois, la technologie PCRAM présente également des faiblesses qu'il est nécessaire de surmonter afin de lui permettre de devenir une technologie mémoire de premier plan.

### II.3.1 Avantages des mémoires à changement de phase

#### Rapidité d'écriture et d'effacement

La rapidité d'écriture/effacement des cellules mémoires unitaire est déterminée par le temps nécessaire à l'amorphisation et à la cristallisation du matériau à changement de phase.

L'amorphisation est un processus rapide puisque le principe est de liquéfier le matériau à changement de phase puis de réaliser une trempe. Par exemple, en utilisant un laser femtoseconde pour amorphiser le matériau à changement de phase, il a été démontré que la fusion du matériau se produit entre 10 ps et 325 ps après l'application de l'impulsion laser tandis que la phase amorphe est entièrement formée après 430 ps (Figure I.23) [38]. En conséquence, lorsqu'une impulsion électrique est appliquée au dispositif mémoire, l'amorphisation du matériau à changement de phase pourrait être réalisée en moins d'une nanoseconde. Il a ainsi été démontré que l'utilisation d'une impulsion électrique de 10 ns permet d'obtenir l'amorphisation du matériau à changement de phase (Figure I.24).



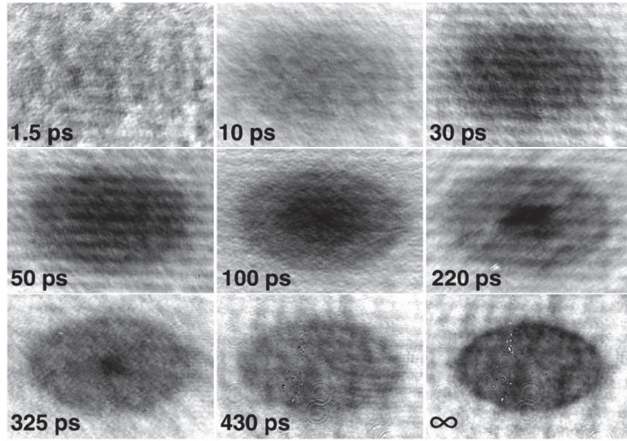


Figure I.23 : Mesure, résolue en temps, de la réflectivité d'une couche de GST amorphisée à l'aide d'une impulsion laser appliquée à  $t = 0$  ps. Après 430 ps la zone amorphe est complètement formée. [38]

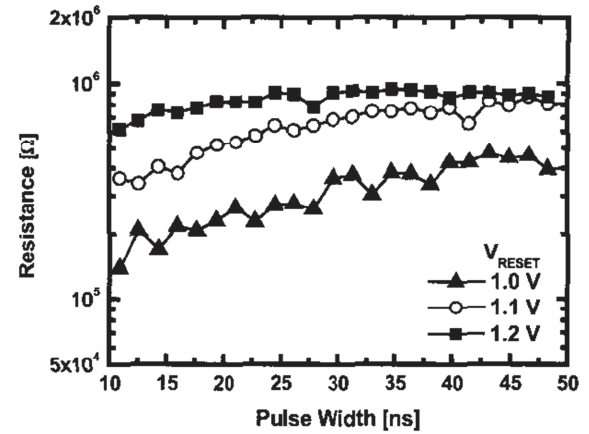


Figure I.24 : Résistance de l'état RESET obtenue en fonction de la durée et de l'amplitude de l'impulsion appliquée sur la cellule. [39]

La cristallisation est un processus plus long car elle doit permettre le réarrangement des atomes composant le matériau à changement de phase. De manière générale, la durée d'une impulsion de cristallisation est comprise entre quelques dizaines de nanosecondes et quelques microsecondes. La cristallisation est donc la transition limitant le plus la rapidité des PCRAM. Celle-ci repose sur deux mécanismes principaux, la croissance de la phase cristalline présente et l'apparition de nucléi, ou nucléation de germes, cristallins au sein de la phase amorphe [40], [41]. Cette nucléation est dite homogène lorsqu'elle se produit au milieu de la phase amorphe et hétérogène lorsqu'elle se produit au contact d'une phase cristalline. La Figure I.25 résume les principaux mécanismes responsables de la cristallisation du matériau à changement de phase. Au sein d'un matériau donné, l'ensemble de ces mécanismes n'est pas nécessairement à l'œuvre. En effet, comme on peut le voir sur la Figure I.26, la probabilité d'activer ou non un mécanisme dépend de plusieurs paramètres tels que la température du matériau à changement de phase, des matériaux environnants mais également du matériau à changement de phase lui-même [41], [42]. En effet, la cristallisation de certains matériaux est dominée par la croissance (cas du GeTe [43] et du  $\text{Sb}_x\text{Te}_y$  [44]) tandis que pour d'autres, la nucléation domine (cas du  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  [45]). Plus de détails sur la théorie de la cristallisation des matériaux à changement de phase ainsi que sur la manière de la caractériser sont fournis dans le chapitre II.



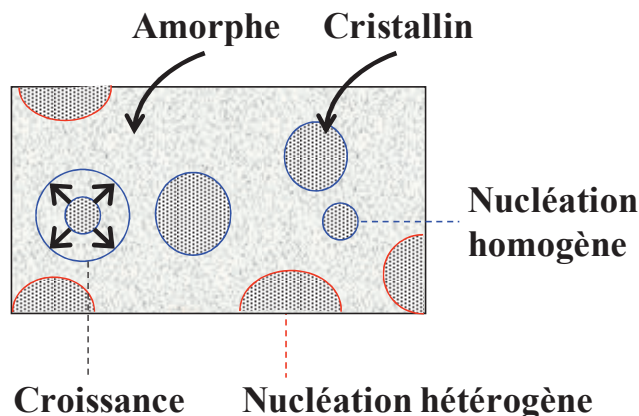


Figure I.25 : Récapitulatif des différents mécanismes de cristallisation à l'œuvre au sein d'un matériau à changement de phase.

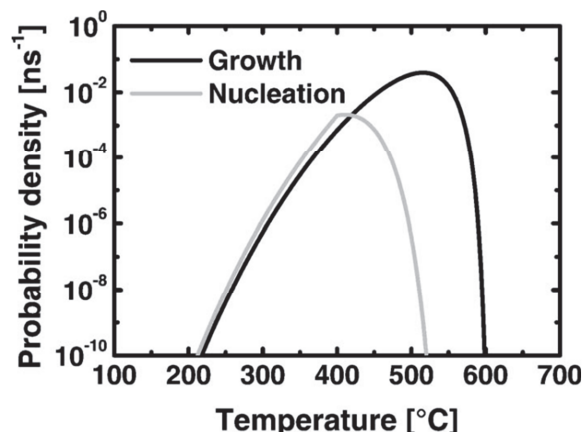


Figure I.26 : Probabilité par unité de temps pour les processus de cristallisation de se produire en fonction de la température du matériau à changement de phase. [42]

En ce qui concerne les cellules PCRAM à base de GST, il a été reporté que la transition de l'état RESET à l'état SET peut se produire en moins de 1  $\mu$ s voire en moins de 100 ns. En conséquence, comparées aux mémoires Flash pour lesquelles la programmation et l'effacement nécessitent plusieurs dizaines de microsecondes [46], les mémoires PCRAM sont bien plus rapides.

### Fenêtre de programmation et endurance

La fenêtre de programmation d'une cellule PCRAM est définie comme le rapport entre la résistance dans l'état RESET et celle dans l'état SET. Elle caractérise la possibilité de discriminer les deux états de la cellule mémoire : plus celle-ci est grande, plus il est facile de lire l'information stockée dans la mémoire. L'endurance d'une cellule mémoire est définie par le nombre de cycles écriture/effacement que la cellule peut supporter en conservant une fenêtre de programmation qui réponde aux spécifications souhaitées. Celle-ci dépend fortement des conditions de programmation de la cellule ainsi que de la fenêtre de programmation voulue. Notamment, il a été démontré que plus l'énergie utilisée pour programmer la cellule est élevée et moins l'endurance sera importante (Figure I.27) [47]. Comparée à la technologie Flash, la technologie PCRAM présente une endurance améliorée. En effet, au niveau d'une cellule unitaire, il a été possible d'effectuer 10<sup>12</sup> cycles (Figure I.28), tandis qu'au niveau d'une matrice mémoire des démonstrations supérieures à 10<sup>8</sup> cycles ont été réalisées [48].

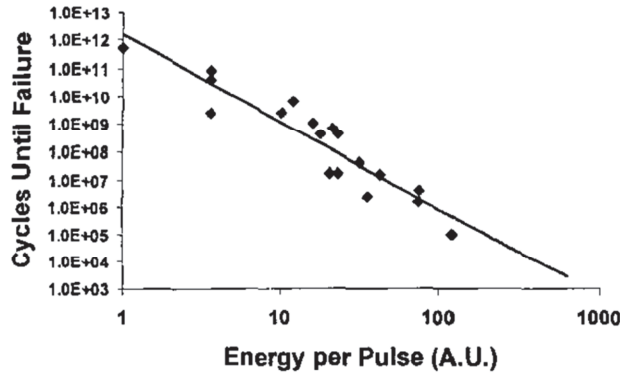


Figure I.27 : Lien entre l'endurance des cellules PCRAM et l'énergie des impulsions électriques utilisées pour amorphiser le matériau à changement de phase. [47]

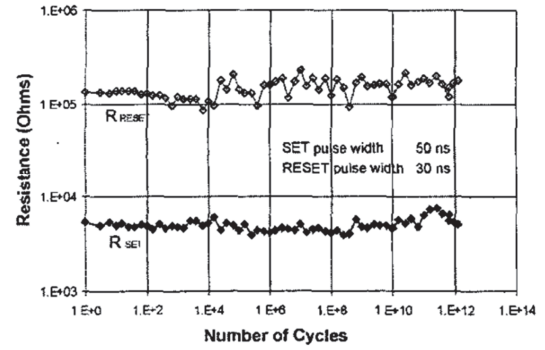


Figure I.28 : Endurance de cellules PCRAM pouvant être successivement écrites et effacées plus de  $10^{12}$  fois. [47]

### Stockage multi-bits

Un des avantages de la technologie PCRAM est de pouvoir stocker plusieurs bits par cellule. Cette caractéristique permet à la technologie PCRAM de se rapprocher de la technologie NAND Flash actuelle dans laquelle 2 bits sont stockés par cellule. Il existe plusieurs manières de permettre cela.

- La première méthode utilise un matériau à changement de phase au sein duquel plus de deux niveaux de résistance peuvent être définis en amorphisant partiellement une cellule initialement dans l'état SET ou en cristallisant partiellement une cellule initialement dans l'état RESET. En utilisant cette méthode, un démonstrateur 256 Mbits stockant 2 bits/cellule a été présenté (Figure I.29) [49]. De plus, des démonstrations jusqu'à 4 bits/cellule ont été faites sur des matrices mémoires de petites dimensions [50].

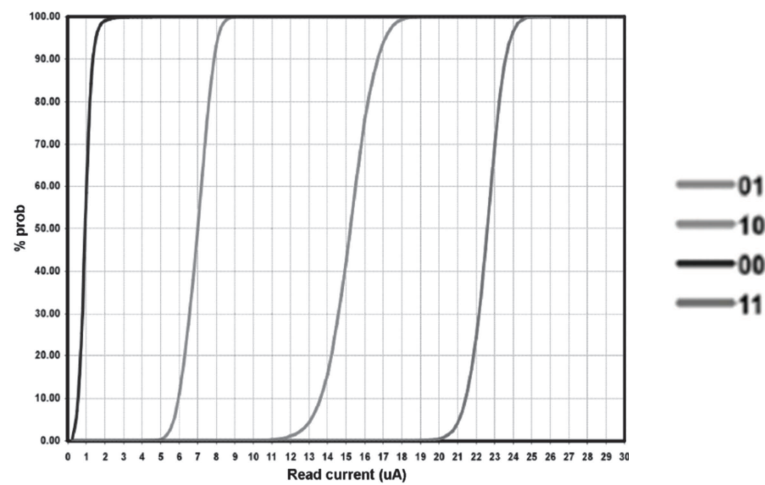


Figure I.29 : Probabilité cumulée des courants mesurés pendant la lecture d'une matrice mémoire constituée de 128 millions de cellules fabriquées en technologie 90 nm mettant en évidence la possibilité de stocker 2 bits par cellule. [49]

- La seconde méthode consiste à définir plusieurs zones actives au sein d'une même cellule mémoire. Ainsi, en formant une cellule avec 3 zones actives en parallèle [51] ou en série [52], il a été possible de créer quatre niveaux de résistance distincts et donc de stocker 2 bits/cellule (Figure I.30 et 31).

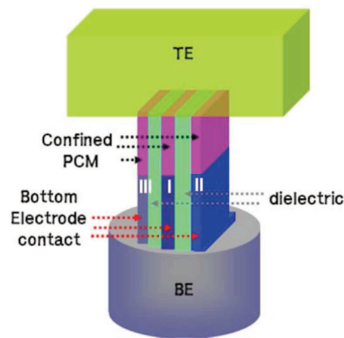


Figure I.30 : Schéma de principe d'une cellule PCRAM utilisant trois zones actives en parallèle permettant de stocker 2 bits par cellule. [51]

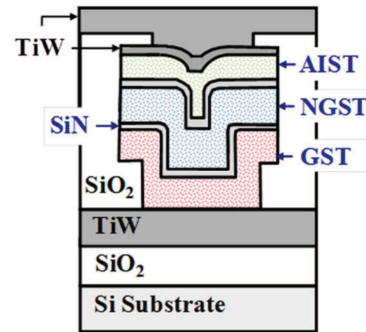


Figure I.31 : Schéma de principe d'une cellule PCRAM utilisant trois zones actives en série permettant de stocker 2 bits par cellule. [52]

En conséquence, la technologie PCRAM permet de stocker 2 bits par cellule lui permettant ainsi de rivaliser avec la technologie NAND Flash. De plus, des premières études laisse entrevoir la possibilité de stocker jusqu'à 4 bits par cellule permettant ainsi à la technologie PCRAM de gagner en compétitivité vis-à-vis de la technologie NAND Flash.

### II.3.2 Faiblesses liées aux courants de programmation

Nous avons montré dans le paragraphe II.2 que l'écriture d'une cellule PCRAM nécessite de liquéfier le matériau à changement de phase en lui apportant une forte quantité d'énergie afin d'élever sa température au-delà de la température de fusion. Or les tensions appliquées sur la cellule pendant la fusion étant relativement faibles ( $< 5V$ ), l'énergie nécessaire à cette opération est obtenue par le passage, à travers la cellule mémoire, d'un courant élevé, souvent compris entre 100  $\mu A$  et 1,5 mA, appelé courant de RESET ou  $I_{RESET}$ . La nécessité d'utiliser un courant aussi élevé pour permettre l'écriture de la cellule est l'un des principaux points bloquants de la technologie PCRAM tant pour les applications embarquées que pour les applications "stand-alone".

En effet, au sein d'une matrice mémoire, une cellule PCRAM complète est constituée d'un élément résistif responsable du stockage de la donnée et d'un élément de sélection en série utilisé comme dispositif d'accès à l'élément résistif (voir Paragraphe III). En conséquence, des courants de programmation élevés imposent un élément de sélection de grande dimension limitant ainsi la taille de la cellule mémoire et donc la densité

d'intégration de la technologie PCRAM, c'est-à-dire le nombre de bits d'information par unité de surface. De plus, la matrice mémoire étant alimentée par une source électrique limitée, réduire ces courants permet d'augmenter le nombre de cellules pouvant être programmées en parallèle, conditionnant ainsi en partie la bande passante de la matrice [53]. Ainsi, plus les courants de programmation sont faibles, plus la matrice mémoire est de grande capacité (Figure I.32) [54] et avec une bande passante en programmation élevée. Réduire ces courants est donc, depuis plusieurs années, un axe de recherche majeur. Le courant de RESET étant le courant de programmation le plus élevé, c'est celui-ci que nous cherchons à réduire dans les chapitres III et IV afin d'optimiser les dispositifs mémoires PCRAM.

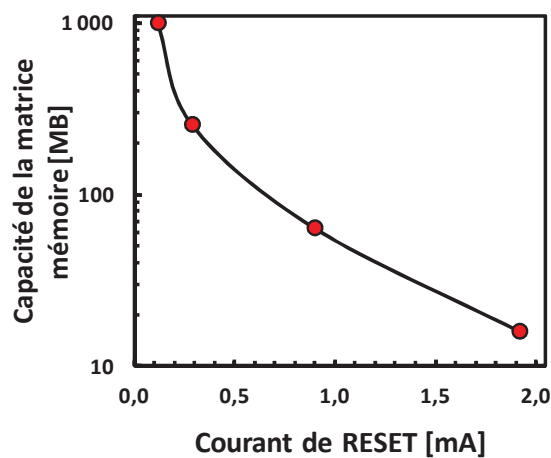


Figure I.32 : Lien entre la capacité de la matrice mémoire et le courant de RESET d'une cellule PCRAM unitaire. [54]

Afin de réduire le courant de RESET des cellules PCRAM, il est possible de diminuer le volume actif du matériau à changement de phase, c'est-à-dire diminuer le volume de matériau qui change effectivement de phase. Celui-ci est déterminé par la plus petite surface d'électrode en contact avec la couche de matériau à changement ainsi que par l'épaisseur de matériau entre les deux électrodes. La Figure I.33 montre que plus la surface de matériau au contact de l'électrode est réduite, plus  $I_{\text{RESET}}$  est faible. Toutefois, cette diminution du courant est accompagnée d'une augmentation de la densité de courant, expliquée par une réduction de l'efficacité énergétique de la cellule mémoire.

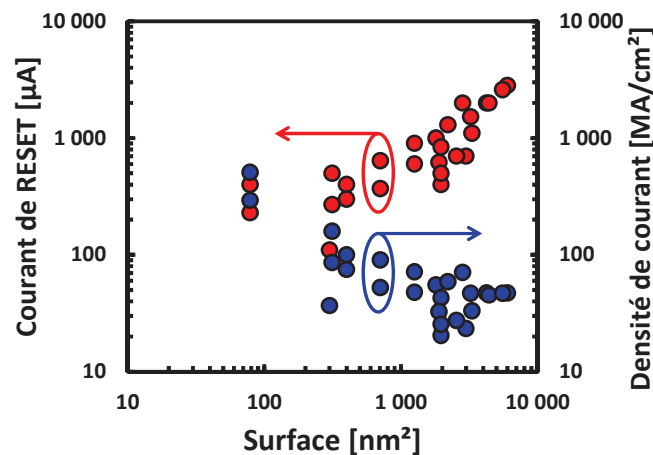


Figure I.33 : Évolution du courant de RESET et de la densité de courant correspondante en fonction de la surface du pilier des cellules PCRAM. Données extraites de [33], [55], [56], [57], [58], [59], [60].

En plus des dimensions de la cellule PCRAM, il est donc également nécessaire d'optimiser les autres paramètres afin d'en réduire le courant de RESET. Pour cela, il est possible :

- de modifier entièrement la structure de la cellule PCRAM afin de maximiser la puissance transmise au matériau à changement de phase (voir paragraphe II.4) ;
- d'améliorer les interfaces entre le matériau à changement de phase et les matériaux environnants (voir Chapitre III) ;
- d'optimiser le matériau à changement de phase lui-même, par exemple en modifiant sa stœchiométrie ou en y incorporant des dopants (voir Chapitre IV).

Du fait des courants de programmation élevés nécessaires à son fonctionnement, la technologie PCRAM, est une des technologies mémoires émergentes la plus consommatrice d'énergie (Figure I.34). Cette forte consommation est préjudiciable à l'utilisation de la technologie PCRAM au sein de produits mobiles (téléphones portables, tablettes, ...) et peut également dégrader la durée de vie du composant mémoire du fait de son échauffement répété lors de son utilisation. En conséquence, au cours des travaux présentés au sein de cette thèse, nous avons également cherché à réduire la consommation énergétique des cellules PCRAM.

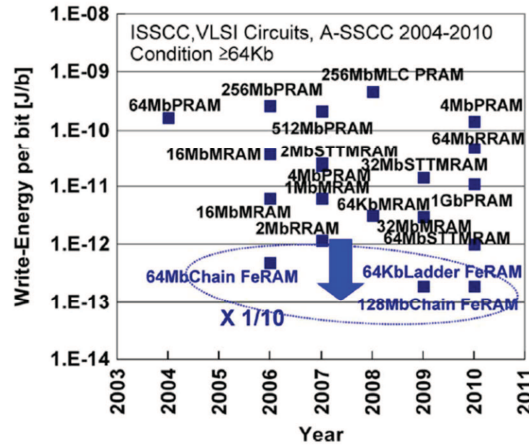


Figure I.34 : Consommation énergétique reportée entre 2004 et 2010 des différentes technologies mémoires émergentes. [61]

Dans ce paragraphe, nous avons vu que la nécessité d'utiliser un courant de RESET élevé limite la densité d'intégration de la technologie PCRAM ainsi que sa bande passante en programmation et donc, sa compétitivité avec les technologies NAND Flash et NOR Flash en vue d'une utilisation dans des applications embarquées et "stand-alone". En conséquence, au cours des travaux présentés au sein de cette thèse, nous avons cherché à réduire les courants de programmation des dispositifs mémoires PCRAM mais également leur consommation énergétique.

### II.3.3 Contraintes spécifiques liées aux applications "stand-alone"

Nous avons vu dans le paragraphe II.3.1, que la technologie PCRAM peut permettre de stocker plusieurs bits par cellule. Toutefois, lorsqu'une cellule mémoire est programmée dans l'état RESET, une relaxation structurale spontanée est observée. Celle-ci fait évoluer la phase amorphe du matériau à changement de phase en une phase amorphe thermodynamiquement plus stable. Cette évolution est accompagnée par une dérive, ou "drift", de la valeur de la résistance de l'état RESET et de la tension de seuil  $V_{TH}$  (Figure I.35) [62], [63]. Toutefois, les mécanismes physiques qui en sont responsables ne sont pas encore complètement compris et plusieurs explications telles que la relaxation des contraintes mécaniques [64] ou encore la relaxation des défauts [65] sont proposées.

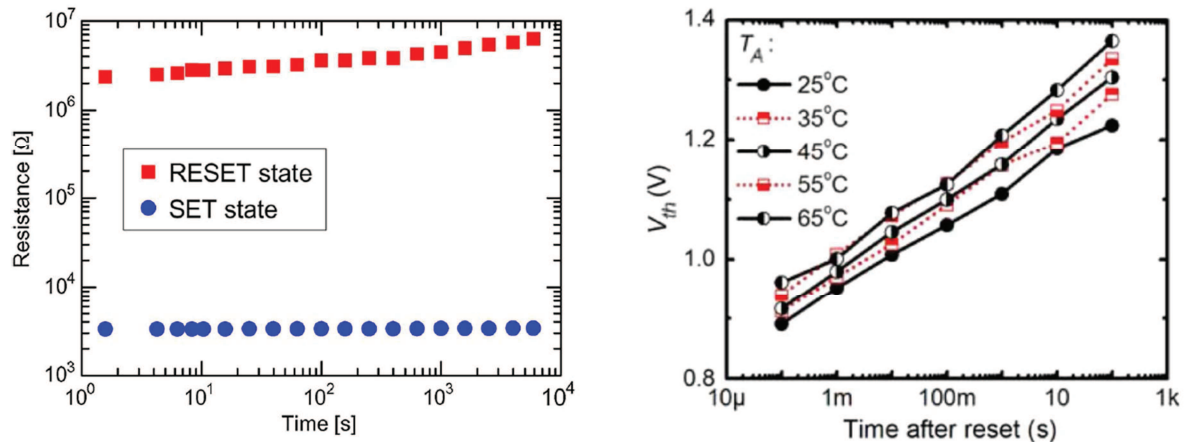


Figure I.35 : Mise en évidence de la dérive temporelle de la valeur de la résistance de l'état RESET [62] et de la tension de seuil [63] des cellules PCRAM.

Or cette dérive de la résistance de l'état RESET est particulièrement problématique pour le stockage de plusieurs bits d'informations au sein d'une même cellule. En effet, lorsqu'un grand nombre de niveaux de résistance est défini (par exemple 4 pour stocker 2 bits par cellule), l'écart entre chacun de ces niveaux est faible. En conséquence, si la résistance d'un état dérive au cours du temps, celle-ci peut devenir égale à la résistance d'un autre niveau. Lors de la lecture de l'information, il ne sera donc plus possible de déterminer l'état initial de programmation de la cellule. En conséquence, plusieurs solutions ont été proposées soit pour réduire cet effet de dérive soit pour en tenir compte lors de la lecture des données stockées dans la matrice mémoire [66], [67]. Dans ce second cas, il a été montré qu'utiliser une tension de lecture plus élevée, voire une rampe de tension, pour lire la donnée stockée dans la cellule permet, à résistance égale, de distinguer une cellule dont la zone amorphe est de grande dimension, correspondant donc à une cellule dans l'état RESET, d'une cellule dont la zone amorphe est de dimension plus faible, correspondant donc à une cellule dans un état intermédiaire. La capacité de la technologie PCRAM à stocker 2 bits par cellule, et donc à être compétitive avec la technologie NAND Flash, est donc limitée par l'existence de la dérive de la résistance de l'état RESET.

### II.3.4 Contraintes spécifiques liées aux applications embarquées

La Figure I.15 du paragraphe I.5 met en avant l'importance de la rétention de l'information au sein des cellules mémoires en vue de leur utilisation au sein d'une application embarquée. En effet, les critères de la rétention de l'information à haute température sont définis par :

- la température maximale de rétention de l'information à 10 ans. Ainsi, pour les applications embarquées, notamment automobiles, la matrice mémoire doit être



en mesure de conserver les informations stockées pendant 10 ans à 150°C (pour la plupart des applications “stand-alone”, 10 ans à 85°C suffisent).

- la nécessité de conserver, lors des étapes de découpe, de mise en boîtier et de placement de la puce mémoire, d’éventuelles informations préenregistrées. En effet, pour certaines applications, le fabricant de la puce mémoire préfère pouvoir stocker des informations au sein de la matrice mémoire pendant le processus de fabrication et plus précisément avant la découpe, la mise en boîtier et le placement de la puce sur une carte électronique. En conséquence, les informations stockées ne doivent pas être perdues lors de ces étapes dont la plus critique est la soudure de la puce sur la carte électronique réalisée à haute température (typiquement 260°C pendant quelques dizaines de secondes) également appelée “soldering”.

Or, lorsqu’une cellule PCRAM est programmée dans l’état RESET, la rétention de l’information est limitée par la recristallisation spontanée du matériau à changement de phase. Celle-ci est fortement activée en température et est caractérisée par la perte de l’information stockée dans la cellule du fait de la diminution de la résistance (Figure I.36). Le temps nécessaire au passage dans l’état SET,  $t_{\text{FAIL}}$ , d’un ensemble de cellules PCRAM peut être reproduit par une loi d’Arrhenius, permettant ainsi, pour une durée de rétention de 10 ans de calculer la température maximale que la matrice mémoire peut supporter (Figure I.37). Dans le cas d’une cellule PCRAM à base de GST, cette température est toujours inférieure à 150°C et est souvent comprise entre 85°C et 125°C.

Ainsi au cours des travaux présentés au sein de cette thèse, nous avons cherché à améliorer la rétention des cellules PCRAM pour leur permettre de stocker une information pendant 10 ans à 150°C et également pendant l’étape de soudure, ou “soldering”, de la puce mémoire sur une carte électronique.

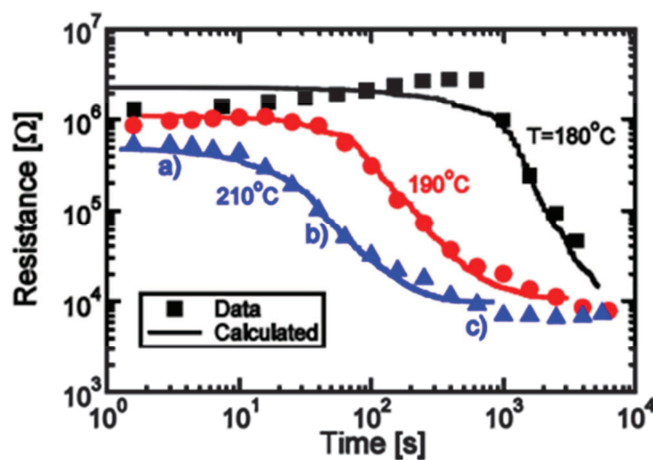


Figure I.36 : Évolution de la résistance de cellules PCRAM initialement dans l’état RESET en fonction du temps de recuit. La cristallisation du matériau à changement de phase, initialement dans la phase amorphe, s’accompagne d’une diminution de la résistance de la cellule. Celle-ci est d’autant plus rapide que la température de recuit est élevée. [68]



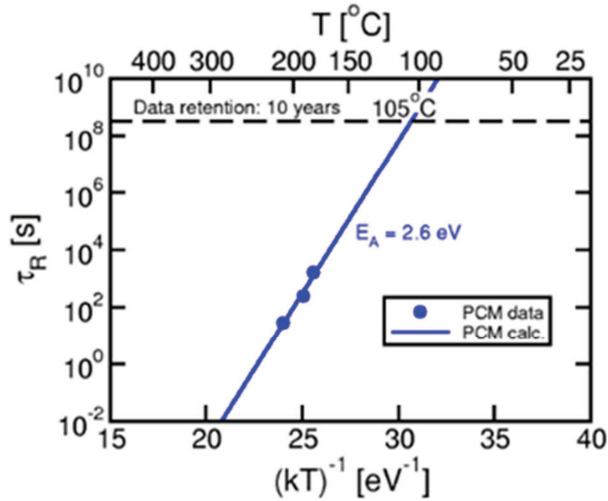


Figure I.37 : Le temps de passage dans l'état SET est exponentiellement activé en température et celui-ci peut être représenté dans un graphe d'Arrhenius.

## II.4 Structure des cellules mémoires à changement de phase

Nous avons vu précédemment que la plupart des mémoires alternatives ou émergentes sont des mémoires ne nécessitant que deux terminaux contre trois pour les transistors utilisés dans les mémoires Flash. De plus, nous avons vu que réduire les courants de programmation des mémoires PCRAM nécessite d'améliorer la structure de la cellule mémoire. Différentes structures ont donc été développées en ce sens.

### Structure planaire

La première structure créée est la structure planaire, également appelée structure "plug", "mushroom", "lance", ou encore "pillar" (Figure I.38). Dans cette structure, un via rempli d'un matériau conducteur, tel que le tungstène, est utilisé pour délimiter le volume actif. Celui-ci est surmonté d'une couche de matériau à changement de phase pouvant être pleine tranche ou délimitée. Un des avantages de cette structure est de ne pas nécessiter de technique de dépôt particulière du matériau à changement de phase et celui-ci est la plupart du temps réalisé par pulvérisation (PVD). Toutefois cette structure est difficile à miniaturiser. En effet, le volume actif étant en parti contrôlé par les deux dimensions latérales du pilier, réduire le volume actif nécessite de fabriquer un via de petites dimensions. La miniaturisation de cette structure est donc limitée par les techniques de lithographie permettant de créer le via.

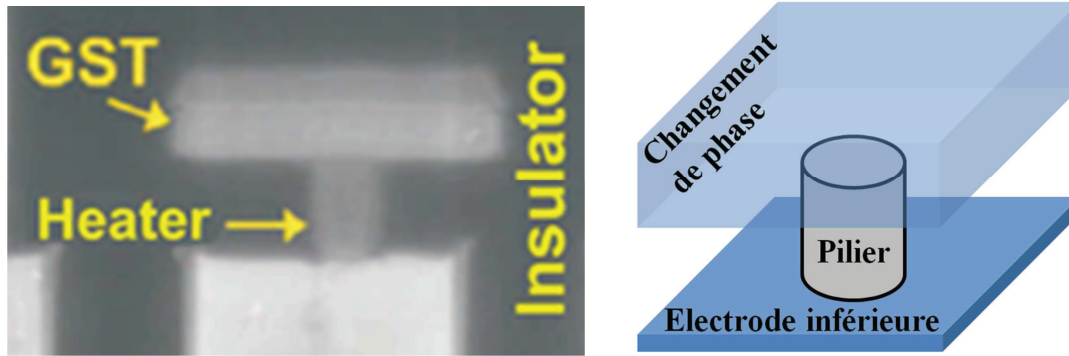


Figure I.38 : Vue en coupe, obtenue par la technique d'imagerie MEB, d'une cellule PCRAM à structure "plug" (gauche) [69] et schéma descriptif correspondant (droite).

### Structures "Wall" et "Ring"

Afin de s'affranchir en partie des limitations imposées par la lithographie et pouvoir créer des structures de dimensions sub-lithographiques, des structures ont été développées dans lesquelles une des dimensions latérales du pilier n'est plus contrôlée par la lithographie mais par l'épaisseur d'une couche déposée. C'est le cas des structures "Ring" (ou "cup-shaped") et "Wall" (Figure I.39). Dans ces structures, comme dans la structure planaire, un via est créé et une fine couche de matériau conducteur y est déposée. Selon les cas, cette couche peut être laissée ainsi (structure "Ring") ou gravée (structure "Wall"). En conséquence, ces structures étant de dimensions sub-lithographiques, les courants nécessaires à la programmation de la cellule mémoire sont, pour un nœud technologique donné, inférieurs à ceux utilisés dans le cas de la structure planaire.

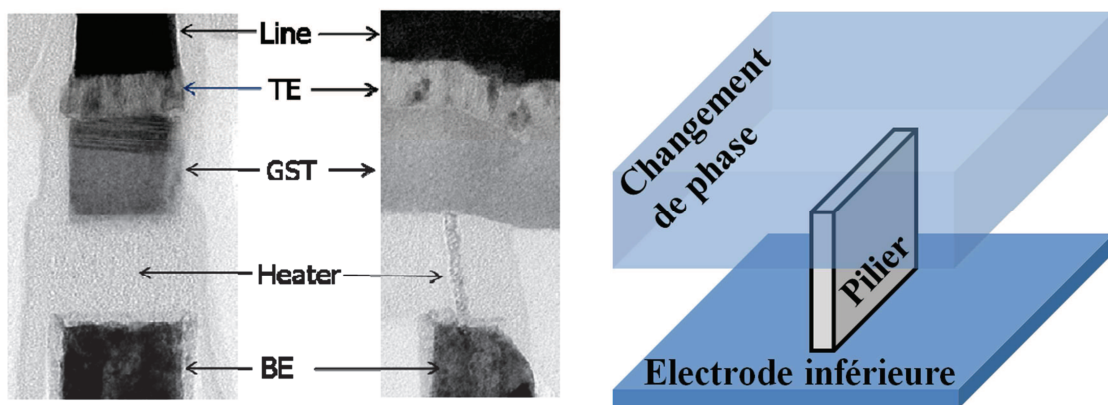


Figure I.39 : Vue en coupe, obtenue par la technique d'imagerie MEB, d'une cellule PCRAM à structure "Wall" (gauche) et schéma descriptif correspondant (droite).

### Structures à confinement

Dans les structures précédentes la couche de matériau à changement de phase est déposée de manière plane sur le pilier. Toutefois, dans certaines structures, cette couche

n'est plus plane et remplit complètement ou en partie une cavité permettant ainsi de meilleurs confinements thermique et électrique. C'est le cas des structures confinées, "micro-trench", ou " $\mu$ -trench", et "Dash" (Figure I.40).

Dans le cas de la structure confinée, le matériau à changement de phase est déposé directement dans le via à la place du matériau conducteur. Du point de vue de la miniaturisation, cette structure présente donc les mêmes inconvénients que la structure planaire.

Dans le cas de la structure " $\mu$ -trench", le matériau à changement de phase est déposé dans une tranchée fabriquée au-dessus du pilier. La taille de la tranchée étant inférieure à celle du pilier, cette structure permet de réduire le volume actif et donc le courant nécessaire à la programmation de la cellule.

La structure "Dash" correspond à une structure "Wall" dans laquelle le matériau à changement de phase est déposé au-dessus du pilier.

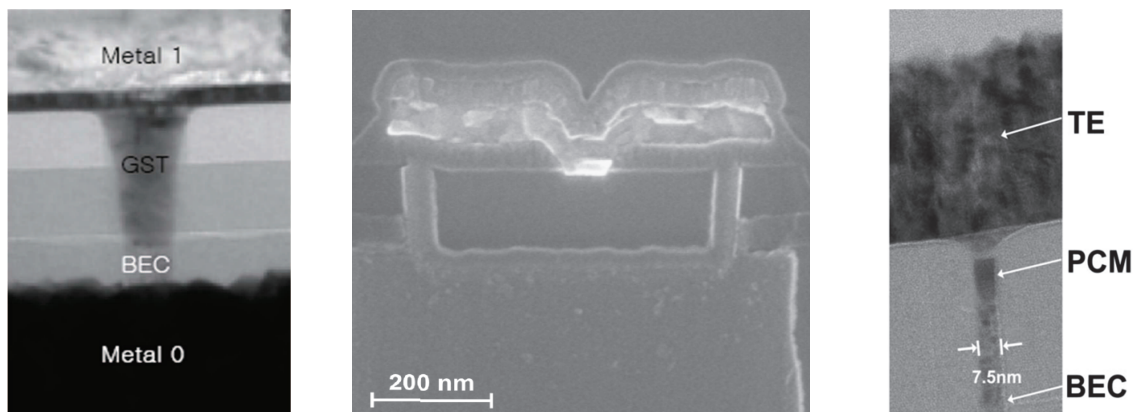


Figure I.40 : Vue en coupe de cellules PCRAM à structure confinée (gauche) [70] , " $\mu$ -trench" (centre) [71] et "Dash" (droite) [57].

Nous venons de décrire les principales structures à deux terminaux développées pour les mémoires PCRAM. Toutefois, d'autres structures moins communes existent dans la littérature (par exemple les structures "Line", "Bridge" et "Edge"). Comme indiqué précédemment, un des objectifs de ces structures est de réduire le courant nécessaire à l'amorphisation du matériau à changement. Cependant, il est difficile de comparer quantitativement ces structures les unes aux autres car les matériaux à changement de phase ainsi que les matériaux environnants, par exemple celui du pilier, sont rarement identiques. Cependant, lorsque c'est le cas, la Figure I.41, montre clairement qu'à surface constante, le courant de RESET de la structure  $\mu$ -trench est deux fois inférieur à celui de la structure "plug".

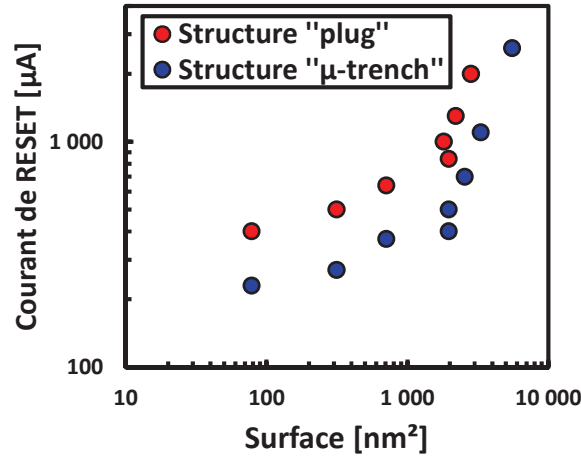


Figure I.41 : Lien entre le courant de RESET des cellules PCRAM et la surface de la zone active pour des cellules à structure “plug” et “μ-trench”. Données extraites de [56] et [57].

### III. Type d’architectures PCRAM et applications

Pour que les mémoires Flash répondent aux besoins des applications embarquées et “stand-alone”, il a fallu développer différentes architectures. De la même manière, différentes architectures sont en cours de développement afin que les mémoires émergentes répondent aux besoins de ces applications. Comme indiqué précédemment, au sein d’une matrice mémoire, et ce quelle que soit l’application visée, un élément de sélection, ou sélecteur, doit être intégré en série avec l’élément résistif PCRAM. Son but est de se comporter comme un interrupteur c’est-à-dire d’être passant lorsque la cellule doit-être programmée ou lue et bloqué dans le cas contraire. Nous avons vu précédemment que l’opération de RESET d’une cellule PCRAM nécessite un courant compris entre quelques dizaines de micro-ampères et 1 mA ce qui correspond à une densité de courant comprise entre 10 MA/cm<sup>2</sup> et 100 MA/cm<sup>2</sup> (Figure I.33). En conséquence, le sélecteur utilisé doit être en mesure de délivrer, d’une part des courants de cet ordre de grandeur, et d’autre part, des densités de courant de cet ordre de grandeur évitant ainsi que sa taille soit bien supérieure à celle de l’élément résistif, ce qui limiterait la densité d’intégration. De plus, dans le cas de la technologie PCRAM, ce sélecteur doit être dissymétrique afin de rendre l’ensemble sélecteur-élément résistif dissymétrique.

#### III.1 Architectures pour les applications embarquées

L’élément de sélection devant se comporter comme un interrupteur, le premier sélecteur à avoir été utilisé est un transistor MOSFET planaire dans lequel le drain (ou la source) est relié(e) au contact inférieur de l’élément résistif (Figure I.42). L’état, passant ou bloqué, de ce sélecteur est contrôlé par la tension appliquée sur la grille du transistor via la “word-line”. En appliquant une tension sur la “bit-line” reliée au

contact supérieur de l'élément résistif, on contrôle le courant passant dans la cellule. Il est alors possible de programmer ou de lire cette cellule. On parle de cellule de type un transistor-un élément résistif, ou 1T1R.

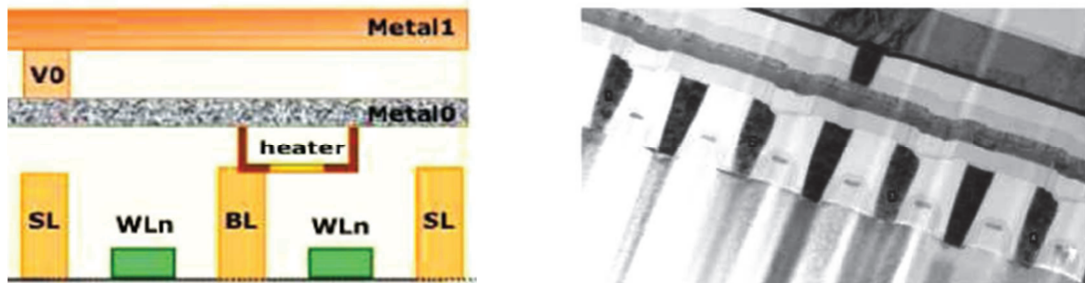


Figure I.42 : Schéma de principe d'une cellule PCRAM avec un transistor MOSFET de sélection (gauche) et vue en coupe correspondante, obtenue par la technique d'imagerie TEM (droite). [72]

Dans les applications embarquées, nous avons vu que les matrices mémoires sont directement co-intégrées avec les éléments logiques exécutant les instructions et traitant les données. Or, du fait des budgets thermiques élevés ( $>400^{\circ}\text{C}$ ) nécessaires à la fabrication d'une cellule mémoire de type Flash, les cellules mémoires doivent être positionnées dans le même plan que les éléments logiques (Figure I.43) [73]. Dans le cas de cellules PCRAM, les budgets thermiques nécessaires à la fabrication des éléments résistifs sont beaucoup plus faibles ( $<400^{\circ}\text{C}$ ). Dans l'hypothèse où le sélecteur serait fabriqué avec un budget thermique similaire, les cellules PCRAM pourraient donc être intégrées au sein des niveaux d'interconnexions se trouvant au-dessus des éléments de la logique réduisant ainsi la taille de la puce mémoire. On parle alors d'intégration au cours des dernières étapes de fabrication, ou d'intégration BEOL pour "Back-End Of Line".

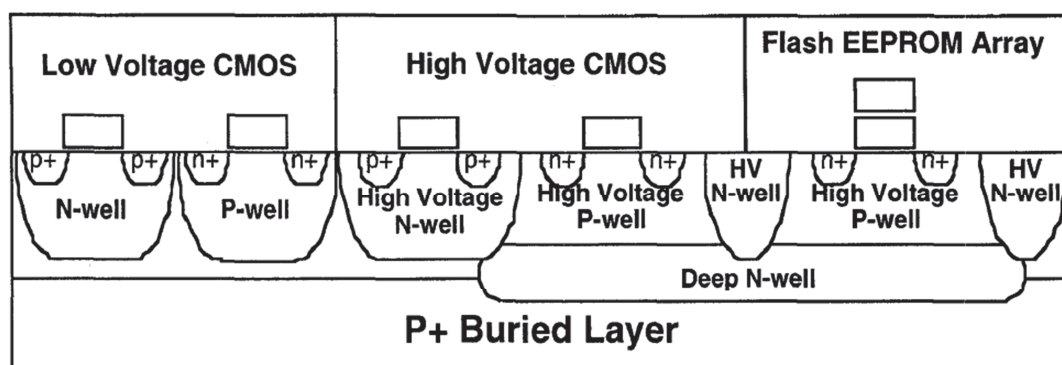


Figure I.43 : Représentation schématique d'une matrice mémoire utilisée pour une application embarquée. Les cellules mémoires se trouvent au même niveau que les éléments de la logique CMOS. [73]

La Figure I.44 retrace l'évolution des démonstrateurs PCRAM embarqués présentés au cours des dernières années. On constate que ceux-ci utilisent des nœuds technologiques plus relâchés que ceux utilisés pour les éléments de la logique CMOS. On constate également que les capacités de stockage sont relativement faibles puisque la plus élevée reportée jusqu'à présent est de 256 MB. Toutefois, comme on peut le voir sur la Figure I.45, la majorité des applications embarquées actuelles (c'est-à-dire en technologie Flash) nécessite une capacité inférieure à 1 MB [74]. En conséquence, les démonstrateurs développés en technologie PCRAM sont malgré tout d'une capacité suffisante.

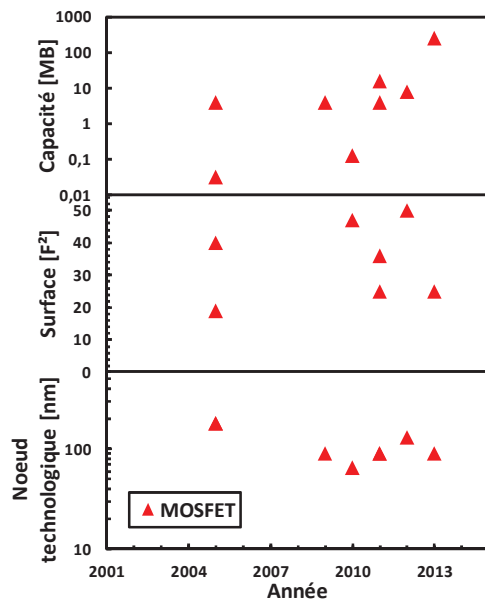


Figure I.44 : Évolution du nœud technologique utilisé pour la fabrication des cellules PCRAM unitaires (bas), de la surface d'une cellule PCRAM unitaire (centre) et de la capacité des matrices mémoires à base de cellules PCRAM (haut). Données extraites de [53], [72], [75], [76], [77], [78], [79], [80].

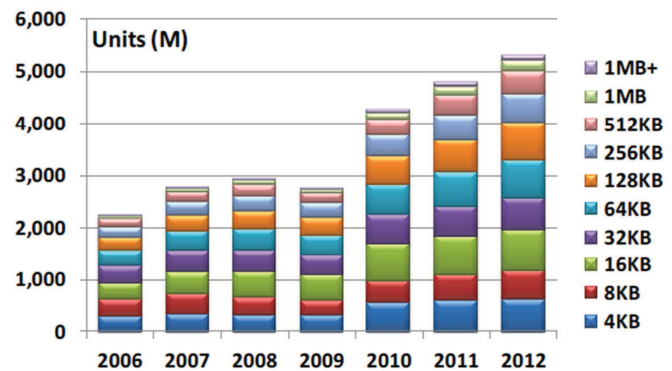


Figure I.45 : Vente annuelle du marché des microcontrôleurs en fonction de la taille de la matrice mémoire embarquée. [74]

### III.2 Architectures pour les applications “stand-alone”

L'objectif des applications “stand-alone” étant de stocker une grande quantité de données, il est primordial que les cellules mémoires soient de petites dimensions afin que les matrices mémoires soient de grande capacité avec un coût minimal.



#### III.2.1 L'architecture crossbar

Dans l'architecture crossbar, les cellules mémoires sont connectées par deux lignes métalliques perpendiculaires (Figures I.46 et I.47). À l'extrémité de chaque ligne se trouve un élément d'adressage, généralement un transistor, chargé de polariser l'ensemble de la ligne et de laisser passer le courant nécessaire au fonctionnement des cellules mémoires. Ainsi en polarisant de manière adéquate chacune des lignes métalliques, il est possible de sélectionner la cellule à programmer ou à lire. Les cellules se trouvant sur les mêmes lignes que la cellule sélectionnée sont souvent désignées par le terme de cellules semi-sélectionnées, ou “half-selected”.

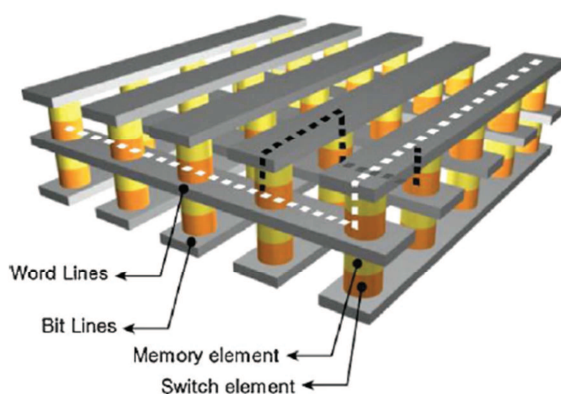


Figure I.46 : Schéma descriptif de l'architecture crossbar présentant l'agencement des cellules mémoires.

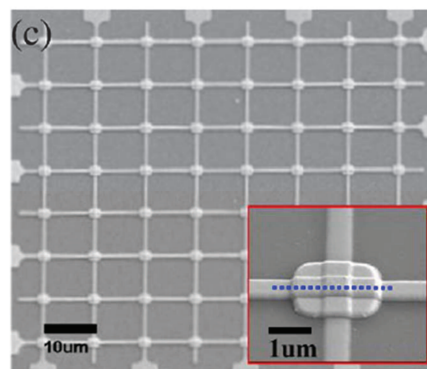


Figure I.47 : Vue aérienne d'une matrice mémoire organisée au sein d'une architecture crossbar. [81]

L'avantage principal de l'architecture crossbar est de permettre la création de matrices de très forte densité et est donc particulièrement bien adaptée aux applications “stand-alone”. En effet, la taille d'une cellule peut théoriquement y être de  $4F^2$  (surface correspondant à l'intersection de deux lignes métalliques). De plus, en empilant des plans mémoires les uns sur les autres, la densité d'intégration augmente et la taille d'une cellule devient alors  $4F^2/n$  ( $n$  étant le nombre de plans mémoires empilés).

Toutefois, empiler plusieurs plans mémoires au sein d'une architecture crossbar présente plusieurs inconvénients. En effet, puisqu'il s'agit d'une intégration de type BEOL, cela impose que le sélecteur soit fabriqué avec un budget thermique faible ( $<400^\circ\text{C}$ ) afin de pouvoir être intégré au-dessus des plans mémoires inférieurs sans les détériorer.

De plus, de la même manière qu'augmenter le nombre de plans mémoires dans l'architecture empilée de la technologie NAND Flash n'en réduit pas significativement le coût, l'architecture crossbar ne permet pas de réduire significativement le coût d'un gigabit. Deux raisons expliquent cela. La première est que puisque les niveaux sont créés un à un, en augmenter le nombre augmente le nombre d'étapes technologiques

ainsi que le nombre de masques nécessaires. La Figure I.48 montre que pour un nœud technologique donné, il n'est pas possible d'empiler plus de 8 niveaux sans que le coût ne devienne trop important [82]. De plus, afin d'être compétitives avec les mémoires de type NAND Flash, il est nécessaire d'utiliser des nœuds technologiques de petites dimensions. Or cela requiert l'utilisation d'équipements de lithographie extrême UV dont le prix est très élevé. En conséquence, il semble que l'architecture crossbar puisse être économiquement compétitive uniquement pour des matrices dont la taille est inférieure à 1 TB voire 512 GB (Figure I.48), soit pour les deux à trois prochaines générations de mémoires "stand-alone" environ [82]. Afin de limiter l'augmentation du coût liée à l'augmentation du nombre de plans mémoires empilés, de nouvelles architectures sont à l'étude.

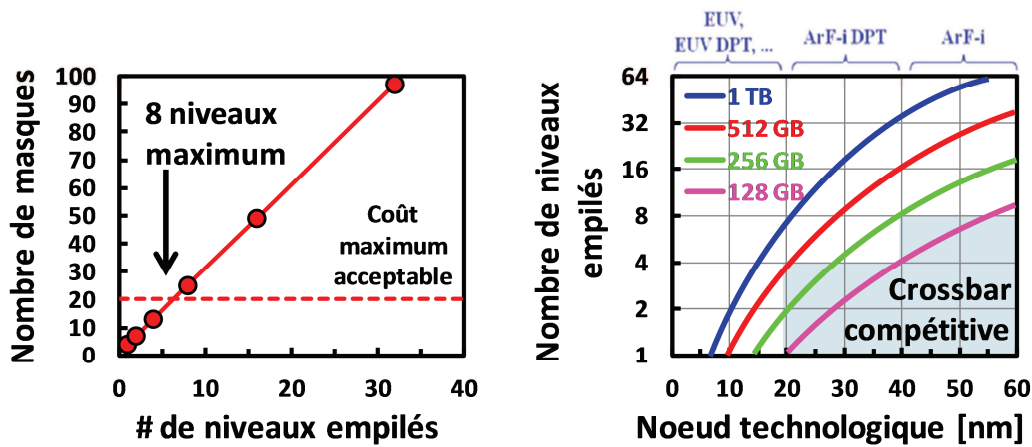


Figure I.48 : Lien entre le nombre de masques à utiliser et les nombre de niveaux à empiler (gauche). Coût de fabrication d'une matrice mémoire de capacité variable en fonction du nombre de niveaux empilés et du nœud technologique utilisé (droite). [82]

### III.2.2 L'architecture verticale

L'architecture verticale est fortement inspirée de l'architecture à canal vertical développée pour les mémoires NAND Flash dans laquelle l'empilement oxyde tunnel/grille flottante/oxyde de contrôle est remplacé par l'empilement "bit-line" métallique/matériau mémoire (Figures I.49 et I.50). Cette architecture évite que le nombre de masques à utiliser augmente lorsque le nombre de plans mémoires empilés augmente. En effet, l'ensemble des couches empilées peuvent être gravées en une seule fois (Figure I.51). Toutefois, cela augmente la complexité du procédé de fabrication puisqu'il faut pouvoir former et remplir des vias verticaux rectilignes à fort facteur de forme. Ce dernier point nécessite souvent l'utilisation de dépôt chimique tel que la CVD et également la gravure en une seule fois des couches de natures très différentes. Le procédé de fabrication de cette architecture est donc plus complexe que celui utilisé pour l'architecture crossbar.



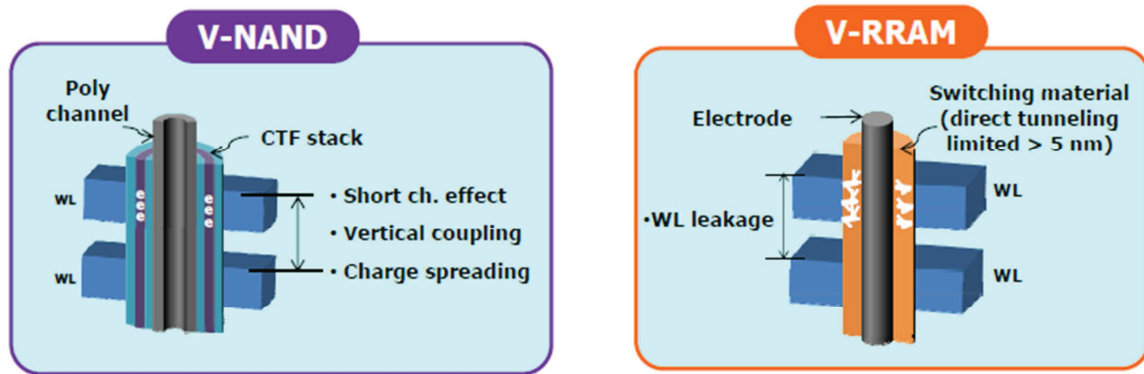


Figure I.49 : Schéma descriptif d'une cellule mémoire Flash à canal vertical (gauche) et d'une cellule mémoire résistive verticale (droite).

Du point de vue électrique, les cellules mémoires sont placées en parallèle les unes des autres, un sélecteur est donc également requis dans cette architecture. Toutefois, comme on peut le voir sur la Figure I.51, il est extrêmement difficile d'intégrer un sélecteur au sein de chaque cellule mémoire. En conséquence, des cellules mémoires auto-rectificatrices (c'est-à-dire possédant une caractéristique I-V non-linéaire avec un effet de seuil) doivent être spécialement développées. Des premiers exemples de telles structures ont été récemment présentés. Il semble que l'effort soit porté sur l'étude de cellules de type OxRRAM, probablement car cette technologie utilise des oxydes binaires de métaux de transition avec lesquels il est facile d'obtenir un effet rectificatif en les mettant en contact avec un métal. Il suffit alors que la couche métallique liée à la "word-line" soit faite de ce métal pour obtenir une cellule mémoire auto-rectificative. Toutefois, une cellule PCRAM pourrait également être intégrée au sein de l'architecture verticale à condition de trouver un matériau à changement de phase ainsi qu'un matériau conducteur, qui une fois mis en contact, forment un élément rectificatif.

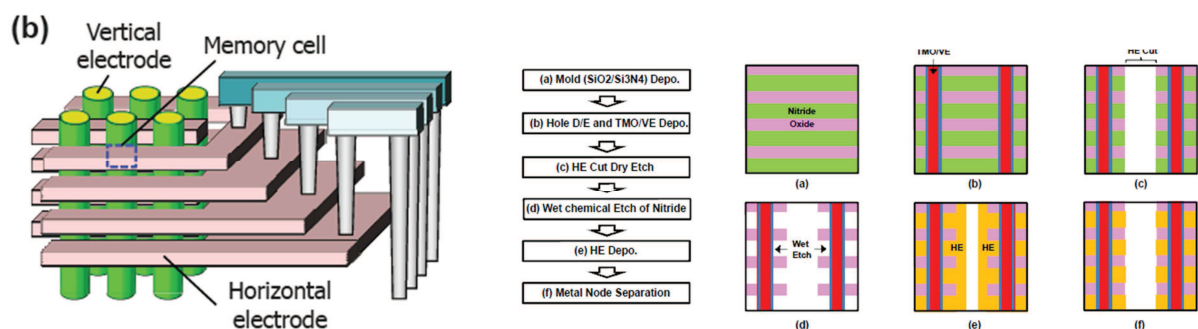


Figure I.50 : Schéma descriptif d'un ensemble de cellules mémoires intégrées au sein de l'architecture verticale. [82]

Figure I.51 : Récapitulatif des étapes de fabrication permettant de créer une cellule mémoire verticale. [82]

### III.2.3 L'architecture verticale avec sélecteur parallèle

Nous venons de voir que l'intégration d'un sélecteur en série avec un élément résistif au sein de l'architecture verticale ne peut être obtenue simplement et qu'aucun démonstrateur de grande capacité n'a pour le moment été présenté. Toutefois, l'utilisation de sélecteurs intégrés en parallèle de l'élément résistif semble pouvoir surmonter cette difficulté. Cette architecture repose sur l'utilisation d'éléments de l'architecture crossbar et de l'architecture verticale. Comme dans l'architecture verticale, la cellule mémoire est constituée d'une fine couche de matériau à changement de phase déposée sur les parois d'un via vertical et est délimitée par l'alternance de couches horizontales de matériaux conducteur et isolant (Figure I.52) [83]. Comme dans l'architecture crossbar, les via sont en parallèle les uns des autres et sont connectés les uns aux autres par des lignes métalliques perpendiculaires. En conséquence, afin de sélectionner le via à programmer ou à lire, une diode en poly-silicium est créée au pied de chaque via. De plus, afin de sélectionner l'élément résistif à programmer ou à lire au sein d'un via, un transistor est créé en parallèle de chaque élément résistif. Celui-ci est constitué d'un canal vertical en poly-silicium déposé sous la couche de matériau à changement de phase et d'une grille métallique formée par une couche métallique horizontale. Lorsque le transistor est passant, le courant provenant de la diode passe dans le canal en poly-silicium, l'élément résistif n'est donc pas sélectionné. Par contre, lorsque le transistor est bloqué, le courant est forcé de passer dans l'élément résistif qui peut alors être programmé ou lu.

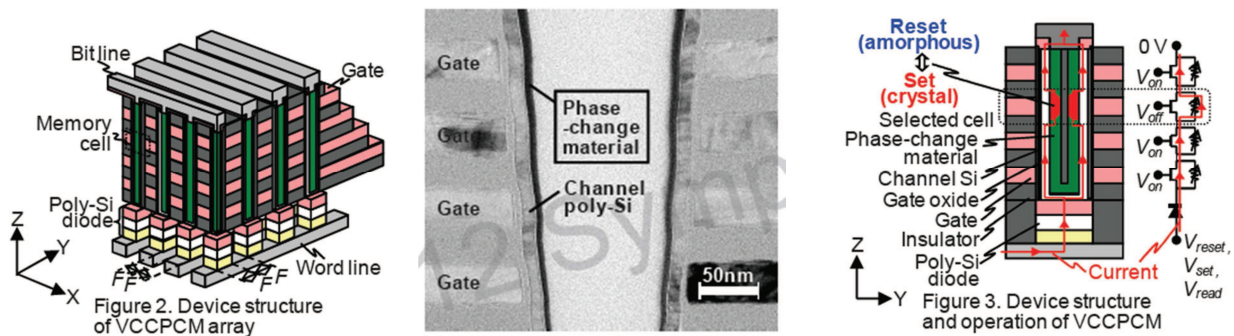


Figure I.52 : Schéma descriptif de cellules PCRAM intégrées au sein d'une architecture verticale avec sélecteur en parallèle (gauche). Vue en coupe, obtenue par la technique d'imagerie TEM, de cellules PCRAM verticales avec sélecteur en parallèle (centre). Schéma de principe expliquant le fonctionnement et la programmation des cellules au sein de cette architecture (droite). [83]

#### III.2.4 Les sélecteurs pour les applications “stand-alone”

##### Utilisation d’un transistor MOSFET planaire

Comme pour les applications embarquées, le premier sélecteur à avoir été utilisé est en transistor MOSFET planaire connecté à l’élément résistif de manière identique à celle utilisée dans les applications embarquées (Figure I.53). Toutefois, dans le cas des applications “stand-alone”, l’utilisation d’un transistor MOSFET présente deux inconvénients majeurs : trois lignes métalliques doivent être utilisées (la “word-line”, la “bit-line” ainsi qu’une ligne pour la source) et les densités de courant qui peuvent être délivrées sont plus faibles que celles nécessaires au fonctionnement d’une cellule PCRAM. En conséquence, la taille d’un tel transistor est supérieure à  $15F^2$  rendant son utilisation peu compatible avec les applications “stand-alone”.

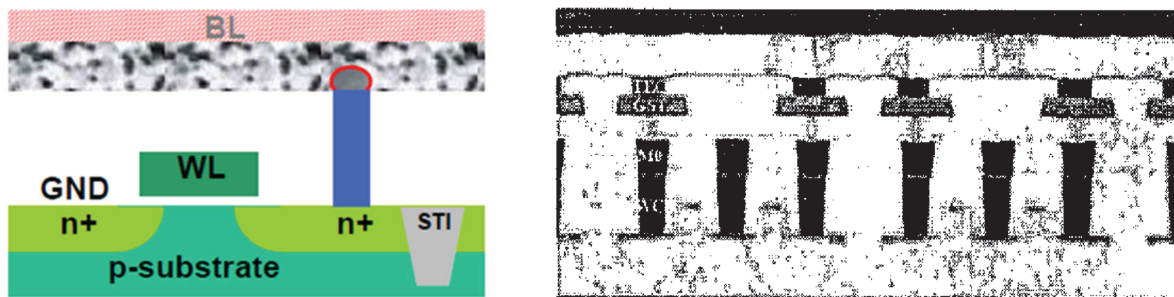


Figure I.53 : Schéma de principe d’une cellule PCRAM intégrée en série avec un transistor MOSFET de sélection (gauche) [84] et vue en coupe correspondante, obtenue par la technique d’imagerie TEM (droite) [85].

##### Utilisation d’un transistor bipolaire

Afin d’augmenter la densité d’intégration, des transistors bipolaires verticaux de type PNP ont été utilisés. Dans cette structure, la “bit-line” est connectée au contact supérieur de l’élément résistif tandis que le contact inférieur (pilier) est connecté à l’émetteur de type P du transistor (Figure I.54). La base de type N du transistor est connectée à la “word-line” et l’ensemble des collecteurs de type P sont connectés les uns aux autres. Grâce à ce sélecteur, des cellules de taille comprise entre  $6F^2$  et  $12F^2$  ont été obtenues. Toutefois, cette structure n’est pas compatible avec l’architecture crossbar puisque le contact de la base du transistor est déporté.

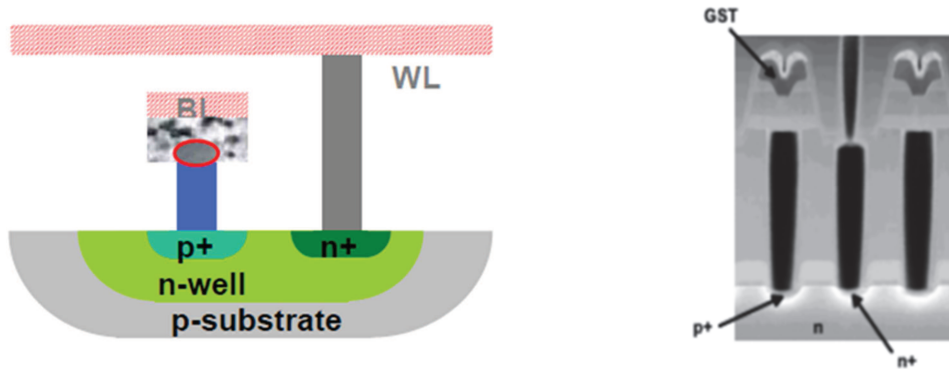


Figure I.54 : Schéma de principe d'une cellule PCRAM intégrée avec un transistor bipolaire de sélection (gauche) [84] et vue en coupe correspondante, obtenue par la technique d'imagerie TEM (droite) [49].

### Utilisation d'une diode PN verticale en silicium

Afin de simplifier encore la structure et de la rendre complètement compatible avec l'architecture crossbar, des diodes PN verticales en silicium ont été développées. Dans cette structure la zone N de la diode est connectée au contact inférieur (pilier) de l'élément résistif tandis que la zone P est connectée à la "word-line". La "bit-line" quant à elle est connectée au contact supérieur de l'élément résistif (Figure I.55). Cela permet d'obtenir des sélecteurs dont la taille est égale à  $4F^2$ . De manière générale, la "word-line" peut être en métal, la diode est alors en poly-silicium ou elle peut être en silicium fortement dopé. Dans ce second cas, la diode peut être obtenue par épitaxie afin d'être en silicium monocristallin. En conséquence, il est possible de créer des matrices mémoires de grandes capacités en utilisant des cellules mémoire de petites dimensions utilisant des diodes verticales en silicium comme élément de sélection.

Toutefois, du fait des budgets thermiques élevés requis pour leur fabrication, l'utilisation de diodes en silicium, et plus généralement de sélecteurs à base de silicium, n'est pas compatible avec l'empilement de plusieurs plans mémoire les uns sur les autres ainsi qu'avec une intégration de type BEOL. En conséquence, des solutions doivent être proposées afin de rendre ces sélecteurs compatibles avec ces différents types d'intégration.

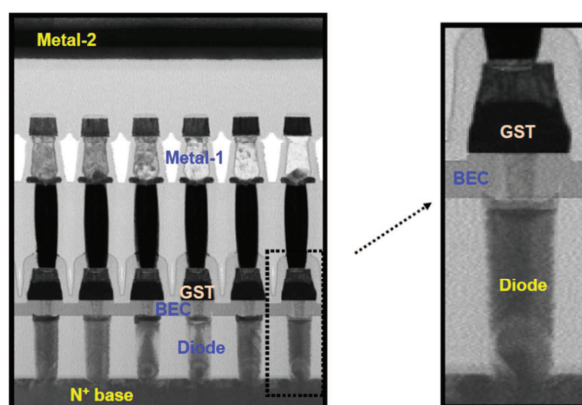


Figure I.55 : Vue en coupe obtenue par la technique d'imagerie TEM d'une cellule PCRAM intégrée en série avec une diode PN de sélection en silicium. [86]

La Figure I.56 retrace l'évolution des cellules PCRAM embarquées au sein de démonstrateurs "stand-alone" présentés au cours des dernières années. Comme indiqué précédemment, les cellules des démonstrateurs à base de diode sont les plus petites. De plus, entre 2002 et 2012, le nœud technologique utilisé est passé de 240 nm à 20 nm (/12) tandis que la capacité de ces démonstrateurs est passée de 4 Mbits à 8 Gbits (x2000). Il est intéressant de remarquer que cette évolution est plus rapide que celle de la technologie NAND Flash puisque, sur la même période, la capacité de cette technologie a été multipliée par 256 et la taille du nœud technologique divisé par 5.

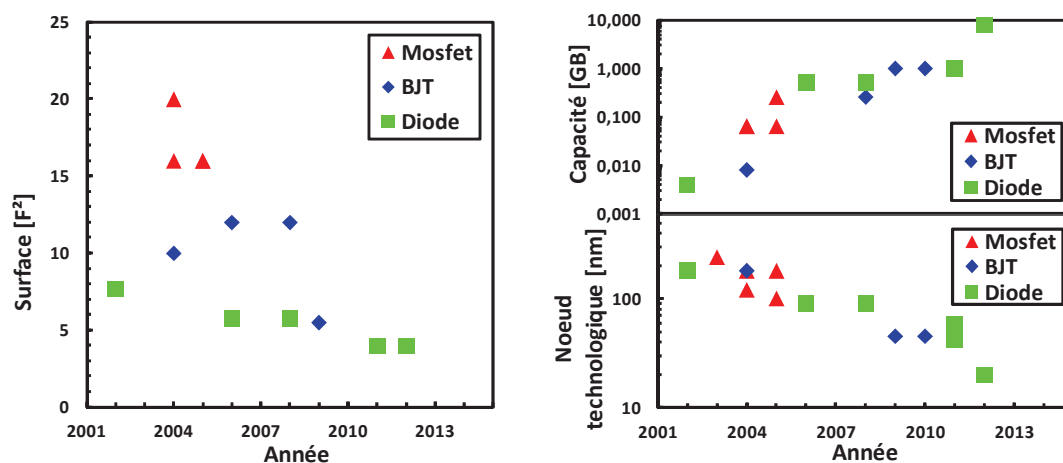


Figure I.56 : Évolution de la surface d'une cellule PCRAM unitaire (gauche), de la capacité des matrices mémoires à base de PCRAM (en haut à droite) et du nœud technologique utilisé pour la fabrication des cellules PCRAM (en bas à droite). Données extraites de [48], [49], [54], [55], [59], [69], [87], [88], [89], [90], [91], [92], [93], [94].

### Développement de sélecteurs innovants

En parallèle de la mise au point des sélecteurs décrits précédemment, d'autres sélecteurs ont été étudiés. Nous décrivons ici les deux qui nous semblent les plus prometteurs en vue d'une intégration au sein d'une cellule PCRAM.

- Le premier, appelé sélecteur MIEC, pour "Mixed Ionic Electronic Conduction", est développé par IBM [95]. L'utilisation d'un sélecteur MIEC nécessite l'application d'une tension sur les électrodes qui induit une dérive d'ions de cuivre ( $\text{Cu}^+$ ) dont les lacunes ou les insertions agissent localement comme des dopants permettant alors l'établissement d'un courant d'électrons ou de trous entre les électrodes [96]. La caractéristique I-V d'un tel dispositif n'étant pas linéaire et présentant un seuil, celui-ci peut être utilisé comme sélecteur. Des densités de courants de  $50 \text{ MA/cm}^2$  ont été démontrées dans des dispositifs de 20 nm de diamètre permettant leur utilisation en tant que sélecteur pour mémoires PCRAM. En conséquence, des cellules PCRAM intégrant un sélecteur MIEC ont été fabriquées et jusqu'à  $10^5$  cycles ont été démontrés avec une fenêtre de programmation inférieure à un ordre de grandeur (Figure I.57).



Toutefois, le temps de commutation, ou “turn-on time”, d’un sélecteur MIEC est de quelques centaines de nanosecondes lors de la lecture (contre moins de 15 ns lors de l’écriture), ce qui risque de ralentir considérablement la lecture de la cellule mémoire et donc la bande passante en lecture de la matrice mémoire.

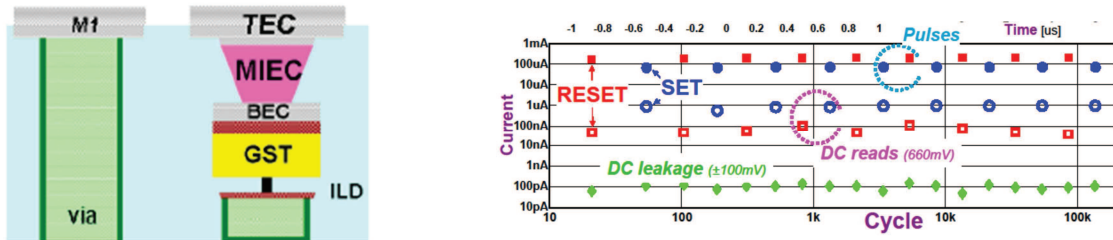


Figure I.57 : Schéma de principe d’une cellule PCRAM intégrée en série avec un sélecteur MIEC (gauche). Caractérisation de l’endurance et de la fenêtre de programmation des cellules PCRAM (droite). [95]

- Le second sélecteur, appelé sélecteur OTS, pour “Ovonic Threshold Switching”, est développé par Intel [97]. Celui-ci repose sur l’utilisation d’une couche de matériau à changement de phase amorphe, appelée couche OTS, placée entre la couche mémoire et le contact supérieur (Figure I.58). En appliquant une impulsion de tension d’amplitude supérieure à une valeur seuil, la commutation de la couche OTS est obtenue, permettant le passage du courant à travers la couche mémoire et donc sa programmation ou sa lecture. Grâce à ce sélecteur, la couche mémoire a pu être écrite avec une impulsion de 9 ns tandis que  $10^6$  cycles ont pu être effectués. De plus, la fonctionnalité de matrices mémoires de capacité 2 Mb a été démontrée.

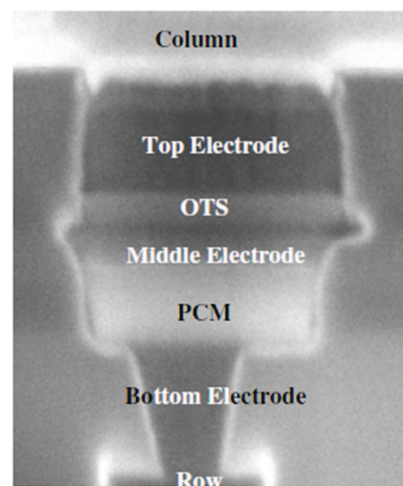


Figure I.58 : Vue en coupe obtenue par la technique d’imagerie TEM d’une cellule PCRAM intégrée en série avec un sélecteur OTS. [97]

#### Recherche amont concernant des sélecteurs

De nombreux autres sélecteurs sont actuellement à l'étude.

- Beaucoup d'études cherchent à créer une jonction PN ou Schottky à l'aide d'oxydes de métaux de transition. Par exemple, des études ont cherché à créer une jonction PN à l'aide d'une zone N à base d'oxyde ZnO ou d'oxyde InZnO et d'une zone P à base d'oxyde CuO ou d'oxyde NiO ou encore de silicium [98], [99], [100]. D'autres études ont créées des jonctions Schottky en mettant en contact une couche d'oxyde de métal de transition avec un métal. Par exemple, la jonction formée par le platine et l'oxyde  $\text{TiO}_2$  a fait l'objet de plusieurs études de même que la jonction formée par l'oxyde ZnO avec l'argent, l'or, l'aluminium ou encore le titane [101], [102], [103].
- Certaines études cherchent à profiter du comportement de type naturellement p du GST pour créer des jonctions PN en mettant en contact une couche de GST et une couche de silicium dopée n [104].

Toutefois, les densités de courant fournies par ces sélecteurs restent encore très faibles comparées à celles nécessaires au fonctionnement d'une cellule PCRAM :  $10^4 \text{ A/cm}^2$  environ contre  $10^7 \text{ A/cm}^2$  requis au minimum.

## IV. Performances de la technologie PCRAM et opportunités

### IV.1 Mémoires actuelles vs. mémoires PCRAM

Afin d'identifier les opportunités ouvertes par la technologie PCRAM, le Tableau I.6 en compare les performances avec celles des différentes technologies mémoires actuelles. Il est à noter que les performances présentées ici sont représentatives des différentes mémoires dans leur globalité. Ainsi, il est possible que sur un point en particulier, des cellules plus performantes aient été obtenues. Plus précisément, on constate que :

- Comparée à la technologie NAND Flash, la technologie PCRAM est fabriquée avec le même nœud technologique ( $\sim 20 \text{ nm}$ ), à des tailles de cellules mémoires comparables ( $4\text{F}^2$ ), et possède une endurance, une rétention de l'information ainsi qu'une vitesse de programmation et de lecture plus élevées. De plus, la bande passante en écriture est supérieure tandis que la bande passante en lecture est similaire.
- Comparée à la technologie NOR, la technologie PCRAM est fabriquée avec le même nœud technologique ( $\sim 90 \text{ nm}$ ), les tailles des cellules mémoires sont comparables voire plus faibles et elle possède une endurance ainsi qu'une vitesse (et donc une bande passante) de programmation et de lecture plus élevées. Cependant, la technologie NOR est actuellement plus fiable et a un meilleur comportement en température (notamment lors de l'étape de soudure).

- Comparée à la technologie DRAM, la technologie PCRAM est fabriquée avec un nœud technologique plus faible ou équivalent, les tailles des cellules mémoires sont plus faibles et plusieurs bits par cellule peuvent être stockés de manière non-volatile. Cependant, la technologie DRAM est actuellement plus rapide (en écriture et en lecture) et son endurance est beaucoup plus élevée.
- Comparée à la technologie SRAM, la technologie PCRAM est fabriquée avec un nœud technologique plus faible ou équivalent, la densité d'intégration est beaucoup plus importante et plusieurs bits par cellule peuvent être stockés de manière non-volatile. Cependant, la technologie SRAM est actuellement plus rapide (en écriture et en lecture) et son endurance est beaucoup plus élevée.

**Tableau I.6 : Comparaison des performances de la technologie PCRAM avec celles des principales technologies mémoires actuelles. [46]**

Technologie	SRAM	DRAM		NOR	NAND	PCM	
Volatile	Oui	Oui	Oui	Non	Non	Non	Non
Application		SA <sup>1</sup>	E <sup>2</sup>	E <sup>2</sup>	SA <sup>1</sup>	E <sup>2</sup>	SA <sup>1</sup>
Nœud	45	36	65	90	22	90	20
Taille [F <sup>2</sup> ]	140	6-8	12-30	1T : 10 2T : 100	4	~20	4
Capacité				<10 MB	>64 GB	>1 MB	>1 GB
Architecture	6T	1T1C	1T1C	1T-2T	1T	1T1R	1D1R 1T1R
Tension prog.	1 V	2,5 V	2,5 V	10 V	15 V	3 V	3 V
Tension lecture	1 V	1,8 V	1,7 V	1,8 V	1,8 V	1,2 V	1,2 V
Temps prog.	0,2 ns	<10 ns	2 ns	1/0,01µs	1/0,1 ms	100 ns	100 ns
Temps lecture	0,2 ns	<10 ns	2 ns	15 ns	0,1 ms	50 ns	50 ns
Bande passante prog. [MB/s]	~10 <sup>4</sup>	~10 <sup>3</sup>		< 2	10 <	1-5	5 - 100
Bande passante lecture [MB/s]				100	15-25		266
Consommation	5.10 <sup>-16</sup>	4.10 <sup>-15</sup>	5.10 <sup>-15</sup>	10 <sup>-10</sup>	2.10 <sup>-16</sup>	6.10 <sup>-12</sup>	6.10 <sup>-12</sup>
Endurance	>>10 <sup>16</sup>	>10 <sup>16</sup>	>10 <sup>16</sup>	10 <sup>5</sup>	10 <sup>4</sup>	10 <sup>9</sup>	10 <sup>9</sup>
Rétention		64 ms	4 ms	10 ans @85°C	10 ans @85°C	>10 ans @85°C	>10 ans @85°C

En conséquence, la technologie PCRAM possède de nombreux atouts pour concurrencer les technologies mémoires non-volatiles actuelles tant pour les applications “stand-

<sup>1</sup> SA indique qu'il s'agit d'applications “stand-alone”.

<sup>2</sup> E indique qu'il s'agit d'applications embarquées.



alone” qu'embarquées. Toutefois, certaines performances doivent encore être améliorées. Pour les applications “stand-alone”, il s'agit de réduire la consommation des cellules mémoires. Pour les applications embarquées, il s'agit d'améliorer la fiabilité ainsi que la tenue en température notamment lors de l'étape de soudure.

À plus long terme, la technologie PCRAM possède également des atouts pour concurrencer les technologies mémoires volatiles actuelles. En effet, le caractère non-volatile des mémoires PCRAM est un atout majeur de cette technologie puisqu'il supprime le rafraichissement indispensable à la technologie DRAM. Toutefois, la vitesse de programmation limitée par la cristallisation du matériau à changement de phase ainsi que la faible endurance et la forte consommation des cellules sont autant d'obstacles à surmonter avant le remplacement des technologies SRAM et DRAM par la technologie PCRAM.

#### IV.2 Transformation de la hiérarchie actuelle des mémoires par les mémoires émergentes

La Figure I.59 présente l'évolution de l'organisation habituelle d'un système électronique (ordinateur, tablette, ...) dans lequel différentes technologies mémoires sont utilisées. Une différence importante entre les vitesses de fonctionnement (programmation et lecture) de ces technologies est observée. En effet, tandis que la vitesse de fonctionnement des technologies SRAM et DRAM (utilisées pour la mémorisation à court terme des données) est inférieure à 100 ns, celle de la technologie disque (utilisée pour le stockage à long terme des données) est supérieure à 1 ms. En conséquence, la technologie NAND Flash a été introduite pour réduire cette différence. Toutefois, la vitesse de fonctionnement de cette technologie est supérieure à 10  $\mu$ s laissant encore une différence importante avec les technologies SRAM et DRAM. Grâce à leurs performances proches à la fois des mémoires NAND Flash mais également des mémoires DRAM, les mémoires PCRAM et plus généralement les mémoires résistives semblent pouvoir combler cette différence. Les mémoires PCRAM feraient alors partie d'un nouveau type de mémoire appelée “Storage Class Memory” (SCM) dans lequel la distinction habituelle entre mémoire et stockage deviendrait floue.

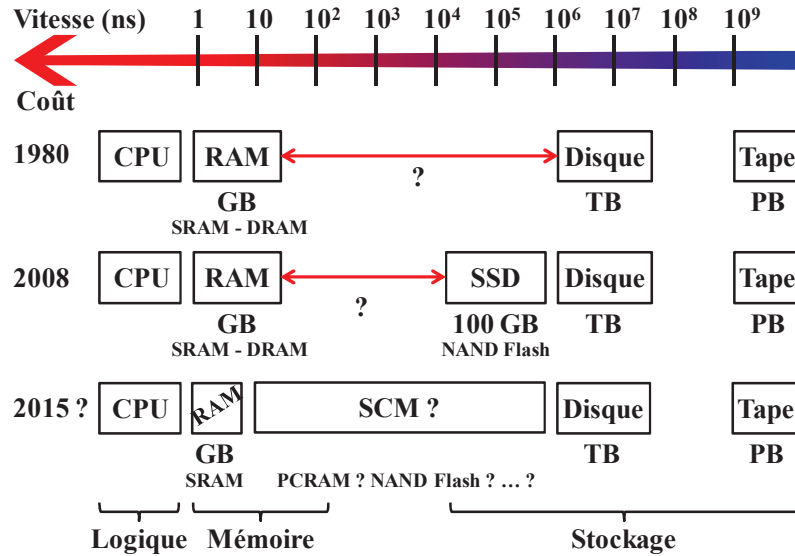


Figure I.59 : Organisation des principales technologies mémoires en fonction de leurs vitesses de fonctionnement.

Ainsi, la technologie SCM pourrait être utilisée soit en tant que mémoire soit en tant qu'élément de stockage. Dans le premier cas, la vitesse et l'endurance de la cellule mémoire devront être élevées tandis que dans le second cas, le coût devra être faible (Figure I.60). L'ordre de grandeur des performances requises pour satisfaire au cahier des charges de la technologie SCM sont données dans le Tableau I.7. On constate que la technologie PCRAM possède des performances qui correspondent bien à celles requises pour les applications SCM et est donc un candidat prometteur pour ces applications.

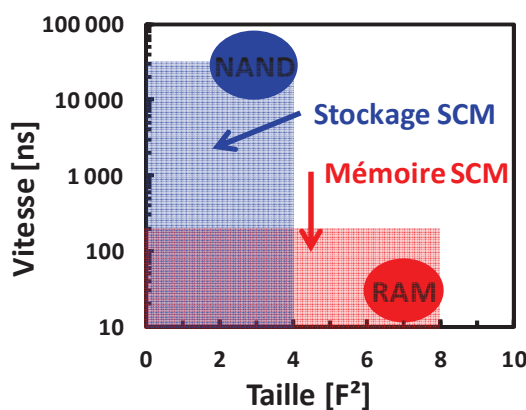


Figure I.60 : Spécifications requises au niveau de la cellule mémoire unitaire pour satisfaire le cahier des charges des applications SCM. [8]

Tableau I.7 : Spécifications requises au niveau de la matrice mémoire pour satisfaire le cahier des charges des applications SCM. [8], [105], [106]

Utilisation	Mémoire	Stockage
Capacité [GB]	$10^2 - 10^3$	$10^2 - 10^3$
Vitesse prog. – lecture	$< 1 \mu s$	$1 - 10 \mu s$
Bande passante progr. – lecture	$10^2 - 10^3$ MB/s	---
Endurance [cycles]	$10^9 - 10^{12}$	$10^9 - 10^{12}$

## Conclusion du Chapitre I et orientation donnée au travail de thèse

Au cours de ce Chapitre, nous avons montré que les mémoires de type PCRAM présentent de nombreux avantages pour être une des principales technologies mémoires des années à venir. De ce fait, différentes applications, telles que le remplacement des mémoires de type NOR Flash mais également NAND Flash, ont d'ores et déjà été identifiées comme prioritaires. De plus, du fait de ses performances comprises entre celles des technologies NAND Flash et DRAM, il est envisagé d'utiliser les mémoires PCRAM en tant que mémoire de type SCM. En conséquence, des premiers produits utilisant la technologie PCRAM sont actuellement disponibles et le marché des mémoires PCRAM devrait croître dans les 5 ans à venir pour atteindre 600 M\$ en 2018 (Figure I.61).

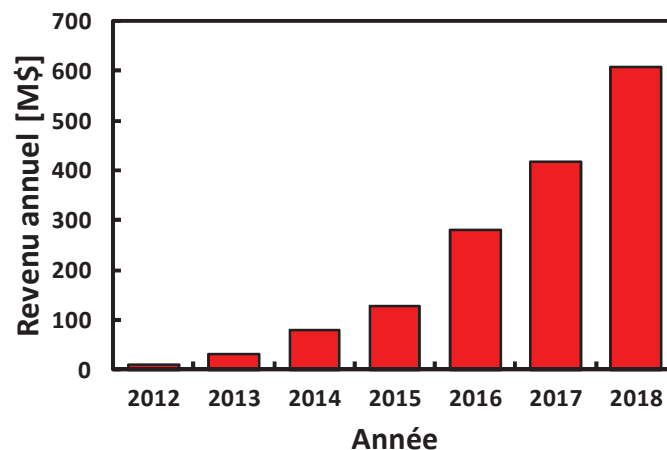


Figure I.61 : Évolution prévue du revenu mondial annuel du marché des mémoires PCRAM d'ici à 2018. [1]

Toutefois, afin d'être pleinement compétitives avec les autres technologies mémoires, tant matures qu'émergentes, certaines performances de la technologie PCRAM doivent encore être améliorées. Ainsi, les principaux axes de développement de la technologie PCRAM sont :

- Améliorer la stabilité thermique de l'état RESET. Il s'agit notamment de permettre à la cellule de conserver une information pendant 10 ans à 150°C (pour les applications embarquées automobiles notamment) mais également pendant l'étape de soudure de la puce mémoire sur une carte électronique (particulièrement dans le cas des applications de cartes électroniques sécurisées).
- Réduire le courant de programmation des cellules PCRAM ainsi que leur consommation électrique permettant ainsi de réduire la taille du sélecteur et

donc d'augmenter la densité d'intégration mais également de répondre aux besoins des applications à basse consommation, ou "low-power".

- Améliorer l'endurance ainsi que la rapidité de programmation et de lecture, essentiellement pour une utilisation de la technologie PCRAM en tant que mémoire SCM ou en remplacement de la technologie DRAM.
- Faciliter l'intégration des cellules PCRAM dans des architectures 3D notamment en permettant une intégration BEOL.
- Enfin, en ce qui concerne les applications "stand-alone", il est nécessaire d'augmenter la densité d'intégration de la technologie PCRAM en réduisant la surface nécessaire au stockage d'une information, tant en termes de  $F^2$  que de  $\mu m^2$ . Pour cela, il est nécessaire de réduire le courant de programmation de la cellule PCRAM, de développer le stockage multi-bits ou d'utiliser des structures de cellules de petites dimensions.

Au cours de cette thèse, nous avons donc cherché à obtenir des dispositifs PCRAM plus performants. Plus précisément nous avons focalisé nos travaux de recherche sur la réduction des courants de programmation du dispositif PCRAM ainsi que sur l'amélioration de la stabilité thermique de l'état RESET tout en veillant à en améliorer, ou tout du moins à ne pas en dégrader, les autres performances, et notamment la vitesse de programmation, l'endurance ou encore la stabilité temporelle de l'état RESET. De plus, nous avons proposé des solutions innovantes permettant aux dispositifs PCRAM de conserver l'information lors de l'étape de soudure d'une matrice mémoire sur une carte électronique.

Pour obtenir ces dispositifs PCRAM plus performants, nous avons modifié la structure du dispositif de type "plug" en y ajoutant une couche d'interface diélectrique (Chapitre III), et nous avons modifié le matériau à changement de phase de référence en le dopant avec du carbone (Chapitre IV). Enfin, nous avons conçu, développé et validé un procédé de fabrication permettant d'intégrer une diode de sélection en silicium en série avec un élément résistif PCRAM, tout en proposant une solution pour que cette intégration soit compatible avec les spécifications BEOL (Chapitre V).

## Bibliographie

- [1] Y. De Charentenay, "Emerging NVM enter niche memory markets; expected to reach \$ 2B by 2018. Will NVM eventually replace DRAM and NAND?," *LETI Memory Workshop*, 2013.
- [2] Semiconductor industry association, 2014. [Online]. Available: [http://www.semiconductors.org/industry\\_statistics/historical\\_billing\\_reports/](http://www.semiconductors.org/industry_statistics/historical_billing_reports/).
- [3] S. Natarajan, S. Chung, L. Paris and A. Keshavarzi, "Searching for the dream embedded memory," *IEEE Solid-state circuits magazine*, vol. 1, pp. 34-44, 2009.
- [4] R. Waser, R. Dittmann, G. Staikov and K. Szot, "Redox-based resistive switching memories - Nanoionic mechanisms, prospects, and challenges," *Advanced materials*, vol. 21, pp. 2632-2663, 2009.
- [5] M. H. Kryder and C. S. Kim, "After hard drives - What comes next?," *Trans. Magnetics*, vol. 45, pp. 3406-3413, 2009.
- [6] K. Baker, "Embedded nonvolatile memories: a key enabler for distributed intelligence," *Proc. Int. Memory Workshop*, pp. 1-4, 2012.
- [7] K. Kim, "Technology challenges for deep-nano semiconductor," *Proc. Int. Memory Workshop*, pp. 1-2, 2010.
- [8] G. W. Burr, "Towards storage class memory: 3-D crosspoint access devices using mixed-ionic-electronic-conduction (MIEC)," *IBM J. Research and Development*, 2013.
- [9] S. W. Chung, "Resistive memory development as storage candidate," *LETI memory workshop*, 2011.
- [10] S. Aritome, "3-D Flash memories," *Proc. Int. Memory Workshop*, 2011.
- [11] Y.-H. Shih, "3D charge trapping (CT) NAND Flash," *Sematech symposium*, 2011.
- [12] Y. Koh, "NAND Flash scaling beyond 20nm," *Proc. Int. Memory workshop*, pp. 1-3, 2009.
- [13] S.-M. Jung, J. Jang, W. Cho, H. Cho, J. Jeong, Y. Chang and al., "Three dimensionally stacked NAND Flash memory technology using stacking single crystal Si layers on ILD and TANOS structure for beyond 30nm node," *Int. Electron Dev. Meeting Tech. Digest*, pp. 1-4, 2006.
- [14] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito and al., "Bit cost scalable technology with punch and plug process for ultra high density Flash memory," *Symp. VLSI Tech.*, pp. 14-15, 2007.
- [15] A. Arreghini, G. V. d. Bosch and J. V. Houdt, "Innovative schemes to improve reliability and density of horizontal and vertical channel 3D Flash," *Proc. Int. Memory Workshop*, pp. 151-154, 2013.

- 
- [16] J. Jang, H.-S. Kim, W. Cho, H. Cho, J. Kim, S. I. Shim and al., "Vertical cell array using TCAT (Terabit Cell Array Transistor) technology for ultra high density NAND Flash memory," *Symp. VLSI Tech.*, pp. 192-193, 2009.
  - [17] J. Kim, A. J. Hong, S. M. Kim, E. B. Song, J. H. Park, J. Han and al., "Novel Vertical-Stacked-Array-Transistor (VSAT) for ultra-high-density and cost-effective NAND Flash memory devices and SSD (Solid State Drive)," *Symp. VLSI Tech.*, pp. 186-187, 2009.
  - [18] H.-T. Lue, T.-H. Hsu, Y.-H. Hsiao, S. P. Hong, M. T. Wu, F. H. Hsu and al., "A highly scalable 8-layer 3D vertical-gate (VG) TFT NAND Flash using junction-free buried channel BE-SONOS device," *Symp. VLSI Tech.*, pp. 131-132, 2010.
  - [19] P. Zuliani, "Embedded non volatile memories for consumer applications: status and perspectives," *Leti Memory Workshop*, 2012.
  - [20] R. Strenz, "Embedded Flash technologies and their applications: status & outlook," *Int. Electron Dev. Meeting*, pp. 9.4.1-9.4.4, 2011.
  - [21] C. Boccaccio, "Embedded 1T Flash NOR: still alive at 40 nm. And beyond?," *LETI Memory Workshop*, 2013.
  - [22] C. Muller, "Mémoires ferroélectriques FRAM : principe, limitations, innovations, applications.," in *Diélectriques ferroélectriques intégrés sur silicium*, Hermès science, 2011, pp. 425-451.
  - [23] M. Qazi, M. Clinton, S. Bartling and A. P. Chandrakasan, "A low-voltage 1 Mb FRAM in 0.13  $\mu\text{m}$  CMOS featuring time-to-digital sensing for expanded operating margin," *J. Solid State Circuits*, vol. 47, pp. 141-150, 2012.
  - [24] M. Jullière, "Tunneling between ferromagnetic films," *Phys. Lett. A.*, vol. 54, pp. 225-226, 1975.
  - [25] G. Palma, E. Vianello, C. Cagli, G. Molas, M. Reyboz, P. Blaise and al., "Experimental investigation and empirical modeling of the set and reset kinetics of Ag-GeS<sub>2</sub> conductive bridging memories," *Int. Memory Workshop*, pp. 1-4, 2012.
  - [26] J. C. Slonczewski, "Current-driven excitation of magnetic multilayers," *J. magnetism and magnetic materials*, vol. 159, pp. L1-L7, 1996.
  - [27] S. R. Ovshinsky, "Reversible electrical switching phenomena in disordered structures," *Phys. Rev. Lett.*, vol. 21, pp. 1450-1453, 1968.
  - [28] R. Neale, D. Nelson and G. Moore, "Nonvolatile and reprogrammable, the read-mostly memory is here," *Electronics*, vol. 43, p. 56, 1970.
  - [29] M. Wuttig and N. Yamada, "Phase-change materials for rewriteable data storage," *Nature Materials*, vol. 6, pp. 824-832, 2007.
  - [30] N. Yamada, E. Ohno, K. Nishiuchi, N. Akahira and M. Takao, "Rapid phase transitions of GeTeSb<sub>2</sub>Te<sub>3</sub> pseudobinary amorphous thin films for an optical disk memory," *J. Appl. Phys.*, vol. 69, pp. 2849-2856, 1991.
-

- [31] E. Morales-Sanchez, E. F. Prokhorov, J. Gonzalez-Hernandez and A. Mendoza-Galvan, "Structural, electric and kinetic parameters of ternary alloys of GeSbTe," *Thin Solid Films*, vol. 471, pp. 243-247, 2005.
- [32] U. Russo, D. Ielmini, A. Redaelli and A. L. Lacaita, "Modeling of programming and read performance in phase-change memories — Part I: cell optimization and scaling," *Trans. Elec. Dev.*, vol. 55, no. 2, pp. 506-514, 2008.
- [33] A. Pirovano, F. Pellizzer, I. Tortorelli, A. Riganó, R. Harrigan, M. Magistretti and al., "Phase-change memory technology with self-aligned  $\mu$ -trench cell architecture for 90 nm node and beyond," *Solid-state electronics*, vol. 52, pp. 1467-1472, 2008.
- [34] A. E. Owen and J. M. Robertson, "Electronic conduction and switching in chalcogenide glass," *Trans. Electron Dev.*, vol. 20, pp. 105-122, 1973.
- [35] A. C. Warren, "Reversible thermal breakdown as a switching mechanism in chalcogenide glasses," *Trans. Electron Dev.*, vol. 20, pp. 123-131, 1973.
- [36] D. Adler, H. K. Henisch and S. N. Mott, "The mechanism of threshold switching in amorphous alloys," *Rev. Mod. Phys.*, vol. 50, pp. 209-220, 1978.
- [37] D. Adler, M. S. Shur, M. Silver and S. R. Ovshinsky, "Threshold switching in chalcogenide-glass thin films," *J. Appl. Phys.*, vol. 51, pp. 3289-3309, 1980.
- [38] J. Siegel, W. Gawelda, D. Puerto, C. Dorronsoro, J. Solis, C. N. Afonso and al., "Amorphization dynamics of Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> films upon nano- and femtosecond laser pulse irradiation," *J. Appl. Phys.*, vol. 103, pp. 023516.1-7, 2008.
- [39] F. Ottogalli, A. Pirovano, F. Pellizzer, M. Tosi, P. Zuliani, P. Bonetalli and al., "Phase-change memory technology for embedded applications," *Proc. European Solid-State Dev. Res. Conf.*, pp. 293-296, 2004.
- [40] G. Ruitenberg, A. K. Petford-Long and R. C. Doole, "Determination of the isothermal nucleation and growth parameters for the crystallization of thin Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> films," *J. Appl. Phys.*, vol. 92, pp. 3116-3123, 2002.
- [41] C. Peng, L. Cheng and M. Mansuripur, "Experimental and theoretical investigations of laser-induced crystallization and amorphization in phase-change optical recording media," *J. Appl. Phys.*, vol. 82, pp. 4183-4191, 1997.
- [42] A. Redaelli, A. Pirovano, A. Benvenuti and A. L. Lacaita, "Threshold switching and phase transition numerical models for phase change memory simulations," *J. Appl. Phys.*, vol. 103, pp. 111101.1-111101.18, 2008.
- [43] A. Bastard, J. C. Bastien, B. Hyot, S. Lhostis, F. Monpiou, C. Bonafos and al., "Crystallization study of "melt quenched" amorphous GeTe by transmission electron microscopy for phase change memory applications," *Appl. Phys. Lett.*, vol. 99, pp. 243103.1-243103.3, 2011.



- 
- [44] L. v. Pieterse, M. H. R. Lankhorst, M. v. Schijndel, A. E. T. Kuiper and J. H. J. Roosen, "Phase-change recording materials with a growth-dominated crystallization mechanism: a materials overview," *J. Appl. Phys.*, vol. 97, pp. 083520.1-083520.7, 2005.
  - [45] G.-F. Zhou, "Materials aspects in phase-change optical recording," *Materials Science and Engineering: A*, Vols. 304-306, pp. 73-80, 2001.
  - [46] "Emerging Research Devices," *International Technology Roadmap for Semiconductors*, 2012.
  - [47] S. Lai, "Current status of the phase change memory and its future," *Int. Elec. Dev. Meeting Tech. Dig.*, pp. 10.1.1-10.1.4, 2003.
  - [48] S. H. Lee, H. C. Park, M. S. Kim, H. W. Kim, M. R. Choi, H. G. Lee and al., "Highly productive PCRAM technology platform and full chip operation: based on 4F<sup>2</sup> (84 nm pitch) cell scheme for 1 Gb and beyond," *Int. Electron Dev. Meeting*, pp. 3.3.1-3.3.4, 2011.
  - [49] F. Bedeschi, R. Fackenthal, C. Resta, E. M. Donzè, M. Jagasivamani and E. C. Buda, "A bipolar-selected phase change memory featuring multi-level cell storage," *J. Solid State Circuits*, vol. 44, no. 1, pp. 217-227, 2009.
  - [50] T. Nirschl, J. B. Philipp, T. D. Happ, G. W. Burr, B. Rajendran, M. H. Lee and al., "Write strategies for 2 and 4-bit multilevel phase-change memory," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 461-464, 2007.
  - [51] G. H. Oh, Y. L. Park, J. I. Lee, D. H. Im, J. S. Bae and D. H. Kim, "Parallel multi-confined (PMC) cell technology for high density MLC PRAM," *Symp. VLSI Tech.*, pp. 220-221, 200.
  - [52] A. Gyanathan and Y.-C. Yeo, "Two-bit multi-level phase change random access memory with a triple phase change material stack structure," *J. Appl. Phys.*, vol. 112, pp. 104504.1-8, 2012.
  - [53] H. Hong, Z. Li, Q. Li, R. Wang and C. Hwang, "A 90 nm 16 Mb embedded phase-change memory macro with write current smoothing and enhanced write bandwidth," *Proc. Int. Conf. ASIC*, pp. 315-318, 2011.
  - [54] S. J. Ahn, Y. J. Song, C. W. Jeong, J. M. Shin, Y. Fai, Y. N. Hwang and al., "Highly manufacturable high density phase change memory of 64 Mb and beyond," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 907-910, 2004.
  - [55] W. Y. Cho, B.-H. Cho, B.-G. Choi, H.-R. Oh, S. Kang, K.-S. Kim and al., "A 0.18- $\mu$ m 3.0-V 64-Mb nonvolatile phase-transition random access memory (PRAM)," *J. Solid State Circuits*, vol. 40, pp. 293-300, 2005.
  - [56] S. L. Cho, J. H. Yi, Y. H. Ha, B. J. Kuh, C. M. Lee, J. H. Park and al., "Highly scalable on-axis confined cell structure for high density PRAM beyond 256 Mb," *Symp. VLSI Tech.*, pp. 96-97, 2005.
-



- [57] D. H. Im, J. I. Lee, S. L. Cho, H. G. An, D. H. Kim, I. S. Kim and al., "A unified 7.5 nm dash-type confined cell for high performance PRAM device," *Int. Electron Dev. Meeting*, pp. 1-4, 2008.
- [58] G. Atwood and R. Bez, "90 nm phase change technology with  $\mu$ -trench and lance cell elements," *Int. Symp. VLSI Tech., Systems and Applications*, pp. 1-2, 2007.
- [59] S. J. Ahn, Y. N. Hwang, Y. J. Song, S. H. Lee, S. Y. Lee, J. H. Park and al., "Highly reliable 50 nm contact cell technology for 256Mb PRAM," *Symp. VLSI Tech.*, pp. 98-99, 2005.
- [60] Y. N. Hwang, S. H. Lee, S. J. Ahn, S. Y. Lee, K. C. Ryoo, H. S. Hong and al., "Writing current reduction for high-density phase-change RAM," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 37.1.1-37.1.4, 2003.
- [61] D. Takashima, Y. Nagadomi, K. Hatsuda, Y. Watanabe and S. Fujii, "A 128 Mb chain FeRAM and system design for HDD application and enhanced HDD performance," *J. Solid-State Circuits*, vol. 46, pp. 530-536, 2011.
- [62] M. Boniardi, D. Ielmini, S. Lavizzari, A. L. Lacaita, A. Redaelli and A. Pirovano, "Statistics of resistance drift due to structural relaxation in phase-change memory arrays," *Trans. Elec. Dev.*, vol. 57, pp. 2690-2696, 2010.
- [63] S. Kim, B. Lee, M. Asheghi, G. A. M. Hurkx, J. P. Reifenberg and K. E. Goodson, "Thermal disturbance and its impact on reliability of phase-change memory studied by the micro-thermal stage," *Proc. Int. Reliability Physics Symposium*, pp. 99-103, 2010.
- [64] M. Mitra, Y. Jung, D. S. Gianola and R. Agarwal, "Extremely low drift of resistance and threshold voltage in amorphous phase change nanowire devices," *Appl. Phys. Lett.*, vol. 96, pp. 222111.1-222111.3, 2010.
- [65] A. Pirovano, A. L. Lacaita, F. Pellizer, S. A. Kostylev, A. Benvenuti and R. Bez, "Low-field amorphous state resistance and threshold voltage drift in chalcogenide materials," *Trans. Electron Dev.*, vol. 51, pp. 714-719, 2004.
- [66] N. Papandreou, A. Sebastian, A. Pantazi, M. Breitwisch, C. Lam, H. Pozidis and al., "Drift-resilient cell-state metric for multilevel phase-change memory," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 3.5.1-3.5.4, 2011.
- [67] N. Papandreou, H. Pozidis, T. Mittelholzer, G. F. Close, M. Beitwisch, C. Lam and al., "Drift-tolerant multilevel phase-change memory," *Proc. Int. Memory Workshop*, pp. 1-4, 2011.
- [68] U. Russo, D. Ielmini, A. Redaelli and A. L. Lacaita, "Intrinsic data-retention in nanoscaled phase-change memories-Part I: Monte Carlo model for crystallization and percolation," *Trans. Electron Dev.*, vol. 53, pp. 3032-3039, 2006.

- 
- [69] F. Pellizzer, A. Benvenuti, B. Gleixner, Y. Kim, B. Johnson, M. Magistretti and al., "A 90 nm phase change memory technology for stand-alone non-volatile memory applications," *Symp. VLSI Tech.*, pp. 122-123, 2006.
  - [70] J. I. Lee, H. Park, S. L. Cho, Y. L. Park, B. J. Bae, J. H. Park and al., "Highly scalable phase change memory with CVD GeSbTe for sub 50 nm generation," *Symp. VLSI Tech.*, pp. 102-103, 2007.
  - [71] F. Pellizzer, A. Pirovano, F. Ottogalli, M. Magistretti, M. Scaravaggi, P. Zuliani and al., "Novel  $\mu$ -trench phase-change memory cell for embedded and stand-alone non-volatile memory applications," *Symp. VLSI Tech.*, pp. 18-19, 2004.
  - [72] G. D. Sandre, L. Bettini, A. Pirola, L. Marmonier, M. Pasotti, M. Borghi and al., "A 4 Mb LV MOS-selected embedded phase change memory in 90 nm standard CMOS technology," *J. Solid-State Circuits*, vol. 46, pp. 52-63, 2011.
  - [73] C. Kuo, D. Chrudimsky, T. Jew, C. Gallun, J. Choy, B. Wang and al., "A 32-bit RISC microcontroller with 448K bytes of embedded flash memory," *Nonvolatile memory tech. conf.*, pp. 28-33, 1998.
  - [74] S. Tehrani, "Recent development and progress in nonvolatile memory for embedded market," *Asia Symp. Quality Electronic Design*, 2012.
  - [75] F. Bedeschi, R. Bez, C. Boffino, E. Bonizzoni, E. C. Buda, G. Casagrande and al., "4-Mb MOSFET-selected  $\mu$ -trench phase-change memory experimental chip," *J. Solid-State Circuits*, vol. 40, pp. 1557-1565, 2005.
  - [76] R. Annunziata, P. Zuliani, M. Borghi, G. D. Sandre, L. Scotti, C. Prelini and al., "Phase change memory technology for embedded non volatile memory applications for 90 nm and beyond," *Int. Electron Dev. Meeting*, pp. 1-4, 2009.
  - [77] G. F. Close, U. Frey, J. Morrish, R. Jordan, S. Lewis, T. Maffitt and al., "A 256-Mcell phase-change memory chip operating at 2+ bit/cell," *Trans. Circuits and Systems I: Regular papers*, vol. 60, pp. 1521-1533, 2013.
  - [78] K. Attenborough, G. A. M. Hurkx, R. Delhougne, J. Perez, M. T. Wang, T. C. Ong and al., "Phase change memory line concept for embedded memory applications," *Int. Electron Dev. Meeting*, pp. 29.2.1-29.2.4, 2010.
  - [79] K. Osada, T. Kawahara, R. Takemura, N. Kitai, N. Takaura, N. Matsuzaki and al., "Phase change RAM operated with 1.5-V CMOS as low cost embedded memory," *Proc. Custom Integrated Circuits Conf.*, pp. 431-434, 2005.
  - [80] D. Cai, H. Chen, Q. Wang, Y. Chen, Z. Song, G. Wu and al., "An 8-Mb phase-change random access memory chip based on a resistor-on-via-stacked-plug storage cell," *Electron Dev. Lett.*, vol. 33, pp. 1270-1272, 2012.
  - [81] S.-E. Ahn, B. S. Kang, K. H. Kim, M.-J. Lee, C. B. Lee, G. Stefanovich and al., "Stackable all-oxide-based nonvolatile memory with  $\text{Al}_2\text{O}_3$  antifuse and p-CuOx/n-InZnOx diode," *Electron Dev. Lett.*, vol. 30, pp. 550-552, 2009.
-

- [82] I. G. Baek, C. J. Park, H. Ju, D. J. Seong, H. S. Ahn, J. H. Kim and al., "Realization of vertical resistive memory (VRRAM) using cost effective 3D process," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 31.8.1-31.8.4, 2011.
- [83] M. Kinoshita, Y. Sasago, H. Minemura, Y. Anzai, M. Tai, Y. Fujisaki and al., "Scalable 3-D vertical chain-cell-type phase-change memory with 4F<sup>2</sup> poly-Si diodes," *Symp. VLSI Tech.*, pp. 35-36, 2012.
- [84] A. Pirovano, "Phase-change memories for energy-efficient data-centric IT applications," *LETI Memory Workshop*, 2012.
- [85] Y. N. Hwang, J. S. Hong, S. H. Lee, S. I. Ahn, G. T. Jeong, G. H. Koh and al., "Full integration and reliability evaluation of phase-change RAM based on 0.24  $\mu$ m-CMOS technologies," *Symp. VLSI Tech.*, pp. 173-174, 2003.
- [86] J.-G. Park, "Nature of nonvolatile memory: PRAM, ReRAM, PoRAM," *LETI Memory Workshop*, 2010.
- [87] S. H. Lee, Y. N. Hwang, S. Y. Lee, K. C. Ryoo, S. J. Ahn, H. C. Koa and al., "Full integration and cell characteristics for 64 Mb nonvolatile PRAM," *Symp. VLSI Tech.*, pp. 20-21, 2004.
- [88] G. Servalli, "A 45 nm generation phase change memory technology," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 1-4, 2009.
- [89] F. Bedeschi, C. Resta, O. Khouiri, E. Buda, L. Costa, M. Ferraro and al., "An 8 Mb demonstrator for high-density 1.8V phase-change memories," *Symp. VLSI Tech. Digest.*, pp. 442-445, 2004.
- [90] J. H. Oh, J. H. Park, Y. S. Lim, H. S. Lim, Y. T. Oh, J. S. Kim and al., "Full integration of highly manufacturable 512 Mb PRAM based on 90 nm technology," *Int. Electron Dev. Meeting Tech. Digest*, pp. 1-4, 2006.
- [91] K.-J. Lee, B.-H. Cho, W.-Y. Cho, S. Kang, B.-G. Choi, H.-R. Oh and al., "A 90 nm 1.8 V 512 Mb diode-switch PRAM with 266 MB/s read throughput," *J. Solid-State Circuits*, vol. 43, pp. 150-162, 2008.
- [92] H. Chung, B. H. Jeong, B. Min, Y. Choi, B.-H. Cho, J. Shin and al., "A 58 nm 1.8 V 1 Gb PRAM with 6.4 MB/s program BW," *Int. Solid-State Circuits Conf. Tech. Digest.*, pp. 500-502, 2011.
- [93] Y. Choi, I. Song, M.-H. Park, H. Chung, S. Chang, B. Cho and al., "A 20 nm 1.8 V 8 Gb PRAM with 40 MB/s program bandwidth," *Int. Solid-State Circuits Conf. Tech. Digest*, pp. 46-48, 2012.
- [94] M. Gill, T. Lowrey and J. Park, "Ovonic unified memory - A high-performance nonvolatile memory technology for stand-alone memory and embedded applications," *Int. Solid-State Circuits Conf. Tech. Digest*, vol. 1, pp. 202-204, 2002.

- 
- [95] G. W. Burr, K. Virwani, R. S. Shenoy, A. Padilla, M. BrightSky and E. A. Joseph, "Large-scale (512 kbit) integration of multilayer-ready access-devices based on mixed-ionic-electronic-conduction (MIEC) at 100% yield," *Symp. VLSI Tech.*, pp. 41-42, 2012.
  - [96] I. Riess, "Mixed ionic-electronic conductors—material properties and applications," *Solid-state ionics*, vol. 157, pp. 1-17, 2003.
  - [97] D. Kau, S. Tang, I. V. Karpov, R. Dodge, B. Klehn, J. A. Kalb and al., "A stackable cross point phase change memory," *Int. Electron Dev. Meeting*, pp. 1-4, 2009.
  - [98] M.-J. Lee, Y. Park, B.-S. Kang, S.-E. Ahn, C. Lee, K. Kim and al., "2-stack 1D-1R cross-point structure with oxide diodes as switch elements for high density resistance RAM applications," *Int. Electron Dev. Meeting Tech. Digest.*, pp. 771-774, 2007.
  - [99] B. S. Kang, S.-E. Ahn, M.-J. Lee, G. Stefanovich, K. H. Kim, W. X. Xianyu and al., "High-current-density CuOx/InZnOx thin-film diodes for cross-point memory applications," *Advanced materials*, vol. 20, pp. 3066-3069, 2008.
  - [100] Y. Choi, K. Lee, C. H. Park, K. H. Lee, J.-W. Nam, M. M. Sung and al., "High current fast switching n-ZnO/p-Si diode," *J. Phys. D: Appl. Phys.*, vol. 43, pp. 345101.1-345101.4, 2010.
  - [101] W. Y. Park, G. H. Kim, J. Y. Seok, K. M. Kim, S. J. Song, M. H. Lee and al., "A Pt/TiO<sub>2</sub>/Ti Schottky-type selection diode for alleviating the sneak current in resistance switching memory arrays," *Nanotechnology*, vol. 21, pp. 195201.1-195201.4, 2010.
  - [102] G. Tallarida, N. Huby, B. Kutrzeba-Kotowska, S. Spiga, M. Arcari, G. Csaba and al., "Low temperature rectifying junctions for crossbar non-volatile memory devices," *Proc. Int. Memory Workshop*, pp. 1-3, 2009.
  - [103] A. Lajn, H. v. Wenckstern, Z. Zhang, C. Czekalla, G. Biehne, J. Lenzner and al., "Properties of reactively sputtered Ag, Au, Pd, and Pt Schottky contacts on n-type ZnO," *J. Vac. Sci. Technol. B*, vol. 27, pp. 1769-1773, 2009.
  - [104] L. Tang, P. Zhou, H. Wan, G. Jin, B. A. Chen, T.-A. Tang and al., "Properties of p-n heterojunction diode based on Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> and its application for phase change random access memory," *J. Appl. Phys.*, vol. 105, pp. 061627.1-061627.3, 2009.
  - [105] R. Freitas and W. Wilcke, "Storage-class memory: the next storage system technology," *IBM J. Research and Development*, vol. 52, pp. 439-447, 2008.
  - [106] R. Jeysingh, J. Liang, M. A. Caldwell, D. Kuzum and H.-S. P. Wong, "Phase change memory: scaling and applications," *Proc. Custom Int. Circuits Conf.*, pp. 1-7, 2012.
-



## **Chapitre II**

### **Fabrication au LETI de dispositifs PCRAM : Méthodes et moyens de caractérisation et de simulation associés**

#### **Résumé du Chapitre II**

Dans ce chapitre, nous présentons l'ensemble des procédures expérimentales utilisées au cours de cette thèse. Ainsi dans le Paragraphe I, nous détaillons l'enchaînement des étapes technologiques permettant la fabrication, au LETI, de dispositifs mémoire à changement de phase étudiés et caractérisés dans les prochains chapitres. Nous détaillons également les principales techniques de caractérisation physico-chimique de couches minces (Paragraphe II) et de caractérisation électrique de dispositifs mémoire (Paragraphe III). Enfin, les outils de simulation utilisés sont présentés dans la Paragraphe IV.



## Table des matières

I. Fabrication au LETI de dispositifs mémoires à changement de phase .....	83
I.1 Description simplifiée des étapes technologiques de fabrication.....	83
I.2 Procédé de dépôt du matériau à changement de phase .....	85
II. Techniques de caractérisation physico-chimique du matériau à changement de phase .....	87
II.1 Détermination de la composition du matériau à changement de phase .....	87
II.1.1 Composition d'un échantillon pleine tranche .....	87
II.1.2 Analyse de la composition chimique d'un dispositif mémoire .....	89
II.2 Etude de la cristallisation des matériaux à changement de phase .....	91
II.2.1 Théorie de la cristallisation .....	91
II.2.2 Mesure de la température de cristallisation .....	92
II.2.3 Caractérisation de la cinétique de cristallisation.....	94
III. Caractérisations électriques de dispositifs PCRAM .....	96
III.1 Application d'impulsions électriques.....	96
III.2 Mesure des caractéristiques électriques des dispositifs PCRAM .....	97
III.3 Caractérisation des performances des cellules PCRAM .....	99
III.3.1 Consommation électrique.....	99
III.3.2 Rapidité d'écriture et d'effacement.....	100
III.3.3 Fenêtre de programmation et endurance .....	101
III.3.4 Stabilité de la phase amorphe.....	102
IV. Outils de simulation de type éléments finis des dispositifs PCRAM.....	104
IV.1 Création de la structure à simuler .....	104
IV.2 Définition des modèles utilisés .....	105
IV.3 Définition de la simulation et exploitation des résultats.....	110
Conclusion du Chapitre II.....	112
Bibliographie .....	113





## I. Fabrication au LETI de dispositifs mémoires à changement de phase

Nous avons vu dans le chapitre I qu'il existe de nombreuses structures de cellules PCRAM. Dans le cadre de cette thèse, nous avons principalement étudié la structure "plug" fabriquée au LETI car elle permet d'évaluer et de valider rapidement les nouveaux matériaux à changement de phase étudiés ainsi que les améliorations apportées à l'élément résistif PCRAM. Dans notre cas, aucun élément de sélection n'est intégré en série avec cet élément résistif. On étudie donc des dispositifs analytiques de type 1R que nous appellerons dispositifs LETI.

### I.1 Description simplifiée des étapes technologiques de fabrication

Les dispositifs LETI 1R étudiés sont de type "plug" avec un pilier circulaire en tungstène, de diamètre compris entre 300 nm et 1700 nm, sur lequel est déposée une couche de 100 nm de matériau à changement de phase amorphe. Comme indiqué dans le Chapitre I, le matériau à changement de phase  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  est utilisé comme matériau de référence. En conséquence, en cours de fabrication, un recuit thermique sous vide de 15 minutes à 200°C est réalisé afin de le cristalliser. La Figure II.1a présente les principales étapes du procédé de fabrication utilisé pour obtenir des dispositifs LETI. Dans certains cas, le dépôt du matériau à changement de phase n'est pas effectué, permettant ainsi d'obtenir des dispositifs dans lesquelles les lignes métalliques supérieures sont directement en contact avec le pilier en tungstène. Ces dispositifs sont utilisés pour vérifier l'intégrité morphologique et électrique des lignes métalliques inférieure et supérieure et du pilier en tungstène.

La Figure II.1b présente une vue aérienne, obtenue par la technique d'imagerie MEB, d'un dispositif PCRAM fabriqué au LETI mettant en évidence les deux lignes de contact électrique ainsi que les quatre plots permettant de poser des pointes de mesure. La Figure II.1c présente une vue en coupe, obtenue par la technique d'imagerie TEM, d'un dispositif PCRAM fabriqué au LETI mettant en évidence la couche de matériau à changement de phase et le pilier.

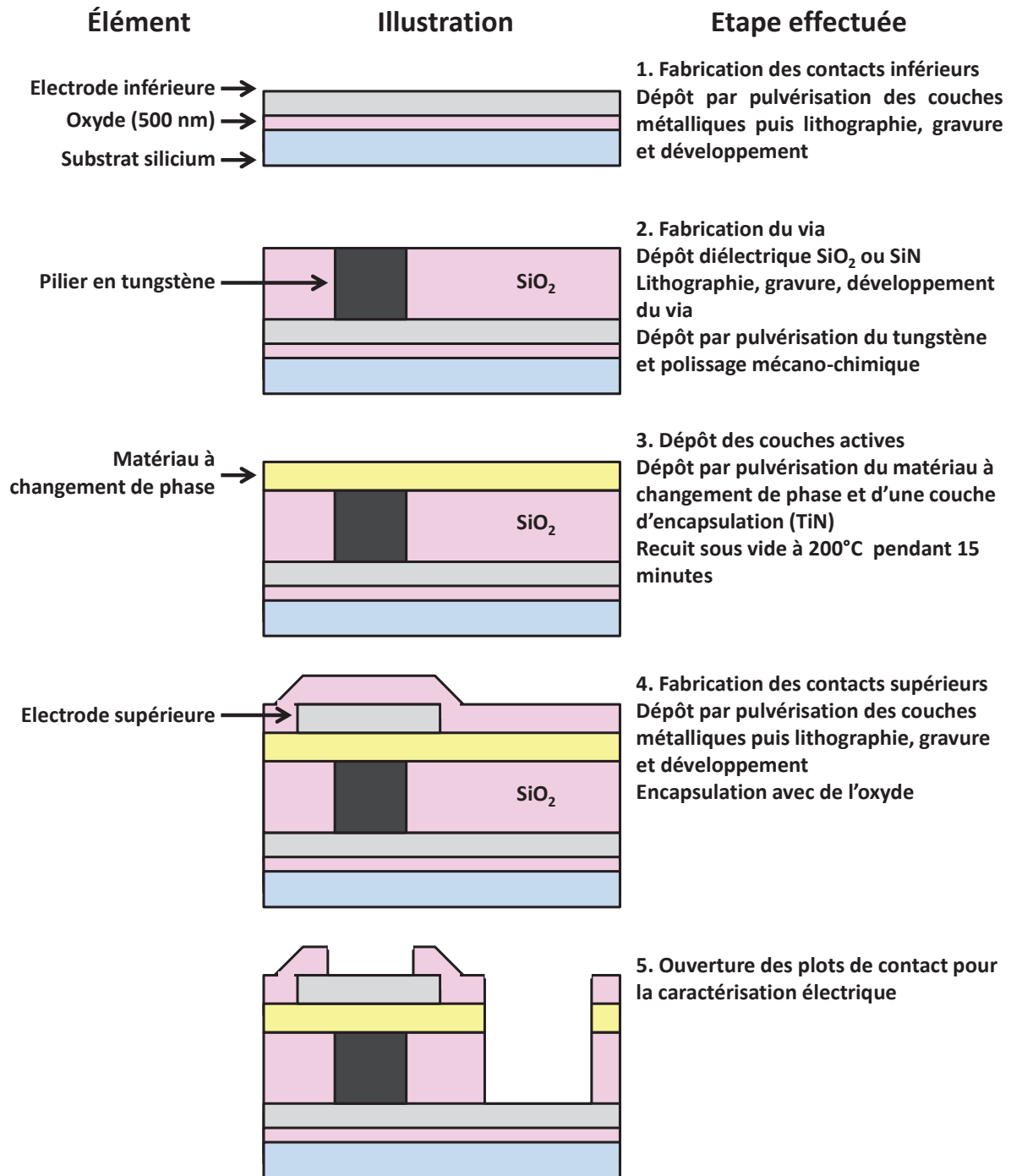


Figure II.1a : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour fabriquer des dispositifs LETI ayant une structure "plug".

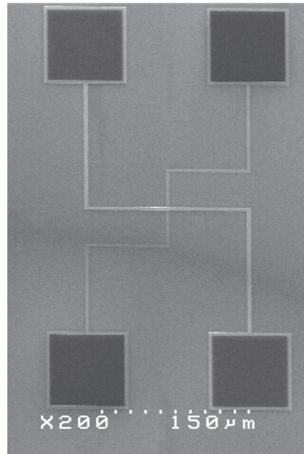


Figure II.1b : Vue aérienne, obtenue par la technique d'imagerie MEB, d'un dispositif PCRAM fabriqué au LETI.

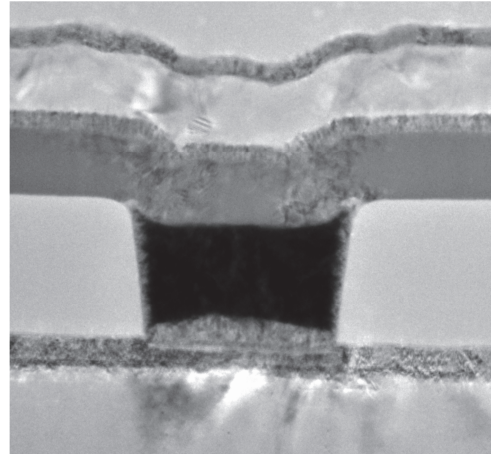


Figure II.1c : Vue en coupe, obtenue par la technique d'imagerie TEM, d'un dispositif PCRAM fabriqué au LETI.

## I.2 Procédé de dépôt du matériau à changement de phase

Les matériaux à changement de phase étudiés au cours de cette thèse sont déposés à température ambiante par pulvérisation, ou PVD pour “Physical Vapor Deposition”. La pulvérisation est une technique de dépôt consistant à recouvrir la surface d'un substrat grâce à un bombardement d'atomes arrachés à une (des) cible(s). Pour permettre l'arrachement des atomes, un plasma est créé en appliquant une différence de potentiel entre la cathode (cible) et l'anode (substrat) ce qui excite le gaz se trouvant au sein du réacteur. Ce gaz est souvent produit à partir d'un gaz neutre (par exemple l'argon) et d'un gaz réactif (par exemple l'azote ou le propène). Le plasma est alors constitué d'électrons, attirés par l'anode et d'ions positifs, attirés par la cible. Ces ions positifs, accélèrent sous l'effet du champ et arrachent les atomes de la cible au moment où ils entrent en collision avec celle-ci (Figure II.2). Dans nos études, le matériau à changement de phase de référence, GST, est toujours déposé à partir d'une cible unique de GST pur.

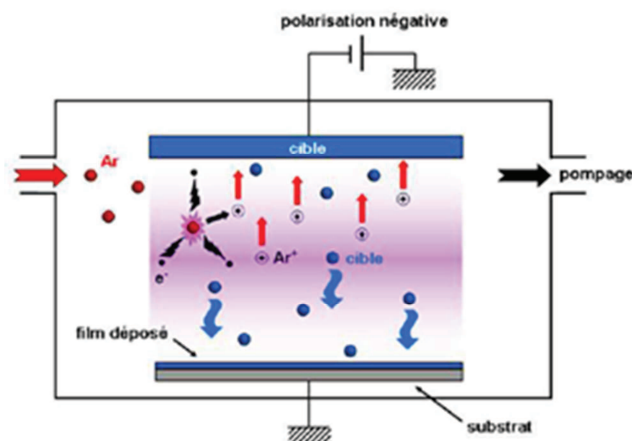


Figure II.2 : Schéma de principe de la chambre de dépôt utilisé pour l'étape de pulvérisation cathodique.

Cependant, le faible degré d'ionisation du gaz entraîne une vitesse de dépôt réduite. En conséquence, les dépôts de matériaux à changement de phase sont réalisés en accélérant la pulvérisation à l'aide de l'effet magnétron. Celui-ci permet grâce au champ magnétique radiofréquence appliqué d'améliorer le trajet des électrons au voisinage de la cathode et ainsi d'augmenter la probabilité d'ionisation d'un atome du gaz. Ainsi plus d'ions sont créés, donc plus d'atomes sont arrachés de la cible et une vitesse de dépôt plus importante est obtenue.

Dans le cadre de cette thèse les couches de matériaux à changement de phase ont toutes été déposées par pulvérisation assistée par effet magnétron. Dans le paragraphe suivant nous décrivons les deux machines de dépôts successivement utilisées : l'Alliance Concept Cluster Tool 200 mm, ou ACT200, et l'Oerlikon ClusterLine 200II, ou CLN 200. La première a été utilisée lors de la première année de thèse tandis que la seconde a été utilisée ensuite. Ces deux machines étant extrêmement semblables, elles sont considérées comme similaires pour ce qui nous concerne. Elles sont composées de trois chambres de dépôt et d'une chambre de préparation de surface (Figure II.3).

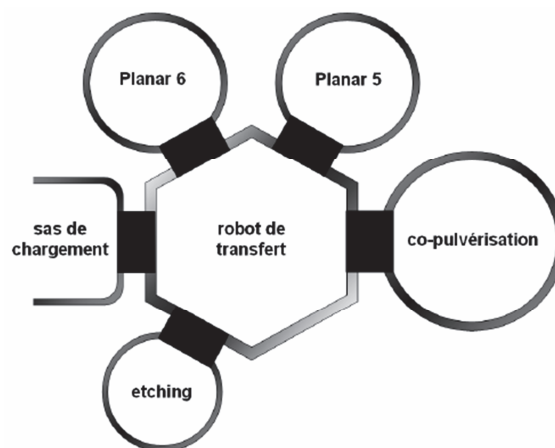


Figure II.3 : Schéma descriptif des machines utilisées pour le dépôt du matériau à changement de phase.

Le cas échéant, nous utilisons la chambre de préparation de surface pour effectuer un nettoyage de la surface sur laquelle la couche de matériau à changement de phase va être déposée. Le dépôt du matériau à changement de phase a ensuite lieu dans la chambre de co-pulvérisation équipée de trois cibles pouvant être pulvérisées simultanément (Figure II.4). Chacune des trois chambres est équipée de magnétrons. Afin d'améliorer l'uniformité des couches déposées, le porte-substrat est animé d'un mouvement de satellisation et d'un mouvement de rotation. En adaptant la puissance électrique appliquée sur chacune des cibles, il est possible de régler la quantité de chacun des éléments déposés et donc la composition de la couche de matériau à changement de phase. Dans le cadre de ce travail de thèse, deux cibles au maximum, dont une de GST pur, ont été pulvérisées simultanément. Enfin, une fois la couche de

matériau à changement de phase déposée, le substrat peut être transféré dans une autre chambre de dépôt afin d'y déposer une fine couche d'encapsulation en TiN, SiO<sub>2</sub>, ...

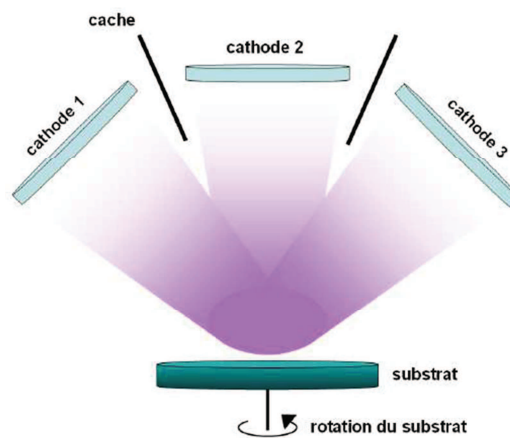


Figure II.4 : Schéma descriptif de la chambre de dépôt contenant trois cibles pouvant être pulvérisées simultanément.

## II. Techniques de caractérisation physico-chimique du matériau à changement de phase

### II.1 Détermination de la composition du matériau à changement de phase

#### II.1.1 Composition d'un échantillon pleine tranche

La composition des matériaux à changement de phase étudiés est déterminée à l'aide de trois techniques différentes, chacune basée sur l'utilisation d'un faisceau d'ions.

##### Spectroscopie de rétrodiffusion de Rutherford

La spectroscopie de rétrodiffusion de Rutherford, ou RBS pour "Rutherford Backscattering Spectroscopy", est une technique qui consiste à analyser les ions de haute énergie rétrodiffusés par un échantillon. L'énergie des ions rétrodiffusés est caractéristique des noyaux atomiques des éléments contenus dans l'échantillon. Ainsi en mesurant le spectre d'énergie, il est possible de déterminer les éléments présents dans l'échantillon. De plus, l'intensité et la largeur des pics permettent d'obtenir la composition relative de l'échantillon. Dans la pratique, nous utilisons cette technique pour déterminer le ratio entre la concentration en germanium et la somme de celles en tellure et en antimoine. En effet, les masses atomiques de ces derniers étant trop proches, il n'est pas possible de les distinguer en utilisant la technique RBS. La Figure II.5 présente un exemple de spectre RBS obtenu sur nos échantillons de GST, dans

lequel le pic correspondant au germanium peut être identifié tandis que le pic de plus haute énergie est dû aux contributions des éléments antimoine et tellure.

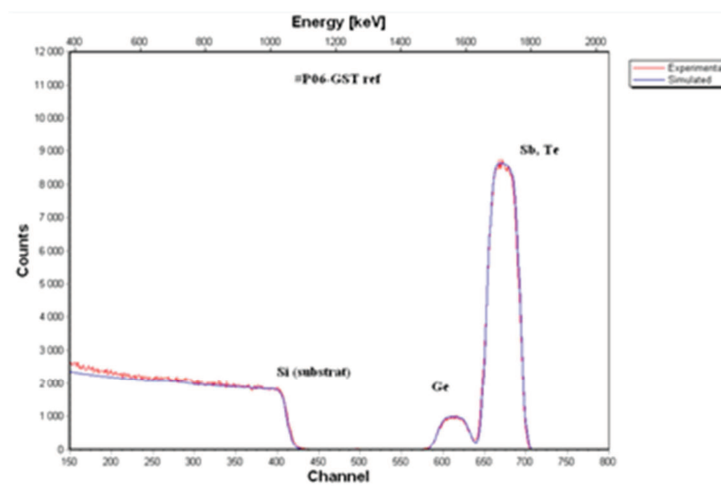


Figure II.5 : Exemple de spectres RBS d'un échantillon de GST déposé au LETI.

#### Méthode d'émission de rayons X

La seconde technique utilisée est la méthode PIXE, pour "Particle Induced X-Ray Emission". Cette technique consiste à collecter les rayons X émis par l'échantillon lors de son bombardement par un faisceau d'ions. Les rayons X émis étant caractéristiques des atomes présents dans l'échantillon, la composition de celui-ci peut-être déterminée. Dans la pratique, nous utilisons cette technique pour connaître la teneur en antimoine et en tellure du matériau à changement de phase. La Figure II.6 présente un exemple de spectre PIXE obtenu sur nos échantillons de GST, dans lequel les pics correspondants à l'antimoine et au tellure apparaissent dissociés permettant ainsi de calculer la quantité de chacun de ces deux éléments. Toutefois les éléments légers (typiquement les éléments plus légers que le sodium) ne peuvent être détectés à l'aide de cette technique.

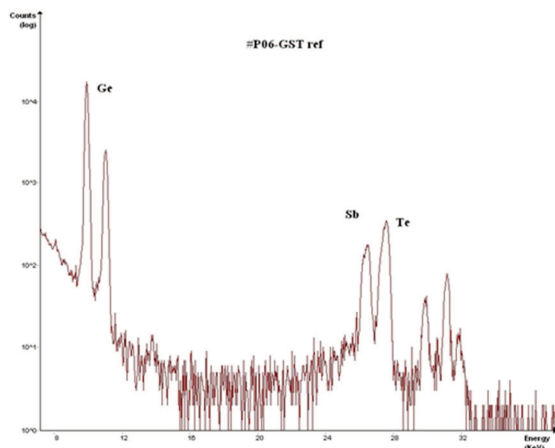


Figure II.6 : Exemple de spectre PIXE d'un échantillon de GST déposé au LETI.



### Méthode d'analyse de réactions nucléaires

La troisième technique utilisée est la méthode NRA, pour “Nuclear Reaction Analysis”. Cette technique consiste à étudier le rayonnement électromagnétique gamma ainsi que les particules émises lors d’interactions nucléaires entre un faisceau d’ions incidents de haute énergie et les noyaux des atomes présents dans l’échantillon. Cette technique permet l’identification et la quantification des éléments légers présents dans l’échantillon. Dans la pratique, nous utilisons cette technique pour déterminer la teneur en carbone du matériau à changement de phase. Ainsi, la Figure II.7 présente un exemple de spectre NRA obtenu sur des échantillons de GST dopé au carbone, dans lequel le pic correspondant au carbone est visible.

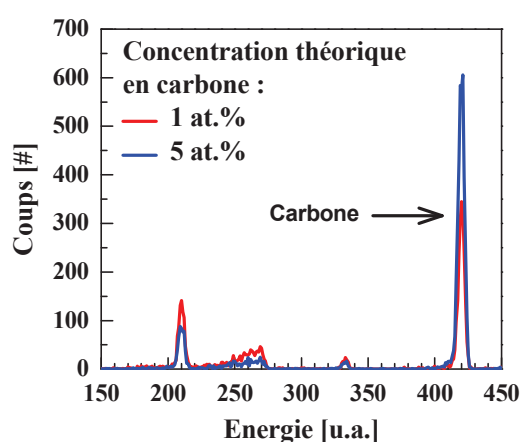


Figure II.7 : Exemple de spectre NRA d’un échantillon déposé au LETI de GST dopé avec 1 at.% (en rouge) et 5 at.% de carbone (en bleu).

Ainsi à l’aide des deux premières techniques, la stœchiométrie du matériau à changement de phase est déterminée tandis que la troisième technique permet de quantifier les éléments légers (tel que le carbone ou l’azote) présents dans le matériau à changement de phase. Pour chacune de nos études, la stœchiométrie du  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ , utilisé comme matériau de référence, a été confirmée.

#### II.1.2 Analyse de la composition chimique d’un dispositif mémoire

Pour déterminer la nature et la répartition des différents éléments chimiques du matériau à changement de phase lorsque celui-ci est intégré dans un dispositif LETI, nous préparons une lame amincie de celui-ci qui est ensuite observée dans un microscope électronique à transmission et analysée par la technique de dispersion d’énergie de rayons X, ou EDX pour “Energy Dispersive X-ray”. Dans notre cas, nous observons et analysons des vues en coupe de l’échantillon permettant de le sonder perpendiculairement à sa surface et donc de visualiser, par exemple, les différentes couches dont il est constitué.

Pour pouvoir être observée la lame amincie doit être d'épaisseur inférieure à 100 nm afin de permettre aux électrons de la traverser. Pour obtenir une telle lame, la méthode utilisée est présentée sur la Figure II.8 et les principales étapes sont résumées ci-dessous [1] :

- Protection de la région à observer par dépôt de couches généralement en platine, tungstène ou SiOCH.
- Gravure par abrasion ionique de zones autour de la région à observer afin de définir un prisme central contenant cette région. Le prisme est alors extrait à l'aide d'une pointe métallique effilée mise à son contact puis collée à celui-ci.
- Transfert, positionnement et collage par dépôt métallique local du prisme sur un support tel qu'une grille de cuivre
- Amincissement par abrasion ionique du prisme jusqu'à atteindre la région à observer. Pour cela, un faisceau d'ions focalisé, ou FIB pour "Focused Ion Beam", généralement constitué d'ions gallium  $\text{Ga}^+$ , est utilisé. Deux étapes sont généralement nécessaires : l'amincissement rapide avec des ions de haute énergie (de 8 KeV à 30 KeV) puis, l'amincissement lent avec des ions de basse énergie (de 1 KeV à 5 KeV). Une fois l'amincissement terminé, la lame obtenue doit être d'épaisseur 100 nm environ pour permettre aux électrons de la traverser.

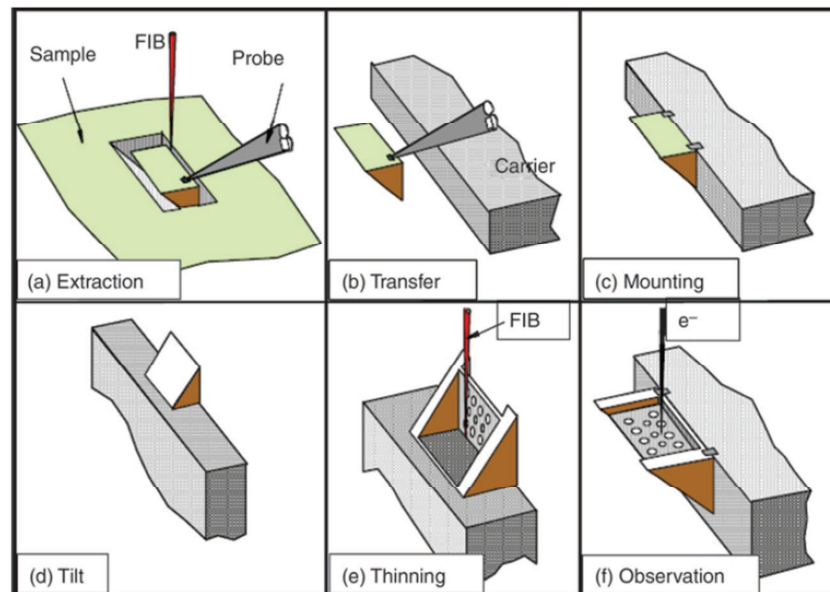


Figure II.8 : Schéma descriptif des étapes nécessaires à l'obtention d'une lame amincie pouvant être observée par la technique d'imagerie TEM. [1]

Une fois obtenue, la lame amincie est observée par microscopie électronique en transmission et est analysée à l'aide de la technique EDX permettant d'identifier les différents éléments atomiques la composant. Cette technique consiste à mesurer l'énergie des rayons X émis par l'échantillon lors de son bombardement par un faisceau

d'électrons. En effet, lors de ce bombardement, les atomes se retrouvent dans un état excité après avoir perdu un électron du niveau de cœur. Afin de retrouver sa structure électronique fondamentale, l'atome ionisé peut se désexciter en émettant un photon X dont l'énergie est égale à la différence d'énergie de liaison des deux niveaux de cœur impliqués dans la transition. Ainsi, l'énergie des rayons X émis par l'échantillon étant caractéristique de la structure atomique des éléments présents, il est possible de déterminer les atomes présents dans l'échantillon. Toutefois, cette technique ne permet pas de déterminer les concentrations absolues des différents éléments. Elle permet tout au plus d'en connaître la concentration relative. La Figure II.9 présente un exemple de cartographie des éléments germanium, antimoine et tellure d'une couche de GST intégrée au sein d'une cellule PCRAM [2].

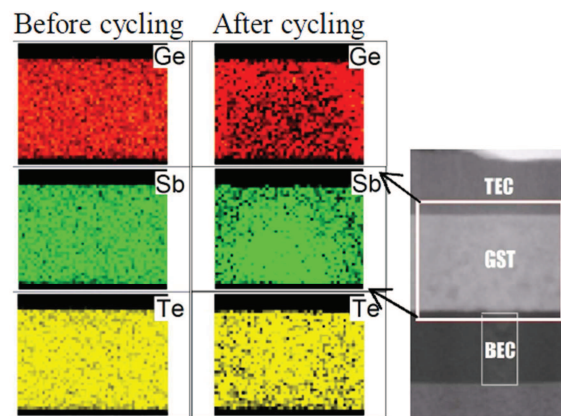


Figure II.9 : Cartographies des concentrations en élément germanium, antimoine et tellure, obtenues par la technique EDX, présents dans une cellule PCRAM. [2]

## II.2 Etude de la cristallisation des matériaux à changement de phase

L'étude amont des propriétés de cristallisation du matériau permet de valider l'intérêt de celui-ci pour l'amélioration de la stabilité thermique de sa phase amorphe avant une éventuelle intégration dans nos dispositifs LETI.

### II.2.1 Théorie de la cristallisation

Nous avons vu dans le chapitre I que la cristallisation des matériaux à changement de phase repose sur deux mécanismes principaux : l'apparition de nucléi cristallins au sein de la phase amorphe, ou nucléation, ainsi que la croissance de la phase cristalline déjà existante. De manière générale ces deux mécanismes de cristallisation peuvent être modélisés à l'aide d'équations thermodynamiques développées par Volmer, Weber, Becker, Doring, Turnbull et Fisher [3], [4], [5], [6] et basées sur les travaux préliminaires de Gibbs [7].

Toutefois, bien que tout à fait pertinentes pour modéliser l'évolution microscopique de la phase du matériau à changement de phase, ces équations ne permettent pas de rendre compte des mesures électriques macroscopiques effectuées. En effet, dans notre cas, nous mesurons une résistance, c'est-à-dire une grandeur macroscopique extensive. Or il n'existe pas de relation directe entre celle-ci et les grandeurs thermodynamiques modélisées par la théorie de la cristallisation. En effet, tant qu'un chemin cristallin n'est pas présent entre les électrodes, la résistance mesurée est élevée. Par contre, dès qu'un chemin est formé, la résistance diminue fortement, même si la fraction volumique de phase cristalline n'a que peu augmentée. En conséquence, lors de nos mesures, nous ne pouvons utiliser cette théorie.

#### II.2.2 Mesure de la température de cristallisation

Il a été reporté dans la littérature que la cristallisation du matériau à changement de phase s'accompagne d'une augmentation de sa réflectivité optique et d'une diminution de sa résistivité électrique [8]. Ainsi ces deux grandeurs physiques sont de bons indicateurs de la cristallisation du matériau à changement de phase et peuvent donc être utilisées pour caractériser la température à laquelle la cristallisation se produit. Comme nous le verrons dans le paragraphe II.2.3, cette température dépend de la rampe de montée en température appliquée à l'échantillon. En conséquence, pour l'ensemble de cette thèse, nous définissons la température de cristallisation du matériau à changement de phase comme la température à laquelle la dérivée de la résistivité électrique ou de la réflectivité optique est maximale lorsqu'une rampe de montée en température, généralement 10°C/min, est appliquée à l'échantillon.

#### Suivi de la cristallisation du matériau à changement de phase par réflectométrie

La réflectométrie permet de suivre l'évolution de la réflectivité optique d'un échantillon en fonction de sa température et/ou du temps. Le banc de mesure utilisé est représenté sur la Figure II.10. Un faisceau laser de longueur d'onde 680 nm est envoyé sur l'échantillon via une lame biréfringente. Le faisceau réfléchi par l'échantillon est ensuite détecté par un photodétecteur et est comparé au faisceau incident. Il est alors possible de calculer la réflectivité de l'échantillon. Celui-ci est placé sur une plaque chauffante permettant d'ajuster sa température ainsi que les rampes de montée et descente en température qui peuvent varier entre 2°C/min et 20°C/min. La Figure II.11 présente l'évolution typique d'une couche de GST initialement amorphe lorsque celle-ci est chauffée jusqu'à 400°C avec une rampe de 10°C/min. On constate une augmentation significative de la réflectivité du matériau à environ 150°C correspondant à sa cristallisation. Dans la pratique nous utilisons les mesures de réflectivité pour confirmer les mesures de résistivité effectuées.

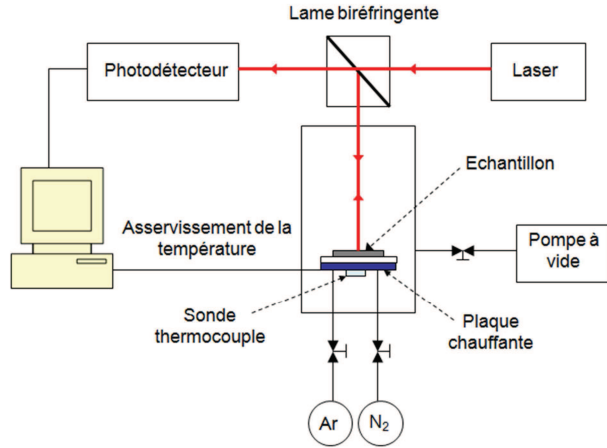


Figure II.10 : Schéma de principe du banc de mesure utilisé pour la mesure de la réflectivité des matériaux à changement de phase déposés en couche mince.

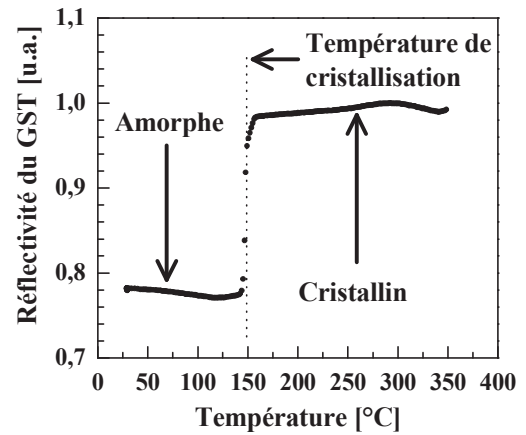


Figure II.11 : Evolution de la réflectivité d'une couche de GST d'épaisseur 100 nm initialement amorphe en fonction de la température.

### Suivi de la cristallisation du matériau à changement de phase par mesure de résistivité

La résistivité électrique d'un matériau en couche mince peut être déterminée par la mesure de sa résistance carrée. Pour cela quatre pointes équidistantes, espacées d'environ 1 cm, sont posées à la surface de l'échantillon. Les deux pointes extérieures imposent le courant,  $I$ , tandis les deux pointes intérieures mesurent la tension correspondante,  $V$ , (Figure II.12). La résistance carrée se calcule à l'aide de l'équation 1 suivante :

$$R = \frac{\pi}{\log(2)} \cdot \frac{V}{I} \quad (1)$$

La résistivité se déduit alors de la résistance carrée en la multipliant par l'épaisseur du film considéré. L'échantillon est placé sur une plaque chauffante permettant d'ajuster sa température ainsi que les rampes de montée et descente en température qui peuvent varier entre 1°C/min et 30°C/min. La Figure II.13 présente l'évolution typique de la résistivité électrique d'une couche de GST d'épaisseur 100 nm initialement amorphe lorsque celle-ci est chauffée jusqu'à 400°C avec une rampe de 10°C/min. On constate une réduction significative de la résistivité du matériau à environ 150°C correspondant à sa cristallisation. À la suite de cette transition, le matériau se trouve dans sa phase cubique à faces centrées, ou cfc, pour laquelle la résistivité est supérieure à 10<sup>-4</sup> Ω.m. Lorsque la température augmente encore, une seconde réduction de la résistivité du matériau est observée correspondant à son passage de la phase cubique à faces centrées à la phase hexagonale compacte, ou hcp.

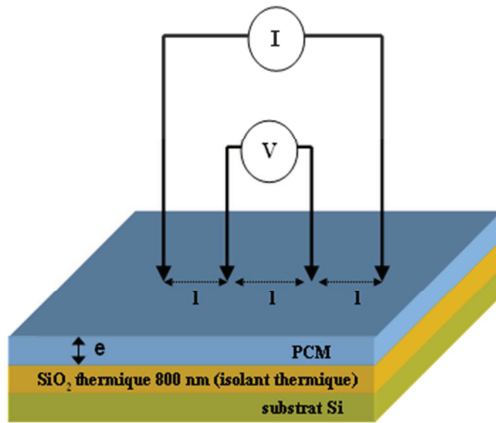


Figure II.12 : Principe de la mesure de la résistivité des matériaux à changement de phase déposés en couche mince.

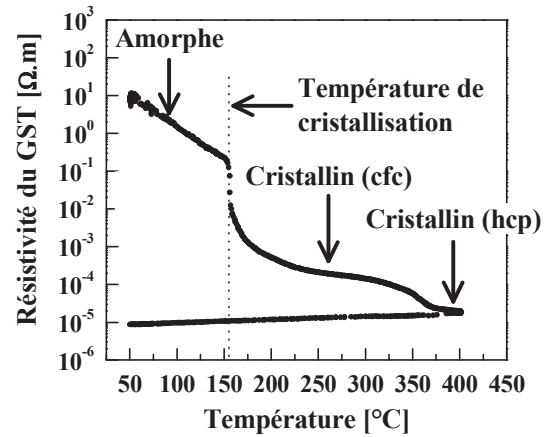


Figure II.13 : Evolution de la résistivité d'une couche de GST d'épaisseur 100 nm initialement amorphe en fonction de la température.

### II.2.3 Caractérisation de la cinétique de cristallisation

Au-delà de la température de cristallisation du matériau à changement de phase, il est également important de caractériser sa cinétique de cristallisation, c'est-à-dire la vitesse à laquelle le matériau cristallise lorsqu'il est soumis à différentes conditions thermiques. En effet, couplée à la température de cristallisation, la cinétique de cristallisation définit les propriétés de rétention du matériau à changement de phase. Cette cinétique peut être caractérisée de deux manières différentes. La première consiste à placer le matériau à une température constante et le laisser évoluer jusqu'à obtenir la cristallisation, on parle alors de caractérisation isothermique. La seconde consiste à appliquer sur le matériau une rampe de température jusqu'à obtenir la cristallisation. Chacune de ces méthodes de caractérisation peut être décrite à l'aide d'une modélisation alternative à la modélisation thermodynamique de la cristallisation.

#### Caractérisation isothermique de la cinétique de cristallisation

Dans le cas d'une caractérisation isothermique de la cinétique de cristallisation, cette dernière est généralement modélisée à l'aide de la théorie de Johnson-Mehl-Avrami-Kolmogorov (JMAK) exprimée par les équations 2 et 3 où  $x(t)$  est la fraction volumique de matériau ayant changée de phase en fonction du temps,  $t$ , de la température de recuit,  $T$ , et des paramètres JMAK,  $n$ ,  $E_A$ ,  $k_0$  :  $n$  étant le coefficient d'Avrami,  $E_A$  l'énergie d'activation de la cristallisation et  $k_0$  une constante.

$$x(t) = 1 - \exp(-k \cdot t^n) \quad (2)$$

$$k(T) = k_0 \cdot \exp\left(-\frac{E_A}{k_B T}\right) \quad (3)$$

Toutefois ces équations ne permettent pas de rendre compte des mesures électriques macroscopiques effectuées. En effet, dans le cadre de nos mesures, nous mesurons une résistance. Or il n'existe pas de relation directe simple entre la fraction cristalline  $x(t)$  et la résistance [9]. Dans la pratique nous utilisons la caractérisation isothermique de la cinétique de cristallisation pour caractériser la rétention de l'information au sein des cellules PCRAM (voir paragraphe III.3.4).

### Seconde méthode de caractérisation de la cinétique de cristallisation

Dans cette thèse, nous avons caractérisé la cinétique de cristallisation en appliquant différentes rampes de température sur les échantillons déposés pleine tranche initialement dans la phase amorphe et en suivant l'évolution de leur résistance carrée en fonction de la température. Ainsi en appliquant différentes rampes de température, la température de cristallisation du matériau change (Figure II.14) [10].

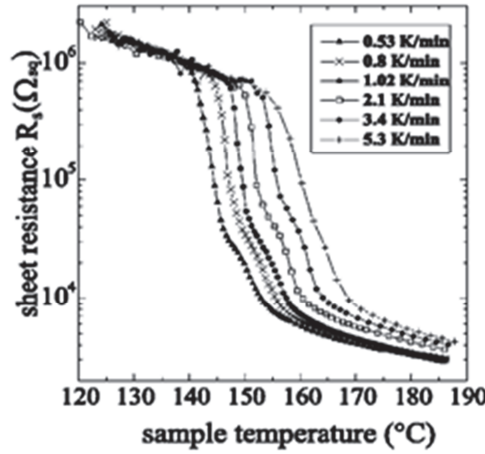


Figure II.14 : Évolution de la résistivité du GST initialement amorphe en fonction de la température pour différentes rampes de température. [10]

À partir de ces courbes, la température de cristallisation correspondant à chacune des rampes est extraite par calcul du maximum de la dérivée de la résistivité électrique. En utilisant le formalisme de Kissinger représenté par l'équation 4, il est alors possible de calculer une énergie d'activation de la cristallisation,  $E_A$  [11]. Dans cette équation  $A$  est la rampe de température,  $T_C$  est la température de cristallisation correspondante et  $C$  est une constante.

$$\ln\left(\frac{A}{T_C^2}\right) = -\frac{E_A}{k_B T_C} + C \quad (4)$$



### III. Caractérisations électriques de dispositifs PCRAM

#### III.1 Application d'impulsions électriques

Nous avons vu dans le chapitre I que les cellules PCRAM sont programmées à l'aide d'impulsions électriques. Le banc de mesure utilisé pour appliquer des impulsions électriques sur un dispositif LETI est schématisé sur la Figure II.15. Celui-ci comprend un générateur d'impulsions électriques (Keithley 3402 ou Agilent 8110A), un oscilloscope (Tektronix TDS 744A ou Tektronix TDS 714L), un analyseur de paramètres (Hewlett Packard 4156C ou Keithley 4200), une station de déplacement du wafer (Cascade) ainsi qu'une carte électronique développée au laboratoire.

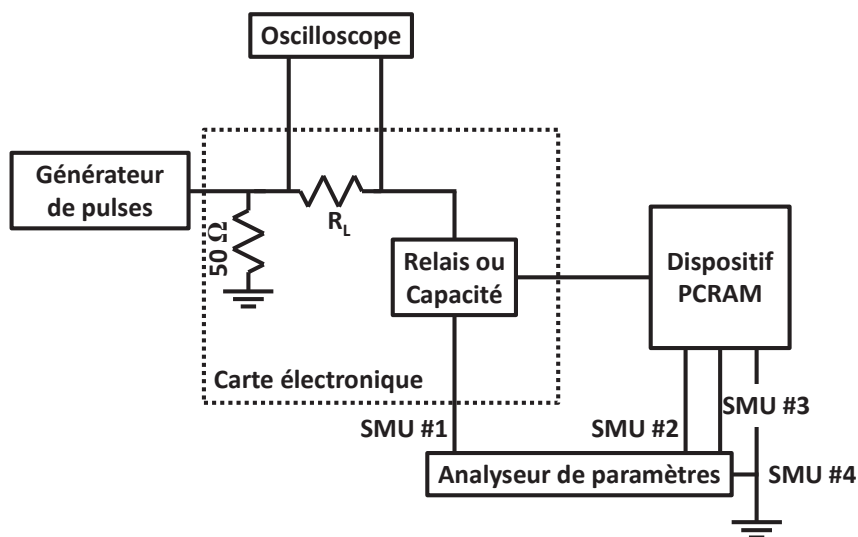


Figure II.15 : Schéma de principe simplifié du banc de mesure utilisé pour appliquer des impulsions électriques sur un dispositif PCRAM.

Le but de l'oscilloscope est de mesurer l'impulsion de tension en sortie du générateur de pulses ainsi que celle réellement appliquée sur le dispositif. Pour cela une résistance série interchangeable,  $R_L$ , est placée sur la carte électronique. L'oscilloscope est relié à chacune des bornes de la résistance série par une sonde active (Tektronix P6205). En mesurant la tension aux bornes de la résistance, le courant traversant le dispositif pendant l'impulsion est calculé. De plus, la résistance série possède un rôle central dans la caractérisation du dispositif PCRAM puisqu'elle permet de limiter le courant le traversant pendant l'impulsion.

La carte électronique possède également un relais ou une capacité de découplage permettant de connecter le dispositif LETI soit au générateur d'impulsions (via la résistance série) soit à l'analyseur de paramètres pour effectuer la lecture à champ électrique faible, c'est-à-dire après l'application de l'impulsion, de la résistance du dispositif.

## Fabrication, caractérisation et simulation de dispositifs PCRAM

Pour effectuer cette lecture à champ électrique faible de la résistance du dispositif, l'analyseur de paramètres est relié à la cellule par 4 unités de polarisation et de mesure, ou SMU pour "Source Measure Unit", chacune étant connectée à une pointe de mesure posée sur un des plots du dispositif PCRAM. Ces SMU permettent d'appliquer et de mesurer les tensions et courants appliqués au dispositif. La polarisation du dispositif pendant l'étape de lecture à champ électrique faible est représentée sur la Figure II.16 : une tension faible (typiquement 0,1 V) est appliquée au dispositif et le courant induit est mesuré.

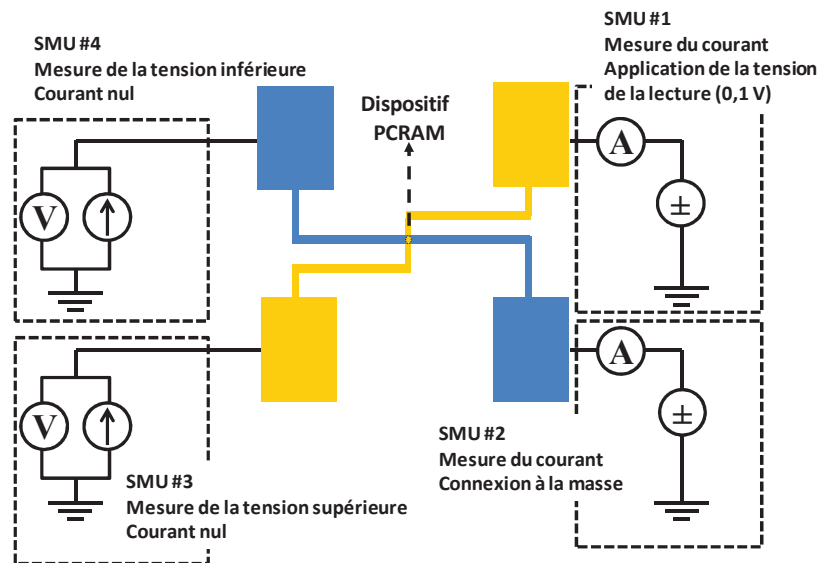


Figure II.16 : Configuration du banc de mesure représenté sur la Figure II.15 utilisée pour mesurer à champ électrique faible la résistance d'un dispositif PCRAM.

### III.2 Mesure des caractéristiques électriques des dispositifs PCRAM

Les montages décrits précédemment sont ceux utilisés pour obtenir les caractéristiques I-V, R-I et R-V des dispositifs PCRAM. Pour cela une succession d'impulsions électriques est appliquée sur le dispositif. Il existe une grande variété de succession d'impulsions permettant de caractériser électriquement un dispositif PCRAM. Celle utilisée au cours de cette thèse est représentée sur la Figure II.17. L'ensemble de la succession repose sur la répétition d'un même motif élémentaire composé de trois impulsions :

- La première est une impulsion de cristallisation permettant de placer le dispositif dans l'état SET ;
- La seconde est une impulsion d'amorphisation permettant de placer le dispositif dans l'état RESET ;

- La troisième est une impulsion d'amplitude variable permettant de caractériser les transitions entre les états RESET et SET du dispositif PCRAM.

Au cours de chaque impulsion, le courant dans le dispositif ainsi que la tension sur le dispositif sont mesurés. Il est important de noter que cette mesure est effectuée à la fin des impulsions électriques lorsque le dispositif se trouve en régime stationnaire (Figure II.17). De plus, entre chaque impulsion électrique, la résistance du dispositif est mesurée à champ électrique faible. Cette procédure de caractérisation présente plusieurs avantages :

- Le premier est de permettre la caractérisation en une seule fois du passage de l'état RESET à l'état SET ainsi que du passage de l'état SET à l'état RESET.
- Le second est d'effacer et d'écrire le dispositif avant chaque application de la troisième impulsion permettant ainsi d'éviter d'éventuels effets cumulatifs et également de vérifier que le dispositif ne dérive pas au cours de la mesure.

Au cours de cette procédure, nous pouvons faire varier l'amplitude des impulsions, leurs durées ainsi que les temps de montée et descente (Figure II.17).

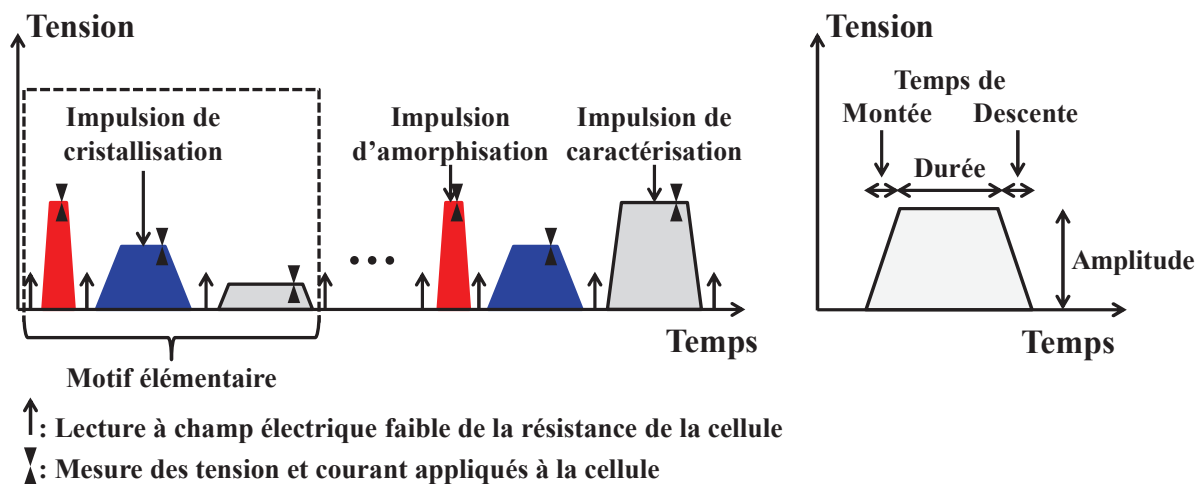


Figure II.17 : Succession d'impulsions utilisée pour obtenir les courbes caractéristiques des dispositifs PCRAM (gauche) et paramètres variables d'une impulsion (droite).

Nous définissons alors les courbes caractéristiques des dispositifs PCRAM :

- Caractéristique I-V : le courant traversant le dispositif pendant l'application de l'impulsion en fonction de la tension appliquée sur le dispositif au même instant ;
- Caractéristique R-I : la résistance à champ électrique faible du dispositif mesurée après l'application de l'impulsion électrique en fonction du courant traversant le dispositif pendant l'impulsion électrique ;
- Caractéristique R-V : la résistance à champ électrique faible du dispositif mesurée après l'application de l'impulsion électrique en fonction de la tension appliquée sur le dispositif pendant l'impulsion électrique.

En utilisant cette procédure de caractérisation, nous avons obtenus des caractéristiques typiques des dispositifs PCRAM fabriqués au LETI (Figure II.18).

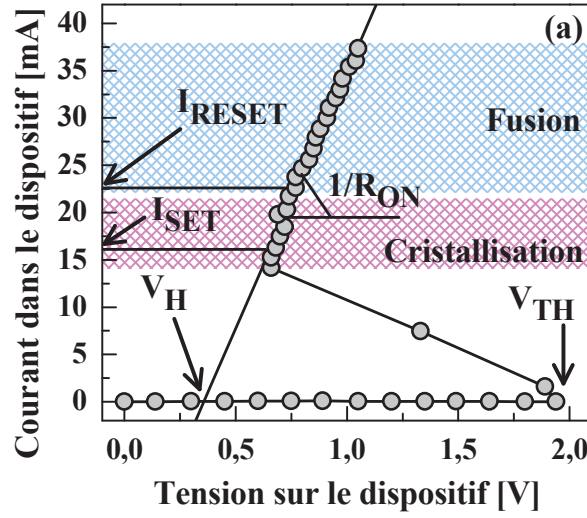
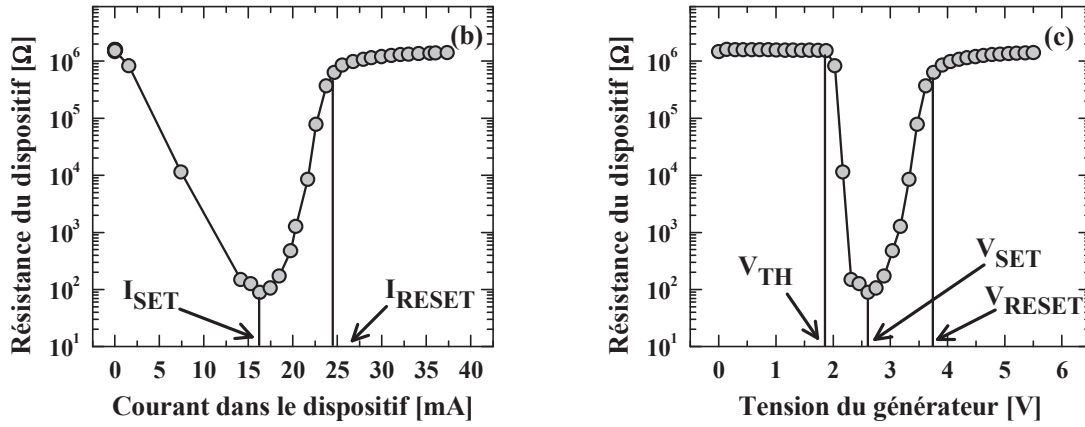


Figure II.18a : Caractéristique I-V d'un dispositif PCRAM à base de GST fabriqué au LETI.



Figures II.18b et II.18c : Caractéristiques R-I (gauche) et R-V (droite) typiques d'un dispositif PCRAM à base de GST fabriqué au LETI.

### III.3 Caractérisation des performances des cellules PCRAM

#### III.3.1 Consommation électrique

La Figure II.18a présente une caractéristique I-V typique d'un dispositif PCRAM fabriqué au LETI et étudié au cours de cette thèse.

Dans les gammes de courant correspondant à la programmation du dispositif PCRAM (zones hachurées), cette caractéristique n'est pas ohmique. Nous définissons donc la résistance équivalente du dispositif,  $R_{DYN}$ , comme la somme de deux

contributions (équation 5) : une composante ohmique,  $R_{ON}$ , et une composante non ohmique,  $V_H/I$  où  $V_H$  est la tension de maintien (ou “holding voltage”).

$$R_{DYN} = \frac{V_H}{I} + R_{ON} \quad (5)$$

Ainsi à l'échelle macroscopique, la puissance consommée au sein du dispositif PCRAM est calculée à l'aide de l'équation 6 [12]. Les puissances nécessaires au passage dans l'état SET ou RESET,  $P_{SET}$  et  $P_{RESET}$  respectivement, sont alors calculées par l'équation 7 dans lesquelles  $I_{RESET}$  et  $I_{SET}$  ont été définis dans le Chapitre I.

$$P = R_{DYN} \cdot I^2 = V_H \cdot I + R_{ON} \cdot I^2 \quad (6)$$

$$P_{\left\{ \begin{smallmatrix} RESET \\ SET \end{smallmatrix} \right\}} = V_H \cdot I_{\left\{ \begin{smallmatrix} RESET \\ SET \end{smallmatrix} \right\}} + R_{ON} \cdot I_{\left\{ \begin{smallmatrix} RESET \\ SET \end{smallmatrix} \right\}}^2 \quad (7)$$

Enfin, l'énergie nécessaire pour effectuer un cycle d'écriture/effacement du dispositif,  $E_{CYCLE}$ , est calculée à l'aide de l'équation 8, où  $t_{RESET}$  et  $t_{SET}$  correspondent à la durée des impulsions d'écriture et d'effacement respectivement.

$$E_{CYCLE} = P_{RESET} \cdot t_{RESET} + P_{SET} \cdot t_{SET} \quad (8)$$

#### III.3.2 Rapidité d'écriture et d'effacement

Nous avons vu dans le chapitre I que la rapidité de la technologie PCRAM est limitée par la cristallisation du matériau à changement de phase et donc par la vitesse de transition entre l'état RESET et l'état SET. En conséquence, caractériser la rapidité d'écriture/effacement d'un dispositif PCRAM revient à mesurer la durée minimale d'une impulsion électrique à appliquer au dispositif dans l'état RESET pour qu'il passe dans l'état SET. Pour effectuer cette caractérisation, la succession d'impulsions représentée sur la Figure II.19 est appliquée au dispositif. Cette succession est la répétition d'un motif élémentaire composé de deux impulsions successives :

- La première est une impulsion de RESET permettant de placer le dispositif toujours dans le même état RESET ;
- La seconde est une impulsion d'amplitude égale à  $V_{SET}$  et de durée variable permettant de déterminer la durée minimale de l'impulsion électrique à appliquer pour passer de l'état RESET à l'état SET.

Entre chaque impulsion la résistance du dispositif est mesurée. Ainsi en comparant la résistance mesurée après la seconde impulsion à la résistance de l'état SET, il est possible de connaître à partir de quelle durée d'impulsion le dispositif passe de l'état RESET à l'état SET. La Figure II.20 présente un graphe typique obtenu par cette méthode de caractérisation. Dans cet exemple, la durée minimale de l'impulsion

permettant de passer de l'état RESET à l'état SET est de 200 ns dans le cas d'un dispositif PCRAM à base de GST.

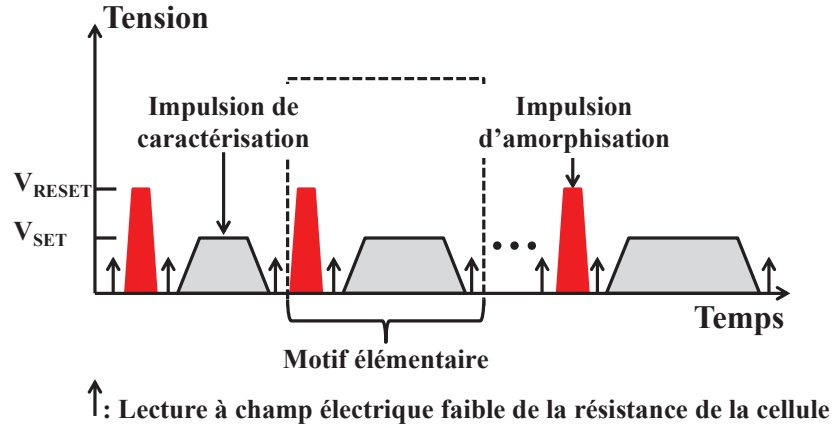


Figure II.19 : Succession d'impulsions utilisée pour caractériser la rapidité de la programmation des dispositifs PCRAM.

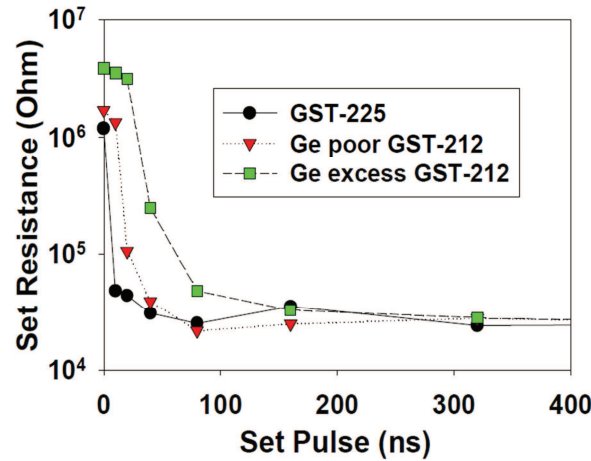


Figure II.20 : Exemple de courbes permettant de caractériser la rapidité de la programmation des dispositifs PCRAM à base de GST et de  $\text{Ge}_2\text{Sb}_1\text{Te}_2$  enrichi ou appauvri en germanium. [13]

### III.3.3 Fenêtre de programmation et endurance

Pour caractériser l'endurance des dispositifs PCRAM, un train d'impulsions électriques constitué de la répétition d'un motif élémentaire, dans lequel une impulsion de RESET est suivie d'une impulsion de SET, est appliqué au dispositif. La résistance du dispositif est régulièrement mesurée au cours cette procédure afin de suivre l'évolution de la fenêtre de programmation. Il est ainsi possible de détecter la défaillance du dispositif induite par une réduction voire une disparition de la fenêtre de programmation. La Figure II.21 présente un exemple typique de graphe d'endurance de dispositifs PCRAM fabriqués au LETI et obtenu selon cette méthode.

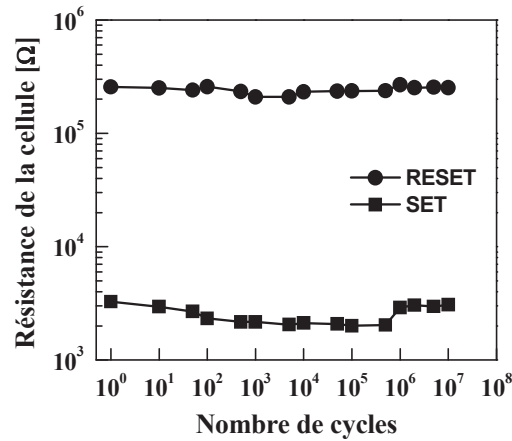


Figure II.21 : Exemple de graphe d'endurance de dispositifs PCRAM à base de GST fabriqués au LETI.

### III.3.4 Stabilité de la phase amorphe

Nous avons vu dans le chapitre I que la stabilité de l'état RESET est un des principaux points bloquant de la technologie PCRAM.

#### Dérive temporelle de la résistance de l'état RESET, ou “drift”

Pour caractériser la dérive de la valeur de la résistance de l'état RESET, des dispositifs PCRAM sont programmées dans l'état RESET et les valeurs de la résistance de cet état sont régulièrement mesurées au cours du temps. La Figure I.35 du chapitre I, mettant en évidence la dérive des valeurs de résistance de l'état RESET, présente un exemple typique de courbe obtenue grâce à cette méthode. Dans notre cas, nous modélisons les données expérimentales obtenues à l'aide de l'équation 9 [14], [15] et nous calculons les coefficients de dérive,  $\nu$ , afin de comparer les différentes options étudiées.

$$R(t) = R_0 \cdot (t/t_0)^\nu \quad (9)$$

#### Rétention de l'information

La stabilité thermique de l'état RESET est caractérisée en programmant les dispositifs dans l'état RESET puis les valeurs de résistance sont lues après environ 12 heures d'attente à température ambiante pour permettre la dérive de l'état RESET. Les échantillons sont ensuite recuits dans un four placé à haute température jusqu'à atteindre l'état SET. Régulièrement pendant le recuit, les valeurs de résistances sont mesurées à température ambiante en sortant les plaques du four. La Figure II.22 présente un exemple d'évolution de la distribution des valeurs de résistances de cellules PCRAM en fonction du temps de recuit [16]. On observe que la résistance des cellules



diminue lorsque le temps de recuit augmente signe du processus de cristallisation du matériau à changement de phase.

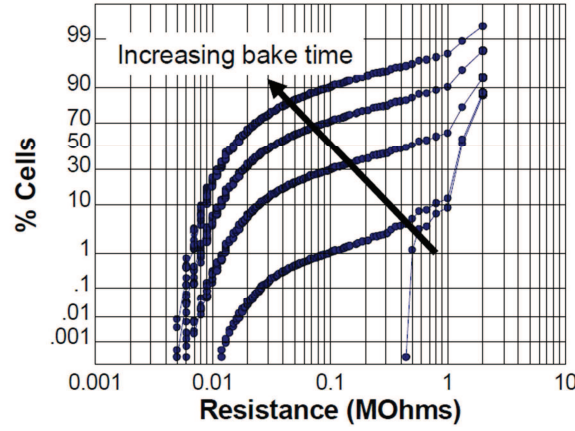


Figure II.22 : Evolution des valeurs de résistance de cellules PCRAM initialement dans l'état RESET en fonction du temps de recuit (non précisé dans le cas de cet exemple). [16]

Une valeur de résistance critique (par exemple 100 k $\Omega$ ) en dessous de laquelle les cellules ne sont plus considérées dans l'état RESET, et sont donc déclarées défaillantes, peut ainsi être définie. Les informations stockées dans ces cellules sont donc perdues. Il est alors possible de suivre l'évolution temporelle du pourcentage de cellules ayant changées d'état. Dans l'exemple de la Figure II.22, ce pourcentage est 1%, 30%, 70% et 90% pour les quatre durées de recuit étudiées. Un pourcentage critique est alors défini permettant de calculer le temps de défaillance,  $t_{FAIL}$ , de l'ensemble de la matrice mémoire. Plus ce pourcentage est faible, plus la matrice mémoire est fiable. En conséquence, le pourcentage critique imposé par le cahier des charges de l'application visée est souvent bien inférieur à 1%. Toutefois, quantifier précisément l'évolution temporelle des faibles pourcentages de cellules défaillantes, nécessite de travailler sur des matrices de grande capacité (512 kB dans l'exemple de la Figure II.22). Au cours de cette thèse, seules des dispositifs analytiques ont été étudiés. Ainsi, les mesures de rétention ont été réalisées sur quelques dizaines de dispositifs seulement, ne permettant pas d'étudier avec précision l'évolution des très faibles pourcentages de dispositifs défaillants. Nous définissons donc le temps de défaillance comme le temps nécessaire pour que 50% des dispositifs soient défaillants.

La même mesure est répétée pour différentes températures de recuit. Les temps de défaillance ainsi mesurés sont alors représentés en fonction de la température de recuit (Figure II.23) [16]. Comme on peut le voir, les données obtenues peuvent être modélisées à l'aide de l'équation 10 et l'énergie d'activation de la cristallisation,  $E_A$ , calculée. Dans l'exemple proposé, une énergie d'activation de 2,5 eV est obtenue.

$$t_{FAIL} = t_0 \cdot \exp(E_A/k_B T) \quad (10)$$

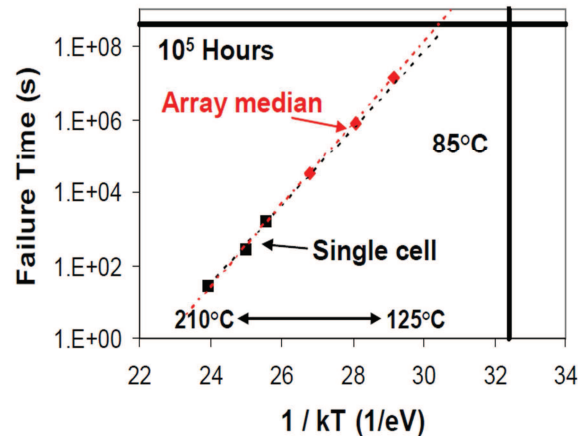


Figure II.23 : Graphe d'Arrhenius représentant le temps de défaillance des cellules PCRAM en fonction de la température de recuit et permettant de caractériser la rétention de l'information stockée dans l'état RESET des cellules PCRAM. [16]

## IV. Outils de simulation de type éléments finis des dispositifs PCRAM

Au cours de cette thèse, nous avons simulé le comportement des dispositifs PCRAM à l'aide des modules de Conception Assistée par Ordinateur pour la Technologie, ou TCAD pour "Technology Computer Aided Design", édités par Synopsys.

### IV.1 Création de la structure à simuler

Pour créer la structure du dispositif à simuler, nous avons utilisé le module Sentaurus Structure Editor (SSE) permettant de définir :

- des formes géométriques simples auxquelles on attribue un matériau et ses propriétés, afin de créer la structure à simuler. Par exemple, le pilier circulaire de nos dispositifs PCRAM est créé en définissant un cylindre auquel est associé le matériau tungstène.
- les éléments de symétrie du dispositif PCRAM. Dans notre cas, un axe de révolution confondu avec celui du pilier en tungstène est défini du fait de la symétrie cylindrique de celui-ci ainsi que de l'absence de gravure de la couche de matériau à changement de phase. Cet axe de révolution permet de réaliser des simulations de type 2D-axis au lieu de 3D réduisant ainsi considérablement les temps de calcul tout en tenant compte du caractère volumique du dispositif et notamment de la dissipation thermique dans l'ensemble des directions de l'espace.
- les électrodes électriques et thermiques qui seront utilisées pour appliquer des courants, tensions et températures au dispositif pendant la simulation.
- le maillage utilisé lors de la simulation.

La Figure II.24 présente la structure simulée des dispositifs PCRAM. La section de la structure simulée est un cercle de diamètre 4  $\mu\text{m}$  dont l'axe de révolution correspond à celui du pilier et est confondu avec l'axe des ordonnées sur cette Figure.

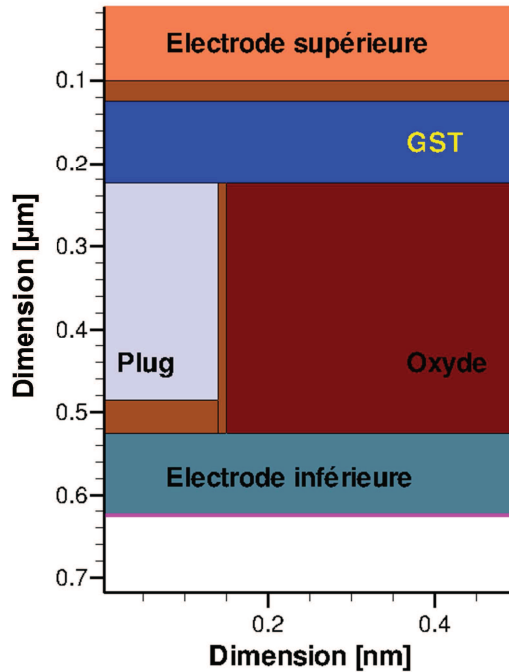


Figure II.24 : Structure utilisée pour la simulation TCAD des dispositifs PCRAM fabriqués au LETI.

## IV.2 Définition des modèles utilisés

Les modèles utilisés sont définis au sein du module Sentaurus Device (SDevice) qui inclut un modèle générique de matériau à changement de phase. Ce module est le cœur de la simulation puisqu'il contient les modèles utilisés, qu'il effectue les simulations électriques et thermiques et qu'il gère le changement de phase entre les états amorphe et cristallin. La gestion de ces transitions est assurée par un modèle dit de configuration multi-état, ou "Multi-State Configuration" (MSC), qui permet de gérer au sein d'une même maille la présence de plusieurs phases. En plus des transitions, le matériau à changement de phase est modélisé comme un semi-conducteur via un modèle thermoélectrique usuel [17], [18].

### Modèle de transition de phase

Nous avons vu dans le Chapitre I que les matériaux à changement de phases peuvent présenter trois types de phase distincts : cristallin (notée  $c$ ), amorphe (notée  $a$ ) et liquide (notée  $m$  pour "melted"). En conséquence, la simulation TCAD de dispositifs PCRAM gère ces trois phases à l'aide d'un modèle de configuration multi-état permettant de calculer la fraction volumique (notée  $S_i$  pour l'état  $i$ ) de chacun des états contenus dans une même maille. La loi de conservation de la matière impose qu'à tout

instant au sein d'une même maille de calcul la somme des fractions volumiques de chacune des phases soit égale à 1 (équation 11).

$$\sum_i S_i = 1 \quad (11)$$

Les transitions entre chacune des trois phases peuvent être représentées symboliquement de la même manière que l'échange d'électrons entre les niveaux d'énergies d'un atome (Figure II.25).

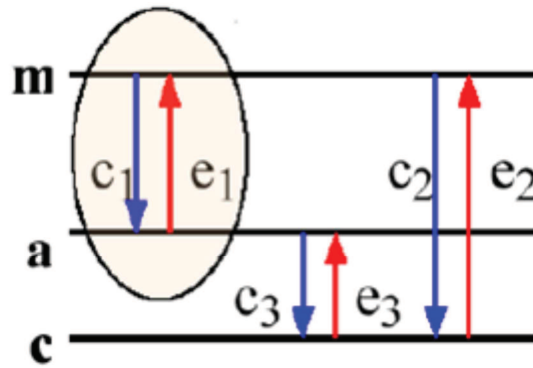


Figure II.25 : Représentation symbolique des différents états du matériau à changement de phase (m pour l'état liquide, a pour l'état amorphe et c pour l'état cristallin) et des transitions associées.

La probabilité de transition entre différentes phases est quantifiée à l'aide de taux d'émission (notés e) ou de capture (notés c). Dans le modèle utilisé, ces taux d'émission et de capture ne sont pas indépendants l'un de l'autre. Ainsi, pour le passage de l'état j à l'état i, ils sont reliés par l'équation 12.

$$\frac{e}{c} = \frac{S_j}{S_i} \quad (12)$$

Afin de calculer l'ensemble des taux de transition, le modèle utilise les équations décrites ci-dessous dans lesquelles T représente la température et  $k_B$  la constante de Boltzmann.

- Transition de l'amorphe vers le cristal :

Nous avons vu dans le Chapitre I que le passage de l'amorphe au cristal est dû à la nucléation de germes cristallins ainsi qu'à la croissance de la phase cristalline. En conséquence, ces deux mécanismes de transition sont modélisés à l'aide des équations 13, 14, 15 et 16 développés à partir de précédents travaux.

- Nucléation de germes cristallins [19], [20], [21]:

$$c_N = r_N \cdot \exp\left(-\frac{E_{AN} + \Delta G^*(T)}{k_B T}\right) \quad (13)$$

$$\Delta G^*(T) = \frac{16 \cdot \pi}{3} \cdot \frac{\gamma_{SL}^3}{\Delta G(T)^2} \quad (14)$$

Où  $r_N$  est une constante,  $\Delta G$  est l'énergie libre de volume de l'amorphe,  $\gamma_{SL}$  est l'énergie libre d'interface entre l'amorphe et le cristal et  $E_{AG}$  est l'énergie d'activation de la nucléation.

- Croissance de la phase cristalline [19] :

$$c_C = r_C \cdot \exp\left(-\frac{E_{AC}}{k_B T}\right) \cdot \left(1 - \exp\left(-\frac{\Delta G(T)}{k_B T}\right)\right) \quad (14)$$

Où  $r_C$  est une constante,  $\Delta G$  est l'énergie libre de volume de l'amorphe, et  $E_{AC}$  est l'énergie d'activation de la croissance.

- Calcul de l'énergie libre de volume de l'amorphe [19] :

$$\Delta G(T) = \begin{cases} \Delta H_2 \cdot \left(1 - \frac{T}{T_G}\right) \cdot \left(1 - \frac{\Delta H_1}{\Delta H_2} \cdot \frac{T_M - T_G}{T_M}\right) & \text{Si } T < T_G \\ \Delta H_1 \cdot \frac{T_M - T}{T_M} & \text{Si } T_G < T < T_M \\ 0 & \text{Si } T_M < T \end{cases} \quad (15)$$

Où  $T_M$  est la température de fusion du matériau à changement de phase tandis que  $T_G$  est sa température de transition vitreuse et  $\Delta H_1$  et  $\Delta H_2$  sont l'enthalpie de fusion (ou enthalpie de changement d'état solide-liquide) et la variation d'enthalpie de la transformation de la phase amorphe vers la phase cristalline, respectivement.

- Calcul des taux de capture des autres transitions :

Les taux de capture des autres transitions sont calculés à partir de lois d'Arrhenius représentées par l'équation 16 :

$$c_A = r_A \cdot \exp\left(-\frac{E_{AA}}{k_B T}\right) \quad (16)$$

Où  $E_{AA}$  est l'énergie d'activation de la transition et  $R_A$  est une constante.

A l'aide des équations précédentes nous avons mis en évidence la dépendance du changement de phase à la température. En conséquence, pour simuler des dispositifs PCRAM, un modèle thermique doit être utilisé.

#### Modèle thermique du matériau à changement de phase

Dans le modèle thermique utilisé, les porteurs sont supposés en équilibre thermique avec la phase dans laquelle ils évoluent, c'est-à-dire que le matériau (en un point donné) et les porteurs en ce point sont à la même température. L'équation régissant le comportement thermique du matériau et permettant de calculer le profil de température en son sein est :

$$C \cdot \frac{\partial T}{\partial t} - \nabla(\kappa \cdot \nabla T) = Q \quad (17)$$

Où  $T$  est la température,  $C$  et  $\kappa$  sont la capacité et la conductivité thermique, respectivement tandis  $Q$  est la puissance locale créée par effet Joule. En conséquence, pour résoudre cette équation, il est nécessaire de calculer la puissance créée par effet Joule à l'aide d'un modèle électrique.

#### Modèle électrique du matériau à changement de phase

Comme indiqué précédemment le GST est décrit comme un semi-conducteur de type p au sein duquel le transport est assuré majoritairement par des trous. Une concentration de pièges au voisinage de la bande de valence est utilisée pour donner au GST ce comportement de type p. Cette concentration de pièges est un paramètre du modèle qui est ajustable et permet de modifier le niveau de Fermi du GST. Par ailleurs, le transport au sein du GST est décrit par le modèle de dérive-diffusion. Enfin la conductivité du matériau et la densité de porteurs présents dans le matériau sont fortement dépendantes de la phase.

Pour modéliser la dépendance de la densité de porteurs et de leur mobilité à la phase du matériau, on modifie la mobilité des porteurs en fonction de la phase (équation 18) et la densité de porteurs est ajustée dans chaque phase par le biais d'un facteur  $\Lambda$  appelé "band edge shift", l'expression de la densité de trous,  $p$ , devient alors :

$$p = N_V \cdot F_{1/2}(E_V - E_{FP} - \Lambda) \quad (18)$$

Où  $N_V$  est la densité d'état effective,  $E_V$  l'énergie de la bande de valence,  $E_{FP}$  est le quasi-niveau de Fermi lié aux trous,  $F_{1/2}$  est l'intégrale de Fermi d'ordre 1/2 et où la valeur globale de  $\Lambda$  est obtenue à partir des valeurs de chacune des phases en présence :

$$\Lambda = \sum_i \Lambda_i(T) \cdot S_i \quad (19)$$

Pour une phase donnée, le paramètre  $\Lambda_i(T)$  est calculé par le jeu d'équations :

$$\Lambda_i(T) = \begin{cases} \lambda_0 \cdot \frac{T_G - T}{T_G - T_0} \cdot (1 - S_C) & \text{Si } T < T_G \\ 0 & \text{Si } T > T_G \end{cases} \quad (20)$$

Où  $\lambda_0$  est la différence de gap entre la phase amorphe et la phase cristalline (qui vaut 0,2 eV dans le cas du GST),  $T_0$  est la température de référence (ici 300K) et  $T_G$  est la température de transition vitreuse du matériau à changement de phase.

De la même manière que la densité de porteurs dépend de la phase du matériau, les mobilités des trous et des électrons dépendent également de la phase dans laquelle se trouve le matériau. L'équation qui permet de modéliser cette dépendance est :

$$\mu(T) = S_C \cdot \mu_c(T) + (1 - S_C) \cdot \mu_a(T) \quad (21)$$

Où  $\mu(T)$  est la mobilité des trous (électrons),  $S_C$  est la fraction volumique cristalline et où  $\mu_c$  et  $\mu_a$  sont les mobilités des trous (électrons) dans la phase amorphe et cristalline respectivement.

Maintenant que nous avons explicité le calcul de la densité de porteurs ainsi que la mobilité de ces porteurs dans chacune des phases en présence, nous allons pouvoir expliciter les équations qui régissent le transport dans le matériau à changement de phase.

Comme nous l'avons déjà indiqué dans le Chapitre I, le GST et plus largement les matériaux chalcogénures présentent une propriété de transition électronique. Dans Sentauros Device, cette transition est modélisée par une compétition entre la génération par un processus d'avalanche de type Okuto-Crowell et la recombinaison des porteurs. Au-delà, d'un champ électrique seuil, le phénomène de génération par avalanche devient prépondérant devant la recombinaison, permettant ainsi d'augmenter significativement le nombre de porteurs et donc la conductivité du GST amorphe. Dans la modélisation du GST cristallin, le modèle d'avalanche est toujours présent, toutefois ses effets sont moins sensibles car le nombre de porteurs présents dans le GST cristallin est prépondérant devant le nombre de porteurs générés par le phénomène d'avalanche. L'équation modélisant le terme de génération est :

$$G = \alpha_n(E) \cdot n \cdot v_n + \alpha_p(E) \cdot p \cdot v_p \quad (22)$$

Où  $n$  et  $p$  sont les densités de porteurs (électrons et trous respectivement) tandis que  $\alpha_{n,p}$  sont les coefficients d'ionisation qui dépendent du champ électrique  $E$  :



$$\alpha_{n,p}(E) = a \cdot (1 + c \cdot (T - T_0)) \cdot \|E\|^\gamma \cdot \exp\left(-\frac{b \cdot (1 + d \cdot (T - T_0))}{\|E\|}\right) \quad (23)$$

Où a, b, c, d et  $\gamma$  sont des constantes.

Maintenant que nous avons explicité le calcul de la transition électronique, nous allons décrire les équations qui régissent le comportement électrique du matériau à changement de phase. Le problème à résoudre est constitué de l'équation de Poisson d'une part et des équations de continuité pour les électrons et les trous d'autre part.

$$\nabla(\epsilon \cdot \nabla \Phi) = -e \cdot (p - n + N_D - N_A) \quad (24)$$

Où p et n sont les densités de trous et d'électrons respectivement,  $N_D$  et  $N_A$  sont le dopage en donneurs et accepteurs respectivement tandis que  $\Phi$  est le potentiel électrique et  $\epsilon$  la permittivité absolue du matériau et e la charge élémentaire. Enfin, les équations de continuité des électrons et des trous sont données par :

$$\text{Pour les électrons : } \frac{\partial n}{\partial t} - \frac{1}{e} \cdot \nabla \vec{J}_n + e \cdot R_{NET} = 0 \quad (25)$$

$$\text{Pour les trous : } \frac{\partial p}{\partial t} + \frac{1}{e} \cdot \nabla \vec{J}_p + e \cdot R_{NET} = 0 \quad (26)$$

Où  $R_{NET}$  correspond à la génération nette de porteurs, c'est-à-dire le terme de génération de type Okuto-Crowell moins le terme de recombinaison, et où  $J_n$  et  $J_p$  correspondant aux densités de courant d'électrons et de trous, respectivement. Comme indiqué précédemment, celles-ci sont calculées à l'aide d'un modèle de dérive-diffusion usuel :

$$\text{Pour les électrons : } \vec{J}_n = e \cdot \mu_n \cdot n \cdot \vec{E} + e \cdot D_n \cdot \nabla n \quad (27)$$

$$\text{Pour les trous : } \vec{J}_p = e \cdot \mu_p \cdot p \cdot \vec{E} - e \cdot D_p \cdot \nabla p \quad (28)$$

En couplant, l'ensemble des équations précédentes, il est possible de simuler le comportement électrique et thermique du matériau à changement de phase ainsi que les transitions de phase se produisant au sein de celui-ci. Pour permettre cela, il est maintenant nécessaire de définir les simulations à effectuer et à exploiter les résultats à l'aide du module Inspect.

### IV.3 Définition de la simulation et exploitation des résultats

La simulation à effectuer est définie au sein du module Sentaurus Device. Les dispositifs PCRAM étant programmés par des impulsions électriques, les simulations

## Fabrication, caractérisation et simulation de dispositifs PCRAM

effectuées sont dynamiques, on parle alors de simulation de type “transient”. Pour cela, des impulsions électriques similaires à celles utilisées lors de la mesure des caractéristiques R-I sont appliquées sur le dispositif PCRAM. Ainsi, l’électrode inférieure du dispositif est reliée à la masse tandis que l’électrode supérieure est polarisée positivement. Pendant l’application des impulsions, le matériau à changement de phase est simulé à l’aide des modèles décrits dans le paragraphe IV.2 précédent. A la suite de chacune des impulsions, l’état de la cellule est déterminé à l’aide d’une impulsion électrique d’amplitude 0,1 V permettant de reproduire la lecture à champ électrique faible effectuée lors de la caractérisation des dispositifs PCRAM. Lors de l’ensemble des simulations effectuées, la température aux limites du dispositif est fixée à 300 K.

Une fois les différentes simulations effectuées, le module Inspect, dont le rôle est de post-traiter les résultats des simulations, est utilisé. Par exemple, celui-ci permet de tracer des représentations graphiques de chacune des variables simulées. Ce module permet également de calculer de nouvelles variables en fonction de celles définies initialement, ainsi nous calculons la résistance du dispositif en utilisant les variables simulées courant et tension.

A l’aide de ces différents modèles, il est possible de reproduire le comportement de cellules PCRAM ainsi que les caractéristiques R-I, R-V et I-V associées (Figure II.26) [22].

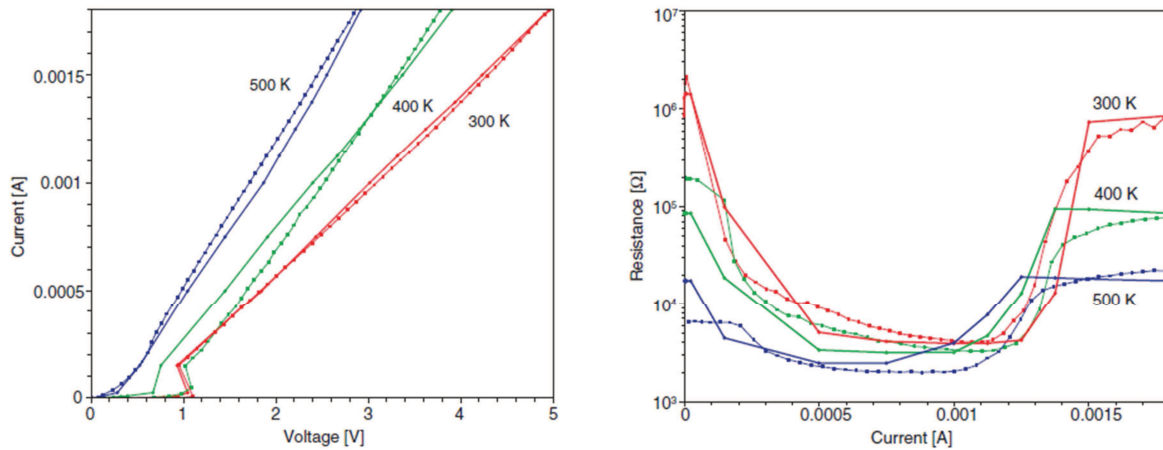


Figure II.26 : Comparaison entre les caractéristiques I-V et R-I des cellules PCRAM réelles et simulées. Les points correspondent aux mesures effectuées et les lignes représentent la simulation. [22]

## Conclusion du Chapitre II

Au cours de ce Chapitre, nous avons présenté l'ensemble des procédures expérimentales utilisées au cours de cette thèse. Plus précisément, nous avons détaillé les étapes du procédé de fabrication utilisé au LETI pour obtenir des dispositifs PCRAM de type 1R et de structure “plug”. Nous avons également présenté la technique de dépôt par pulvérisation du matériau à changement de phase ainsi que les techniques utilisées pour le caractériser tant du point de vue de sa composition que du point de vue de ses propriétés de cristallisation. Nous avons également décrit comment nous caractérisons les performances électriques des dispositifs PCRAM étudiés et notamment comment nous mesurons les caractéristiques R-I, R-V et I-V ainsi que les propriétés de rétention. Enfin, les outils de simulation TCAD utilisées pour la simulation des dispositifs PCRAM sont présentés.

Nous avons maintenant à notre disposition l'ensemble des outils permettant de caractériser les principales performances des dispositifs PCRAM étudiés au cours de cette thèse. Nous pouvons ainsi évaluer la pertinence des solutions proposées pour améliorer les différentes faiblesses de la technologie PCRAM, notamment en ce qui concerne la rétention de l'information à haute température et la réduction des courants de programmation. De plus, nous avons mis en place les principaux outils de caractérisation physico-chimique et de simulation permettant d'interpréter et de comprendre l'effet de ces solutions.

## Bibliographie

- [1] J. Mayer, L. A. Giannuzzi, T. Kamino et J. Michael, «TEM sample preparation and FIB-induced damage,» *MRS Bulletin*, vol. 32, pp. 400-407, 2007.
- [2] B. Rajendran, M.-H. Lee, M. Breitwisch, G. W. Burr, Y.-H. Shih, R. Cheek et al., «On the dynamic resistance and reliability of phase change memory,» *Symp. VLSI Tech.*, pp. 96-97, 2008.
- [3] J. W. Christian, «The theory of transformations in metals and alloys,» 1975.
- [4] K. F. Kelton, H. Ehrenreich et D. Turnbull, «Crystal nucleation in liquids and glasses,» *Solid State Physics*, vol. 45, pp. 75-177, 1991.
- [5] O. Penrose, «The Becker-Dring equations for the kinetics of phase transitions,» 2001.
- [6] D. Turnbull et J. C. Fisher, «Rate of nucleation in condensed systems,» *J. Chem. Phys.*, vol. 17, pp. 71-73, 1949.
- [7] J. W. Gibbs, «The scientific papers of J. Willard Gibbs,» 1961.
- [8] E. Morales-Sanchez, E. F. Prokhorov, J. Gonzalez-Hernandez et A. Mendoza-Galvan, «Structural, electric and kinetic parameters of ternary alloys of GeSbTe,» *Thin Film Solids*, vol. 471, pp. 243-247, 2005.
- [9] D. Z. Hu, X. M. Lu et J. S. Zhu, «Study on the crystallization by an electrical resistance measurement in Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> and N-doped Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> films,» *J. Appl. Phys.*, vol. 102, pp. 113507.1-113507.4, 2007.
- [10] I. Friedrich, V. Weidenhof, W. Njoroge, P. Franz et M. Wuttig, «Structural transformations of Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> films studied by electrical resistance measurements,» *J. Appl. Phys.*, vol. 87, pp. 4130-4134, 2000.
- [11] H. E. Kissinger, «Reaction kinetics in differential thermal analysis,» *Anal. Chem.*, vol. 29, pp. 1702-1706, 1957.
- [12] S. Braga, N. Pashkov, L. Perniola, A. Fantini, A. Cabrini, G. Torelli et al., «Effects of alloy composition on multilevel operation in self-heating phase-change memories,» *Proc. Int. Memory Workshop*, pp. 1-4, 2011.
- [13] H. Y. Cheng, T. H. Hsu, S. Raoux, J. Wu, P. Y. Du, M. Breitwisch et al., «A high performance phase change memory with fast switching speed and high temperature retention by engineering the GexSbyTez phase change material,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 3.4.1-3.4.4, 2011.
- [14] M. Boniardi, D. Ielmini, S. Lavizzari, A. L. Lacaita, A. Redaelli et A. Pirovano, «Statistics of resistance drift due to structural relaxation in phase-change memory arrays,» *Trans. Elec. Dev.*, vol. 57, pp. 2690-2696, 2010.

- [15] M. Boniardi, A. Redaelli, A. Pirovano, I. Tortorelli, D. Ielmini et F. Pellizzer, «A physics-bases model of electrical conduction decrease with time in amorphous  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,» *J. Appl. Phys.*, vol. 105, pp. 084506.1-084506.5, 2009.
- [16] B. Gleixner, A. Pirovano, J. Sarkar, F. Ottogalli, E. Tortorelli, M. Tosi et R. Bez, «Data retention characterization of phase-change memory arrays,» *Proc. Int. Reliability Phys. Symposium*, pp. 542-546, 2007.
- [17] Synopsys, Sentaurus device user guide - Version H-2013.03, 2013.
- [18] B. Schmithusen, P. Tikhomirov et E. Lyumkis, «Phase-change memory simulations using an analytical phase space model,» *Proc. Int. Conf. Simulation Semiconductor Processes and Dev.*, pp. 57-60, 2008.
- [19] C. Peng, L. Cheng et M. Mansuripur, «Experimental and theoretical investigations of laser-induced crystallization and amorphization in phase-change optical recording media,» *J. Appl. Phys.*, vol. 82, pp. 4183-4191, 1997.
- [20] S. Senkader et C. D. Wright, «Models for phase-change of  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  in optical and electrical memory devices,» *J. Appl. Phys.*, vol. 95, pp. 504-511, 2003.
- [21] D.-H. Kim, F. Merget, M. Först et H. Kurz, «Three-dimensional simulation model of switching dynamics in phase change random access memory,» *J. Appl. Phys.*, vol. 101, pp. 064512.1-064512.12, 2007.
- [22] Synopsys, «Calibrating TCAD Models with Ovonyx Phase-Change Memory Cell,» 2010.

## Chapitre III

# Amélioration des performances électriques des dispositifs mémoires PCRAM à base de GST par ajout d'une couche diélectrique d'interface

### Résumé du Chapitre III

Dans ce Chapitre, nous montrons que l'ajout d'une fine couche diélectrique en  $\text{HfO}_2$  entre le pilier en tungstène et la couche de GST d'un dispositif PCRAM permet d'en améliorer considérablement certaines performances électriques. Nous montrons notamment que cela permet d'en réduire les courants de programmation et la consommation électrique mais également d'en augmenter la rétention de l'information à haute température et de permettre, grâce à une méthode innovante, de conserver l'information pendant l'étape de soudure d'une matrice mémoire sur une carte électronique (Paragraphe II). Dans le Paragraphe III, nous expliquons la réduction des courants de programmation et de la consommation électrique de ces dispositifs par la formation d'un chemin conducteur de section réduite lors de l'étape initiale de claquage de la couche de  $\text{HfO}_2$ . Enfin dans le Paragraphe IV, nous cherchons à expliquer l'amélioration de la rétention de l'information à haute température.



## Table des matières

I. Intérêt de l'ajout d'une fine couche diélectrique d'interface entre le GST et le pilier en tungstène.....	119
I.1 Amélioration de l'adhérence du matériau GST.....	119
I.2 Réduction des courants de programmation.....	120
I.3 Problématique de l'étude .....	121
II. Impact d'une couche d'interface en $\text{HfO}_2$ sur les performances électriques de dispositifs PCRAM .....	121
II.1 Description des dispositifs PCRAM étudiés.....	121
II.2 Performances des dispositifs PCRAM intégrant une couche diélectrique d'interface en $\text{HfO}_2$ .....	124
II.2.1 Etape initiale de claquage .....	124
II.2.2 Réduction des courants de programmation et de la consommation électrique	129
II.2.3 Rapidité de programmation .....	131
II.2.4 Endurance et fenêtre de programmation.....	131
II.2.5 Stabilité temporelle et thermique de l'état RESET .....	133
II.2.6 Intérêt pour le pré-stockage d'informations.....	134
II.2.7 Conclusion.....	138
III. Lien entre le claquage de la couche de $\text{HfO}_2$ et la consommation électrique du dispositif..	139
III.1 Possibilité de création de chemins conducteurs .....	139
III.2 Impact de la limitation en courant imposée par la résistance série.....	141
III.3 Impact de la capacité parasite .....	142
III.4 Estimation de la taille des chemins conducteurs.....	146
III.5 Exploration de divers matériaux diélectriques d'interface .....	149
IV. Impact de l'ajout d'une couche d'interface diélectrique sur la cristallisation des matériaux à changement de phase .....	151
Conclusion du Chapitre III.....	155
Bibliographie .....	156





## I. Intérêt de l'ajout d'une fine couche diélectrique d'interface entre le GST et le pilier en tungstène

Nous avons vu dans le chapitre I, que les courants de programmation élevés nécessaires au fonctionnement des cellules PCRAM constituent un des points critiques de cette technologie et que de nombreuses solutions ont été développées afin de les réduire. Une de ces solutions consiste à optimiser la structure des cellules PCRAM car celle-ci permet de contrôler le comportement thermique de la couche à changement de phase. Ainsi, nous nous intéressons ici à l'amélioration de la structure des dispositifs PCRAM LETI par l'ajout d'une fine couche d'oxyde d'interface.

### I.1 Amélioration de l'adhérence du matériau GST

Il a été reporté que des problèmes de décollement (ou délamination) du matériau à changement de phase, dus à la faible adhérence de celui-ci sur l'oxyde sur lequel il est majoritairement déposé, apparaissent lors de la fabrication des cellules PCRAM (Figure III.1) [1], [2]. Ces zones de décollement fragilisent la cellule et peuvent se propager jusqu'au niveau du contact électrique à l'interface entre le pilier et le matériau à changement de phase, entraînant une défaillance prématurée de la cellule mémoire. Ces études montrent que l'adhérence entre le matériau à changement de phase et l'oxyde est améliorée par l'ajout d'une couche diélectrique d'interface entre ces deux matériaux limitant ainsi l'apparition de zones de décollement. Par exemple, il a été reporté que l'ajout d'une couche diélectrique d'épaisseur 3 nm en  $\text{Ta}_2\text{O}_5$  permet de supprimer la formation des zones de décollement lors de la fabrication de la cellule PCRAM (Figure III.1) [1].

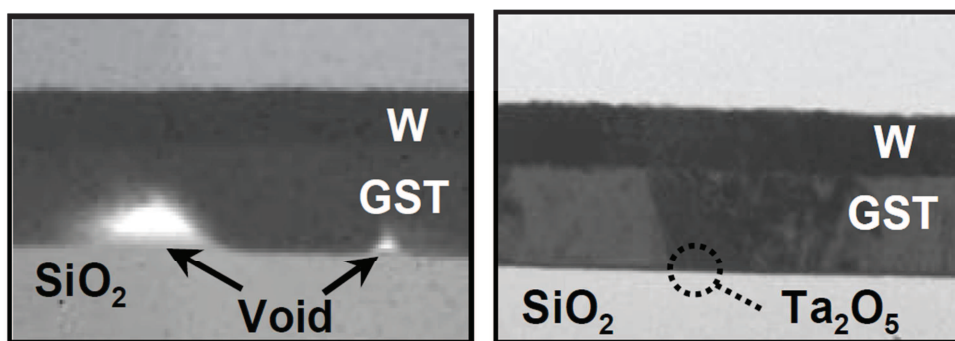


Figure III.1 : Vues en coupe, obtenues par la technique d'imagerie TEM, d'une couche de GST déposée sur  $\text{SiO}_2$  (gauche) ou sur  $\text{Ta}_2\text{O}_5$  (droite). Dans ce second cas aucun décollement n'est visible. [1]

## I.2 Réduction des courants de programmation

Lorsqu'une couche diélectrique d'interface est ajoutée entre le matériau à changement de phase et le pilier, il existe plusieurs façons pour le courant de traverser la cellule PCRAM et ainsi permettre son fonctionnement. Certaines publications reportent que le courant traverse la couche diélectrique par effet tunnel [1] tandis que d'autres publications reportent que des chemins conducteurs doivent être créés à travers la couche d'interface pour permettre le passage du courant [3].

Dans le premier cas, le courant peut donc traverser la cellule sur l'ensemble de la section du pilier. Or, les matériaux diélectriques étudiés ayant une conductivité thermique inférieure à celle du matériau utilisé pour fabriquer le pilier, les pertes d'énergie thermique par le pilier sont réduites [1], [4]. Ainsi à énergie électrique constante, il a été montré que la température atteinte au sein du matériau à changement de phase est supérieure lorsqu'une couche diélectrique est utilisée (Figure III.2). Il faut donc moins de courant pour atteindre la température de fusion du GST et donc écrire la cellule PCRAM. Les courants de programmation de cellules PCRAM intégrant une fine couche d'interface diélectrique sont donc réduits par rapport à ceux des cellules PCRAM de référence. En conséquence, lorsque le courant traverse la couche diélectrique par effet tunnel, il semble que la réduction des courants de programmation soit principalement due à une amélioration de l'efficacité thermique de la cellule.

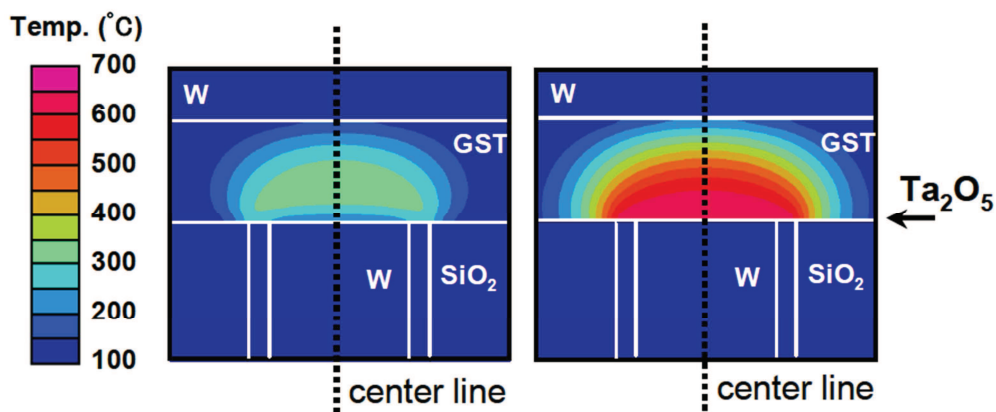


Figure III.2 : Profil de température au sein d'une cellule PCRAM pour un courant de programmation de 100  $\mu\text{A}$  sans (gauche) et avec (droite) une couche d'interface en  $\text{Ta}_2\text{O}_5$ . [1]

Dans le second cas, la section des chemins conducteurs créés est inférieure à celle du pilier permettant ainsi de réduire la taille de la zone active et donc les courants nécessaires au fonctionnement de la cellule [3].

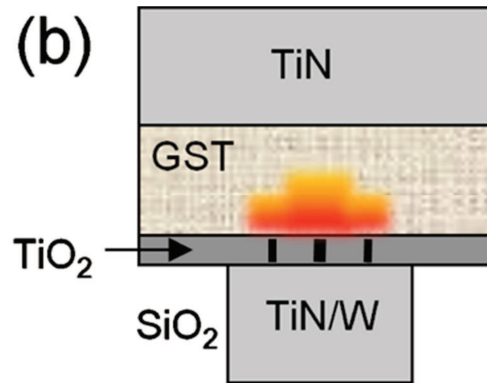


Figure III.3 : Schéma de principe d'une cellule PCRAM utilisant une couche diélectrique en  $\text{TiO}_2$  pour réduire les courants de programmation. [3]

### I.3 Problématique de l'étude

L'ajout d'une fine couche de matériau diélectrique entre le pilier et le matériau à changement de phase semble donc permettre d'améliorer certaines performances de la cellule PCRAM et notamment d'en réduire les courants de programmation. Toutefois, à notre connaissance, aucune étude complète de l'impact de cette couche diélectrique d'interface sur l'ensemble des performances électriques de cellules PCRAM n'a été réalisée et aucun lien entre les paramètres de cette couche et les performances de la cellule n'a été présenté. La problématique de notre étude est donc la suivante :

- Quel est l'impact de la couche diélectrique sur les performances des cellules PCRAM ?
- Est-il nécessaire de créer des chemins conducteurs à travers la couche diélectrique ? Si oui, comment ?
- Comment optimiser la couche de matériau diélectrique pour réduire le plus possible les courants de programmation des cellules PCRAM ?

## II. Impact d'une couche d'interface en $\text{HfO}_2$ sur les performances électriques de dispositifs PCRAM

### II.1 Description des dispositifs PCRAM étudiés

Les dispositifs PCRAM à base de GST étudiés ici sont fabriqués en suivant le procédé de fabrication décrit dans le paragraphe I du Chapitre II. Toutefois, pour certains dispositifs, une couche de  $\text{HfO}_2$  a été déposée juste avant le dépôt du matériau GST. Afin de contrôler précisément l'épaisseur de la couche déposée, ce dépôt est réalisé par la méthode de dépôt en couche atomique, ou ALD pour "Atomic Layer Deposition" [5]. Dans notre cas, ce dépôt est réalisé à  $350^\circ\text{C}$ , les précurseurs gazeux utilisés sont  $\text{HfCl}_4$

et  $\text{H}_2\text{O}$  et la réaction chimique de formation de l'oxyde  $\text{HfO}_2$  est donnée par l'équation 1 :



Afin de déposer de manière contrôlée des couches de quelques nanomètres d'épaisseur, il est nécessaire de connaître la vitesse de dépôt de l'oxyde  $\text{HfO}_2$ . Pour cela, trois couches de  $\text{HfO}_2$  d'épaisseur inconnue ont été déposées pleine tranche sur un film de tungstène en utilisant les conditions de procédé décrites précédemment. Les épaisseurs des couches de  $\text{HfO}_2$  ainsi obtenues, ont été mesurées à l'aide de la méthode de réflexion de rayons X, ou XRR pour "X-Ray Reflectivity". Cette méthode consiste à envoyer, sous une faible incidence, un faisceau de rayons X sur la surface à caractériser et à mesurer le faisceau réfléchi afin d'obtenir un diagramme de réflexion (Figure III.4). Celui-ci présente des franges d'interférences, appelées franges de Kiessig, dont la période est directement liée à l'épaisseur de la couche étudiée qui peut ainsi être calculée. La Figure III.5 reporte les épaisseurs des trois couches de  $\text{HfO}_2$  déposées en fonction du nombre de cycles élémentaires effectués pendant le dépôt. La vitesse de dépôt de l'oxyde  $\text{HfO}_2$  sur tungstène est donc de 0,045 nm par cycle élémentaire. Nous pouvons ainsi déposer précisément les épaisseurs de  $\text{HfO}_2$  souhaitées.

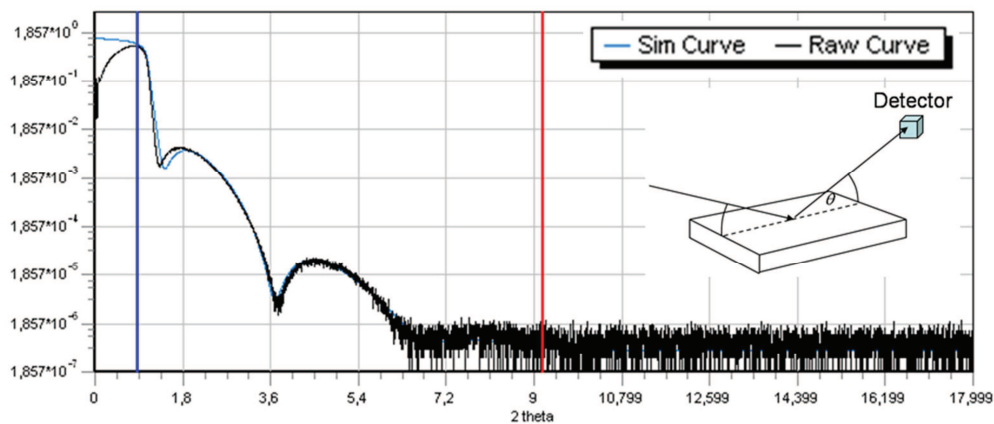


Figure III.4 : Diagramme de réflexion d'une couche de  $\text{HfO}_2$  d'épaisseur 3 nm en fonction de l'angle d'émergence du faisceau de rayons X.

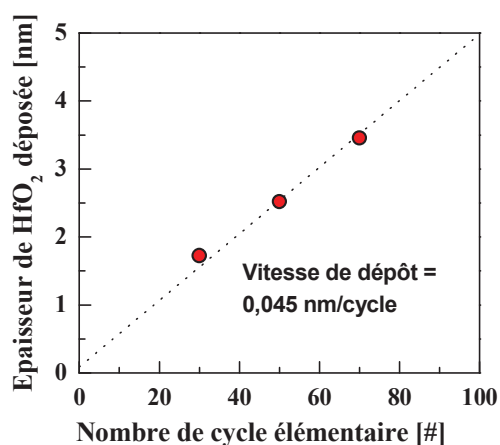


Figure III.5 : Évolution de l'épaisseur de la couche d'oxyde  $\text{HfO}_2$  déposée sur tungstène par la méthode ALD en fonction du nombre de cycles élémentaires effectués.

Pour cette étude, différents dispositifs PCRAM ont été fabriqués. Des dispositifs sans aucune couche diélectrique ont été fabriqués pour servir de dispositifs de référence tandis que divers couches de  $\text{HfO}_2$  ont été intégrées au sein d'autres dispositifs. La Figure III.6 et le Tableau III.1 résument les différents types de dispositifs à notre disposition. Une vue en coupe, obtenue par la technique d'imagerie TEM, d'un dispositif PCRAM intégrant une couche de  $\text{HfO}_2$  d'épaisseur 8 nm est également présentée sur la Figure III.7.

Tableau III.1 : Récapitulatif des dispositifs initialement à notre disposition.

		Épaisseur de $\text{HfO}_2$			
		0 nm	3 nm	5 nm	8 nm
Épaisseur de GST	0 nm	BEC-TEC de référence	BEC-TEC	BEC-TEC	BEC-TEC
	100 nm	PCRAM de référence	PCRAM	PCRAM	PCRAM

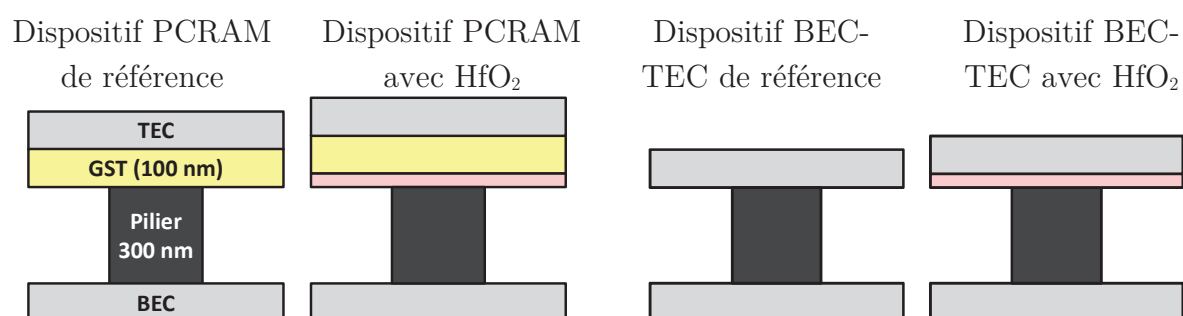


Figure III.6 : Schéma de principe des quatre types de dispositifs à notre disposition. En gris clair, les électrodes supérieures et inférieures ; en gris foncé, le pilier en tungstène; en jaune la couche de GST et en rose la couche diélectrique en  $\text{HfO}_2$ .

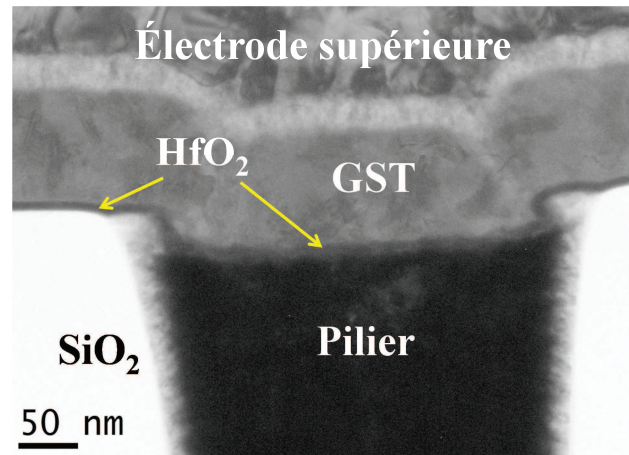


Figure III.7 : Vue en coupe, obtenue par la technique d'imagerie TEM d'un dispositif PCRAM intégrant une couche d'épaisseur 8 nm en HfO<sub>2</sub> entre le GST et le pilier en tungstène.

## II.2 Performances des dispositifs PCRAM intégrant une couche diélectrique d'interface en HfO<sub>2</sub>

### II.2.1 Etape initiale de claquage

Nous avons mesuré la résistance initiale des dispositifs PCRAM et nous avons reporté sur la Figure III.8 le pourcentage cumulé de dispositifs en fonction de la résistance initiale des dispositifs. Pour les dispositifs ne contenant pas de couche d'interface, cette résistance est de l'ordre de 330  $\Omega$ , ce qui correspond à une résistivité d'environ 200  $\mu\Omega.m$  en accord avec la résistivité du GST cristallin dans la phase CFC. Pour les dispositifs intégrant une couche d'interface diélectrique, la résistance initiale du dispositif est beaucoup plus élevée, supérieure à 10<sup>9</sup>  $\Omega$ . Avec des résistances aussi élevées, on ne peut pas appliquer la procédure de test standard décrite dans le paragraphe III.2 du Chapitre II pour obtenir les caractéristiques R-I, R-V et I-V de ces dispositifs. En effet, en se limitant à des valeurs de tensions usuelles (<10V), le courant traversant le dispositif n'est pas suffisant pour permettre le changement de phase du GST. Il est donc indispensable d'effectuer une étape préliminaire afin de rendre plus conductrice la couche diélectrique.

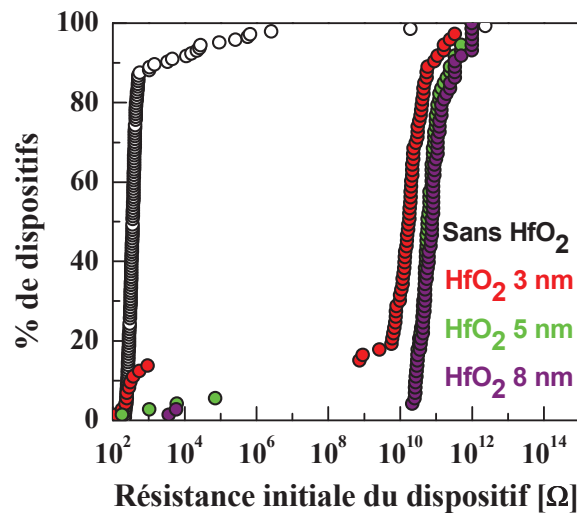


Figure III.8 : Résistance initiale des dispositifs PCRAM avec et sans couche de  $\text{HfO}_2$ .<sup>1</sup>

Dans la littérature, plusieurs manières de rendre conductrices des couches diélectriques ont été reportées. La plupart repose sur l'application d'une tension (ou d'un champ électrique) sur la couche diélectrique afin d'atteindre le claquage, caractérisé par une augmentation brutale du courant la traversant. Pour réaliser le claquage, deux méthodes sont à distinguer. La première consiste à appliquer une tension constante sur la couche diélectrique jusqu'à en obtenir le claquage. Plus la tension (ou le champ électrique) appliquée est faible, plus le temps d'application de la tension nécessaire pour obtenir le claquage est élevé (Figure III.9) [6].

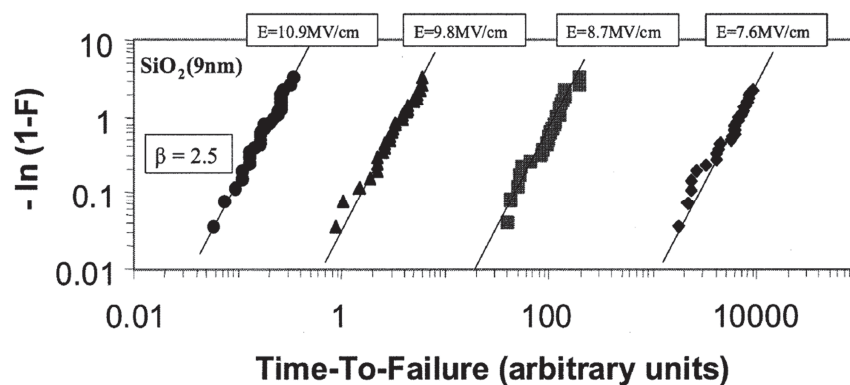


Figure III.9 : Temps au claquage d'une couche de  $\text{SiO}_2$  d'épaisseur 9 nm pour divers champs électriques appliqués. [6]

La seconde méthode consiste à appliquer pendant une durée limitée, des tensions de plus en plus élevées jusqu'à obtenir le claquage diélectrique (Figure III.10) [7]. Cela peut être obtenu soit en appliquant une rampe croissante de tension soit en appliquant une succession d'impulsions de tension d'amplitude croissante.

<sup>1</sup> La statistique présentée correspond à 73 dispositifs.



De manière générale, les paramètres principaux du claquage sont la durée d'application de la tension ainsi que la valeur du champ électrique (ou de la tension). Ces paramètres dépendent de la couche diélectrique à claquer et notamment de son épaisseur, de l'aire de contact et de la permittivité diélectrique du matériau (Figures III.11 et III.12).

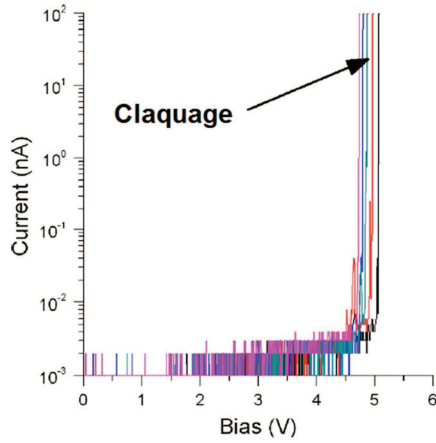


Figure III.10 : Caractéristiques I-V d'une couche de HfO<sub>2</sub> déposée sur TiN obtenues à l'aide d'un AFM conducteur. [7]

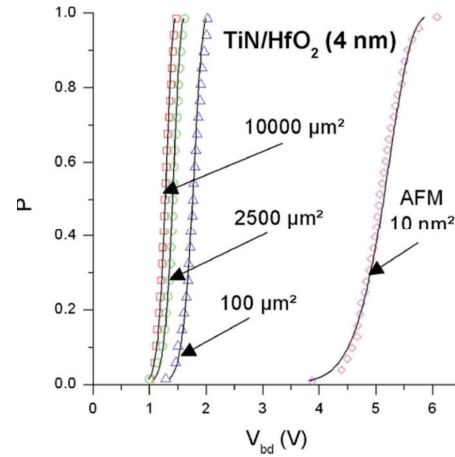


Figure III.11 : Comparaison des probabilités cumulées de claquage en fonction de la tension au claquage d'une couche de HfO<sub>2</sub> déposée sur TiN pour différentes aires de contact. [7]

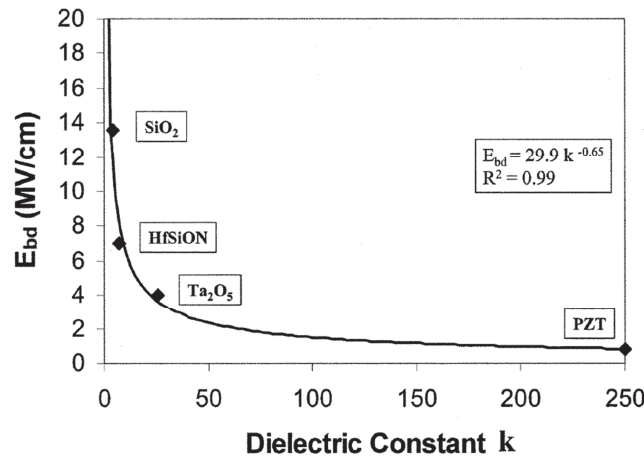


Figure III.12 : Évolution du champ au claquage des matériaux en fonction de la constante diélectrique relative. [6]

Pour réaliser le claquage des couches diélectriques en HfO<sub>2</sub>, nous avons choisi d'appliquer sur le dispositif PCRAM, une rampe quasi-statique de tension permettant ainsi de mesurer précisément la tension au claquage de chaque dispositif. Le banc de mesure utilisé est constitué d'un analyseur de paramètres Hewlett-Packard 4156 auquel les dispositifs PCRAM sont connectés via des SMU. Une résistance interchangeable est placée en série avec le SMU responsable de l'application de la rampe de tension.

## Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

Afin d'étudier en détail le claquage des couches de  $\text{HfO}_2$ , la procédure de claquage quasi-statique est appliquée d'abord sur les dispositifs BEC-TEC. La Figure III.13 présente l'évolution, en fonction de la tension, de la résistance des dispositifs BEC-TEC intégrant une couche de 3 nm de  $\text{HfO}_2$  sur un pilier de 300 nm de diamètre. Initialement la résistance des dispositifs est élevée ( $>10^9 \Omega$ ) puis lorsque la tension augmente, une diminution progressive de la résistance est observée. Lorsque la tension atteint une valeur critique (environ 3,2 V), la couche de  $\text{HfO}_2$  claque, ce qui se caractérise par une diminution brutale de la résistance du dispositif. Ainsi, il est possible de mesurer la tension au claquage de chacun des dispositifs (Figure III.14).

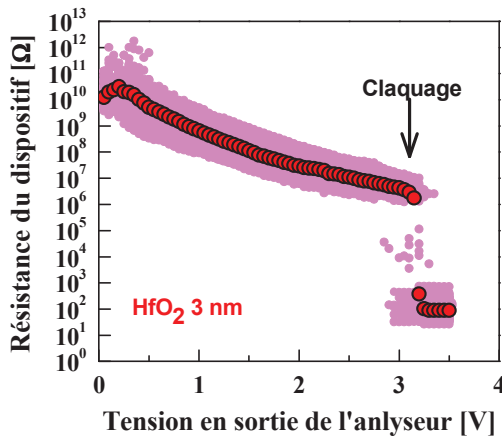


Figure III.13 : Résistance des dispositifs BEC-TEC intégrant une couche de  $\text{HfO}_2$  d'épaisseur 3 nm en fonction de la tension en sortie de l'analyseur de paramètres.<sup>1</sup>

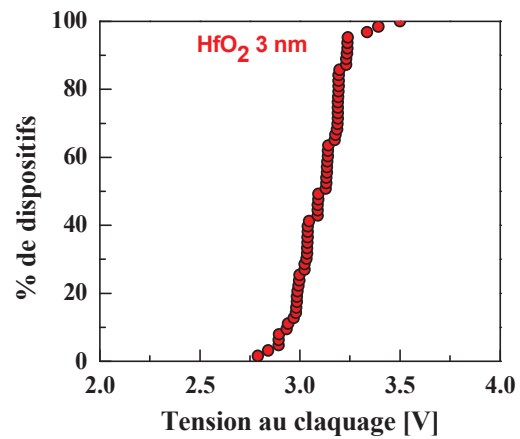


Figure III.14 : Tension au claquage des dispositifs BEC-TEC intégrant une couche de  $\text{HfO}_2$  d'épaisseur 3 nm.<sup>2</sup>

En appliquant la même méthode quel que soit le diamètre du pilier et l'épaisseur de la couche de  $\text{HfO}_2$ , la tension au claquage des différents types de dispositifs BEC-TEC a été mesurée (Figure III.15). Celle-ci augmente avec l'épaisseur de la couche de  $\text{HfO}_2$  et diminue lorsque l'aire du pilier augmente.

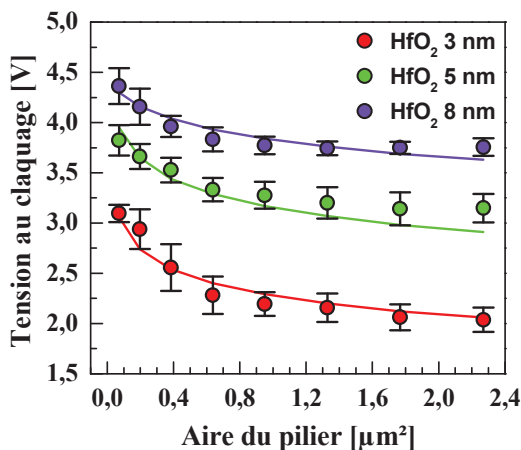


Figure III.15 : Tension au claquage de la couche de  $\text{HfO}_2$  des dispositifs BEC-TEC en fonction de l'épaisseur de  $\text{HfO}_2$  et de l'aire du pilier en tungstène. Les données expérimentales sont représentées par les symboles tandis que les lignes correspondent à la modélisation obtenue à l'aide des équations 2, 3 et 4. Chaque point est la moyenne des données obtenues sur 73 dispositifs. Les barres d'erreurs représentent l'écart type correspondant. L'erreur moyenne du modèle est de 2,7% tandis que l'erreur maximale est de 8,5%.

<sup>1</sup> La courbe rouge représente le comportement médian de 73 dispositifs et les points roses représentent la dispersion.

<sup>2</sup> La statistique présentée correspond à 73 dispositifs.

Pour une taille de pilier donnée, le champ au claquage, défini comme le rapport entre la tension au claquage et l'épaisseur de la couche de  $\text{HfO}_2$ , diminue de manière exponentielle en fonction de l'épaisseur de  $\text{HfO}_2$  (Figure III.16), en accord avec les données reportées dans la littérature [8]. En conséquence, pour une surface de pilier donnée, le champ au claquage peut être modélisé à l'aide de l'équation 2 :

$$E_F = \frac{V_F}{e} = A(S) \cdot \exp(-B(S) \cdot e) \quad (2)$$

dans laquelle A et B sont deux variables dépendantes de l'aire du pilier (Figure III.17). Afin de reproduire cette dépendance, et par analogie avec les modèles de claquage temporel, ou TDDB pour "Time Dependant Dielectric Breakdown", présentés dans la littérature [9], [10], nous avons modélisé les variables A et B à l'aide de lois de puissance reportées dans les équations 3 et 4, respectivement :

$$A = \frac{\alpha_1}{S^{\beta_1}} \quad (3) \quad B = \frac{\alpha_2}{S^{\beta_2}} \quad (4)$$

dans lesquelles les coefficients  $\alpha_1$ ,  $\beta_1$ ,  $\alpha_2$  et  $\beta_2$  sont des paramètres constants. En combinant les équations 2, 3 et 4, la tension au claquage peut être précisément calculée pour toutes les surfaces de pilier et toutes les épaisseurs de  $\text{HfO}_2$ . Les valeurs obtenues à l'aide de ce modèle sont représentées sur la Figure III.15.

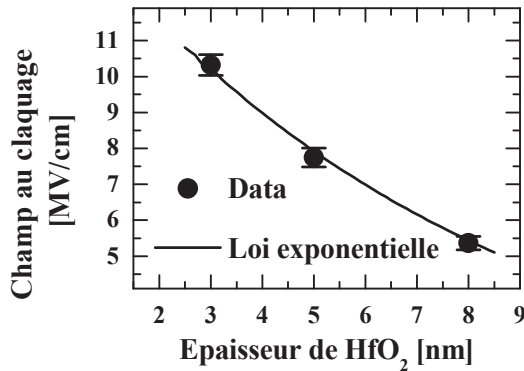


Figure III.16 : Champ au claquage de la couche de  $\text{HfO}_2$  intégrée dans des dispositifs BEC-TEC à pilier de 300 nm de diamètre en fonction de l'épaisseur de  $\text{HfO}_2$ .<sup>1</sup>

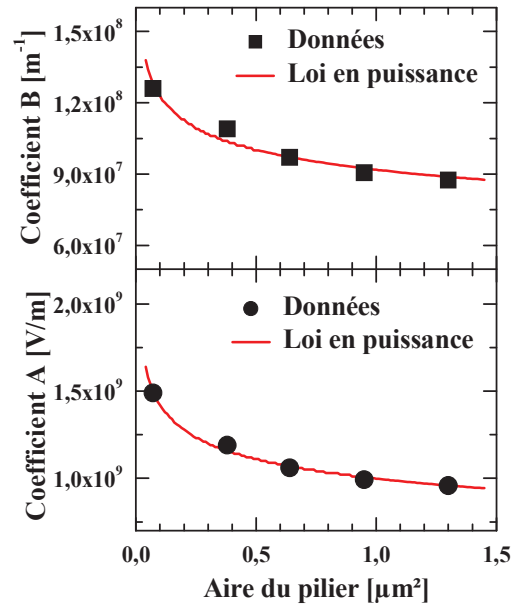


Figure III.17 : Coefficients A et B en fonction de l'aire du pilier.<sup>1</sup>

<sup>1</sup> Les données expérimentales sont représentées par les symboles tandis que les lignes correspondent à la modélisation à l'aide des équations 2, 3 et 4.

## Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

En appliquant la même méthode, les tensions au claquage des dispositifs PCRAM intégrant une couche de GST peuvent également être modélisées (Figure III.18). En conséquence, il est possible, à l'aide de ce modèle analytique simple, de prédire, pour une épaisseur de  $\text{HfO}_2$  et une surface de pilier, la tension au claquage à utiliser et ainsi de vérifier que celle-ci est compatible avec les sources de tensions disponibles (notamment dans le cas d'une intégration au sein d'un produit commercial). Cela permet également d'estimer la consommation électrique du dispositif PCRAM car comme nous le verrons dans le paragraphe III, celle-ci dépend fortement de la tension appliquée sur le dispositif au moment du claquage. A la suite du claquage de la couche de  $\text{HfO}_2$ , il est donc possible de faire passer suffisamment de courant au sein du dispositif PCRAM pour permettre le changement de phase du GST. Ainsi les performances électriques de ces dispositifs peuvent être caractérisées.

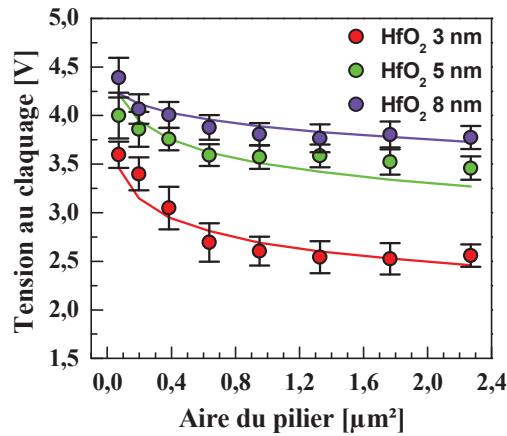
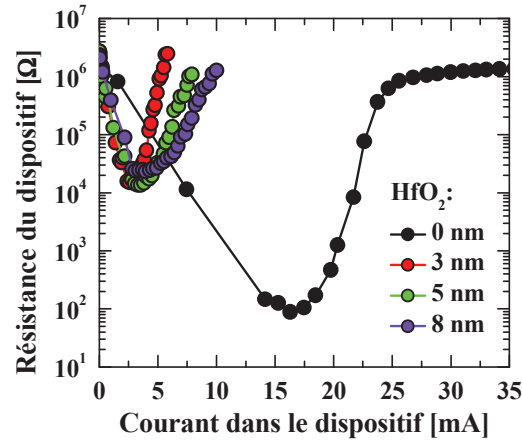


Figure III.18 : Dépendance de la tension au claquage de la couche de  $\text{HfO}_2$  des dispositifs de type PCRAM à base de GST en fonction de l'épaisseur de  $\text{HfO}_2$  et de l'aire du pilier en tungstène. Les données expérimentales sont représentées par les symboles tandis que les lignes correspondent à la modélisation obtenue à l'aide des équations 2, 3 et 4.<sup>1</sup>

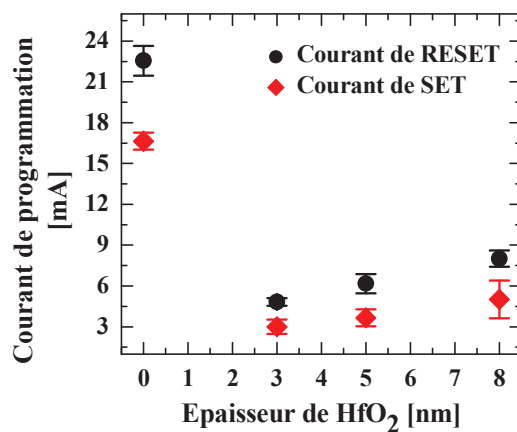
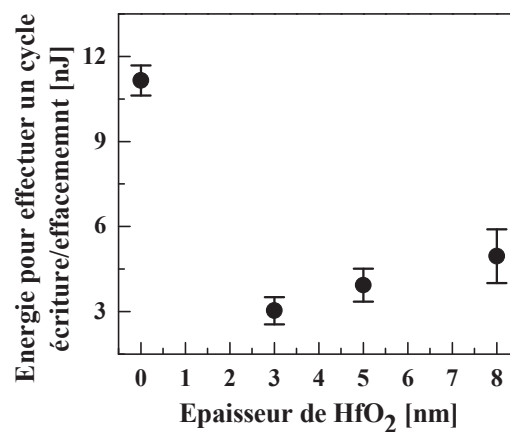
### II.2.2 Réduction des courants de programmation et de la consommation électrique

En utilisant le banc de mesure et la méthode présentés dans le paragraphe III du Chapitre II, nous avons mesuré les caractéristiques R-I, R-V et I-V des dispositifs PCRAM dont la couche de  $\text{HfO}_2$  avait été préalablement claquée ainsi que celles des dispositifs PCRAM de référence (sans couche de  $\text{HfO}_2$ ). La Figure III.19 représente les caractéristiques obtenues.

<sup>1</sup> Chaque point est obtenu en moyennant les données obtenues sur 73 dispositifs. Les barres d'erreurs représentent l'écart type correspondant. L'erreur moyenne du modèle est de 2,8% tandis que l'erreur maximale est de 7,4%.

Figure III.19 : Caractéristiques R-I des dispositifs PCRAM avec et sans couche de HfO<sub>2</sub>.

À partir de celles-ci, nous avons extrait les valeurs des courants de programmation des différents types de dispositif PCRAM (Figure III.20). De plus, en considérant des durées de pulse de RESET de 300 ns pour toutes les cellules et de 500 ns pour le pulse de SET des cellules de référence et de 1000 ns pour les cellules avec HfO<sub>2</sub> (voir paragraphe II.2.3), nous avons calculé, à l'aide des équations 6, 7 et 8 du chapitre II, l'énergie nécessaire pour effectuer un cycle d'écriture/effacement de la cellule (Figure III.21). Les Figures III.23, III.24 et III.25 montrent clairement que l'ajout d'une fine couche de HfO<sub>2</sub> au sein d'un dispositif PCRAM permet de réduire considérablement la consommation électrique de celui-ci. Ainsi, lorsqu'une couche de 3 nm de HfO<sub>2</sub> est ajoutée, les courants de RESET et SET sont respectivement réduits de 79% et 82% et l'énergie consommée lors d'un cycle d'écriture/effacement est réduite de 73%. L'ensemble des résultats obtenus est résumé dans le Tableau III.2 du paragraphe II.2.7.

Figure III.20 : Courants de RESET et de SET des dispositifs PCRAM en fonction de l'épaisseur de la couche de HfO<sub>2</sub>.<sup>1</sup>Figure III.21 : Énergie requise pour effectuer un cycle d'écriture/effacement du dispositif PCRAM en fonction de l'épaisseur de la couche de HfO<sub>2</sub>.<sup>1</sup>

<sup>1</sup> Chaque point est obtenu en moyennant les données obtenues sur 10 dispositifs environ. Les barres d'erreurs représentent l'écart type correspondant.

### II.2.3 Rapidité de programmation

En appliquant la méthode décrite dans le paragraphe III.3.2 du Chapitre II, nous avons caractérisé la rapidité de programmation maximale de nos dispositifs PCRAM. Les résultats obtenus sont présentés sur la Figure III.22. On constate que l'ajout d'une fine couche de  $\text{HfO}_2$  nécessite d'augmenter la durée de l'impulsion utilisée pour passer de l'état RESET à l'état SET. En effet, dans le cas des dispositifs de référence une impulsion de 500 ns est nécessaire pour passer de l'état RESET à l'état SET tandis que dans le cas des dispositifs avec  $\text{HfO}_2$  une impulsion de 1000 ns est requise. Malgré l'augmentation du temps de SET pour les dispositifs avec  $\text{HfO}_2$ , celui-ci reste dans l'intervalle requis par les spécifications de la technologie PCRAM (voir Chapitre I).

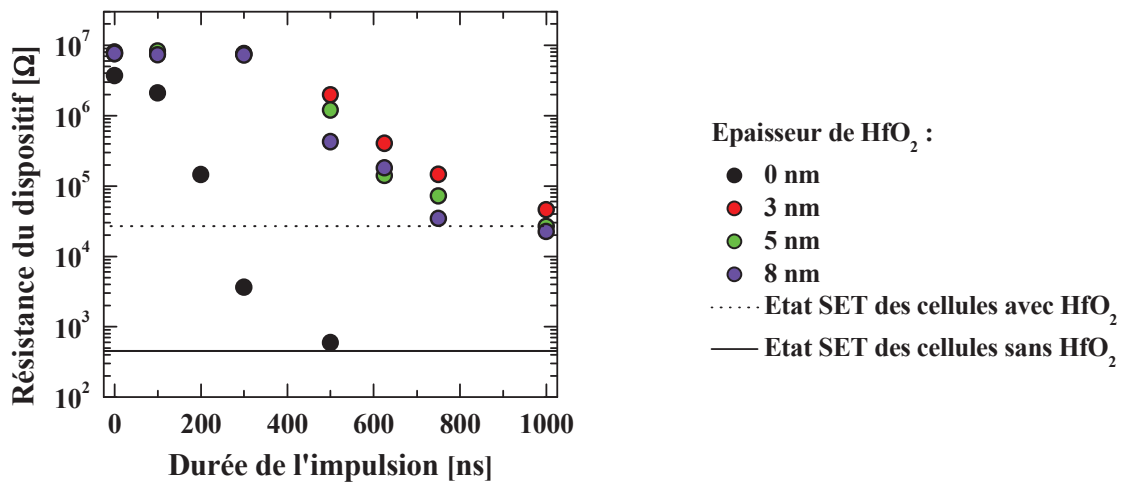


Figure III.22 : Lien entre la durée de l'impulsion appliquée aux dispositifs PCRAM intégrant des couches de  $\text{HfO}_2$  d'épaisseurs variables et la résistance obtenue après l'application de cette impulsion.

### II.2.4 Endurance et fenêtre de programmation

L'endurance de l'ensemble des dispositifs PCRAM a été caractérisée par l'application de  $10^8$  cycles d'écriture/effacement sur les dispositifs (Figure III.23). On constate tout d'abord, qu'après  $2 \cdot 10^7$  cycles, la fenêtre de programmation des dispositifs de référence se ferme brusquement. Ces dispositifs ne sont donc plus fonctionnels. Dans le cas des dispositifs avec  $\text{HfO}_2$ , aucune dégradation de la fenêtre de programmation n'est observée (même après  $10^8$  cycles). Ajouter une fine couche de  $\text{HfO}_2$  à un dispositif PCRAM ne dégrade pas son endurance et il semble que cela puisse l'améliorer. Par contre, on constate que la fenêtre de programmation des dispositifs de référence est d'environ 4 ordres de grandeur tandis que celle des dispositifs avec  $\text{HfO}_2$  est d'environ 3 ordres de grandeur. Il semble donc que l'ajout d'une fine couche de  $\text{HfO}_2$  réduise la fenêtre de programmation des dispositifs PCRAM, bien que celle-ci reste en accord

avec le cahier des charges de la technologie PCRAM (voir Chapitre I). Enfin, les dispositifs intégrant une couche de  $\text{HfO}_2$  présentent des valeurs de résistances des états RESET et SET plus élevées que celles des dispositifs de référence et celles-ci diminuent au fur et à mesure du cyclage des dispositifs avec  $\text{HfO}_2$ . Pour vérifier si cette diminution des valeurs de résistance est accompagnée d'une dégradation des caractéristiques R-I des dispositifs PCRAM, celles des dispositifs de référence et des dispositifs avec 5 nm de  $\text{HfO}_2$  ont été mesurées après avoir effectué  $10^3$  et  $10^6$  cycles d'écriture/effacement (Figure III.24). A l'exception de la diminution des valeurs de résistance des états RESET et SET pour les dispositifs PCRAM avec  $\text{HfO}_2$ , l'application répétée de cycles d'écriture/effacement ne modifie pas les caractéristiques des dispositifs PCRAM. Notamment, aucune modification des courants de programmation n'est observée.

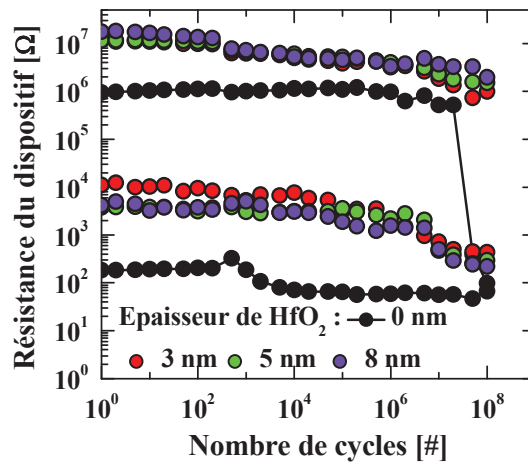


Figure III.23 : Endurance des dispositifs PCRAM avec et sans couche de  $\text{HfO}_2$ .

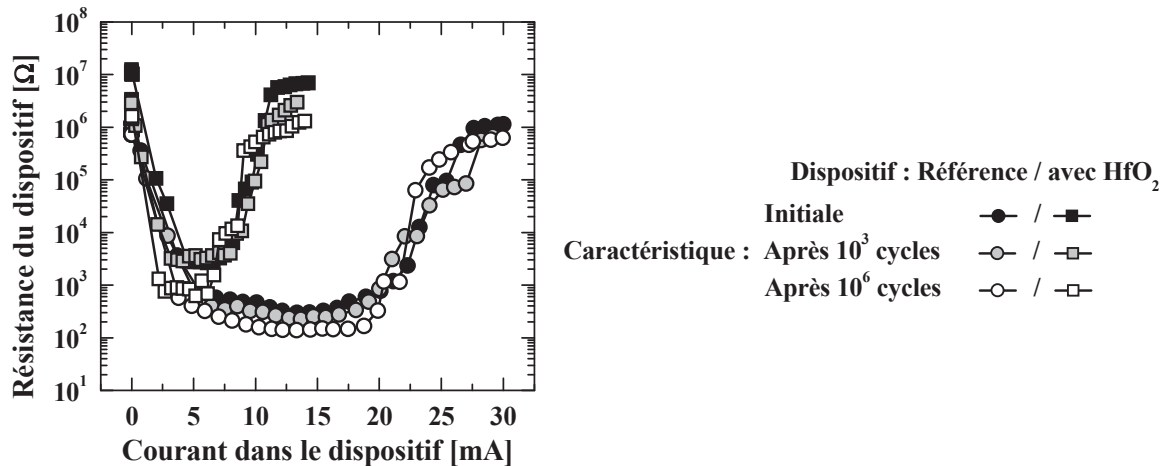


Figure III.24 : Comparaison des caractéristiques R-I des dispositifs PCRAM avec et sans couche de  $\text{HfO}_2$  d'épaisseur 5 nm suite à divers cyclage des dispositifs.



### II.2.5 Stabilité temporelle et thermique de l'état RESET

#### Dérive temporelle de la résistance de l'état RESET (ou drift)

La dérive temporelle de la résistance de l'état RESET a été caractérisée en utilisant la méthode décrite dans le paragraphe III.3.4 du Chapitre II. La Figure III.29 met en évidence la dérive de la résistance en fonction du temps. Les données expérimentales sont modélisées à l'aide de la loi en puissance 9 du chapitre II et les coefficients de dérive,  $v$ , sont calculés (Figure III.25). L'ajout d'une fine couche de  $\text{HfO}_2$  ne modifie pas fondamentalement la dérive de la résistance de l'état RESET. Toutefois, une légère augmentation, de l'ordre de 12%, du coefficient de dérive est observée pour les épaisseurs les plus élevées de  $\text{HfO}_2$ .

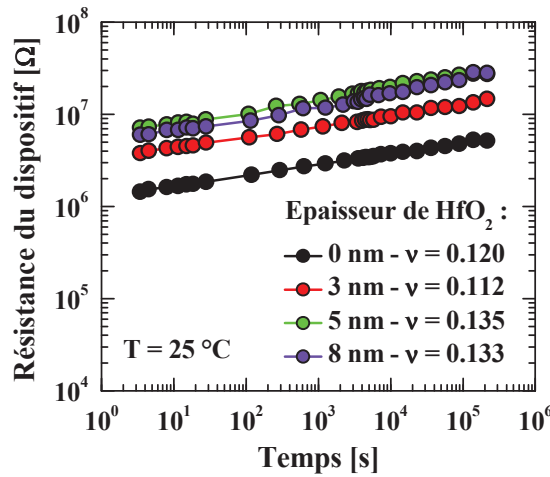


Figure III.25 : Dérive temporelle à 25°C de la résistance de l'état RESET des dispositifs PCRAM avec et sans couche de  $\text{HfO}_2$ .

#### Rétention en température de l'état RESET

La stabilité thermique de l'état RESET a également été caractérisée en utilisant les dispositifs de référence ainsi que ceux avec une couche de 3 nm de  $\text{HfO}_2$ . Pour cela, la méthode décrite dans le paragraphe III.3.4 du Chapitre II est utilisée. La Figure III.26 présente les valeurs de résistance des dispositifs avec 3 nm de  $\text{HfO}_2$  à différentes étape de la procédure réalisée pour une température de recuit de 235°C. On observe que l'état des dispositifs ayant les résistances les plus élevées a tendance à dériver, tandis que dans le cas des dispositifs ayant les résistances les plus faibles, la résistance a tendance à diminuer, signe de la cristallisation du matériau à changement de phase. Les temps de défaillance mesurés sur les dispositifs de référence et sur ceux avec 3 nm de  $\text{HfO}_2$ , pour différentes températures de recuit, sont reportés dans le graphe d'Arrhenius de la Figure III.27. Les données obtenues sont modélisées à l'aide de l'équation 10 du chapitre II et l'énergie d'activation de la cristallisation,  $E_A$ , est calculée. L'ajout d'une couche de  $\text{HfO}_2$  augmente légèrement l'énergie d'activation de la cristallisation



puisque une valeur de 3,6 eV est obtenue contre 3,2 eV dans le cas du GST sans  $\text{HfO}_2$ . De plus, pour une rétention de 10 ans, la température extrapolée est de 125°C dans le cas des dispositifs de référence tandis que pour les dispositifs avec une couche de 3 nm de  $\text{HfO}_2$ , elle est de 172°C. Or nous avons vu dans le chapitre I que pour les applications automobiles, il est indispensable que la technologie PCRAM puisse retenir l'information stockée pendant 10 ans lorsque les cellules sont placées à 150°C. Dans notre étude, seuls les dispositifs avec l'oxyde  $\text{HfO}_2$  satisfont ce critère et peuvent donc éventuellement être utilisés pour des applications automobiles.

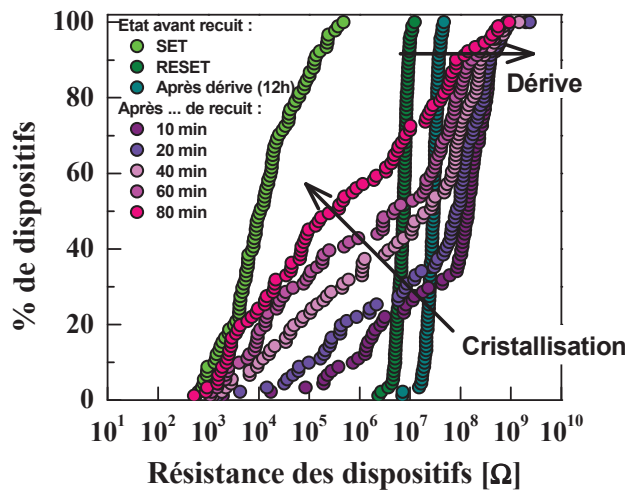


Figure III.26 : Évolution des valeurs de résistance des dispositifs PCRAM avec  $\text{HfO}_2$  pour différentes étapes de la procédure de caractérisation de la rétention de l'information à 235°C.

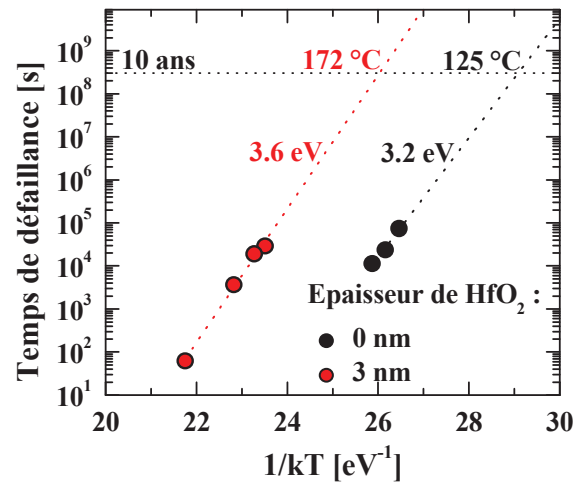


Figure III.27 : Graphe d'Arrhenius de l'état RESET des dispositifs PCRAM avec et sans couche de  $\text{HfO}_2$  d'épaisseur 3 nm.

### II.2.6 Intérêt pour le pré-stockage d'informations

Dans le chapitre I, nous avons vu que pour certaines applications embarquées, telles que les applications de cartes sécurisées, ou “secured smart-card”, il est souvent nécessaire de pré-stocker des informations au sein des matrices mémoires avant la soudure de celles-ci sur la carte électronique (et si possible avant la découpe de la plaque de silicium en puce et la mise en boîtier de la puce). L'étape de soudure de la matrice mémoire est souvent réalisée à haute température ( $\sim 260^\circ\text{C}$ ) pendant une durée comprise entre quelques secondes et quelques minutes. La Figure III.28 présente un profil de température typique d'une étape de soudure [11].

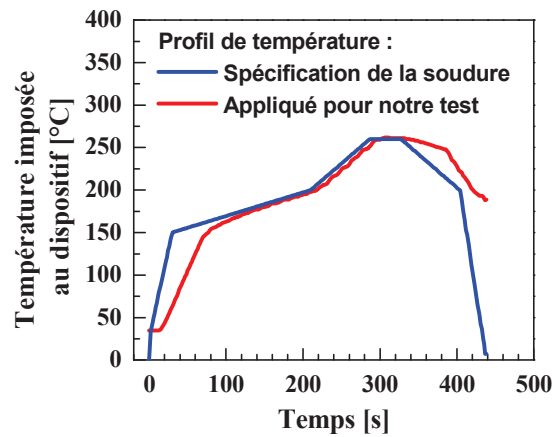


Figure III.28 : Profil de température subit par un dispositif PCRAM lors de l'étape de soudure de la matrice mémoire sur une carte électronique (bleu) et profil appliqué dans notre cas pour émuler celui-ci (rouge).

Nous venons de voir que l'ajout d'une fine couche de 3 nm de  $\text{HfO}_2$  au sein d'un dispositif PCRAM augmente considérablement le temps nécessaire à la cristallisation du GST à une température donnée. Il est donc envisageable que des dispositifs PCRAM avec 3 nm de  $\text{HfO}_2$  puissent, pendant l'étape de soudure, conserver les informations stockées.

La Figure III.33 présente les valeurs de résistances des états RESET et SET des dispositifs PCRAM avec 3 nm de  $\text{HfO}_2$ . Comme on peut le voir, avant le recuit thermique simulant l'étape de soudure, deux états de résistance séparés par au moins 2 ordres de grandeur sont obtenus. Un recuit thermique, dont le profil est proche de celui de l'étape de soudure (Figure III.28) est alors appliqué sur les dispositifs. Suite au recuit thermique, les valeurs de résistances des dispositifs sont à nouveau mesurées (Figure III.29). L'écart de 2 ordres de grandeur entre les résistances des états RESET et SET a complètement disparu. D'une part, la résistance d'environ 25% des dispositifs initialement dans l'état RESET, a diminué et d'autre part, la résistance des dispositifs initialement dans l'état SET a fortement dérivé vers des valeurs plus élevées. En conséquence, de même que les dispositifs PCRAM de référence, les cellules avec  $\text{HfO}_2$  ne satisfont pas au cahier des charges imposé par l'étape de soudure de la matrice mémoire.

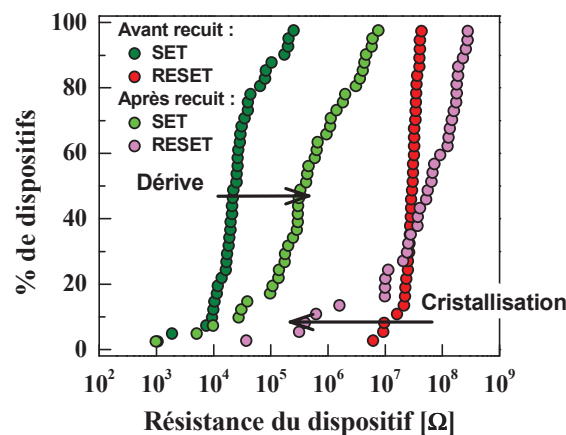


Figure III.29 : Évolution des valeurs de résistance des dispositifs PCRAM dans les états RESET et SET lors de l'étape de soudure de la matrice mémoire sur une carte électronique.

Toutefois l'étape de soudure étant primordiale pour certaines applications embarquées, nous avons proposé une méthode permettant de stocker des informations au sein des dispositifs mémoires avec  $\text{HfO}_2$  de manière à ce que ces informations puissent être récupérées après l'étape de soudure.

### Méthode de stockage et de conservation d'informations lors de l'étape de soudure

Pour cela, nous utilisons deux états du dispositif ayant des résistances bien distinctes. Dans le premier état, le dispositif est laissé dans l'état vierge, c'est-à-dire que la couche de  $\text{HfO}_2$  n'a pas été claquée tandis que dans le second état, il est laissé dans l'état après claquage. Ainsi en utilisant les deux niveaux de résistance, avant et après claquage de la couche de  $\text{HfO}_2$ , il est possible de stocker une information au sein du dispositif sans utiliser la différence de résistivité des phases amorphe et cristalline du GST. La Figure III.30 présente le principe de stockage de l'information pendant l'étape de soudure.

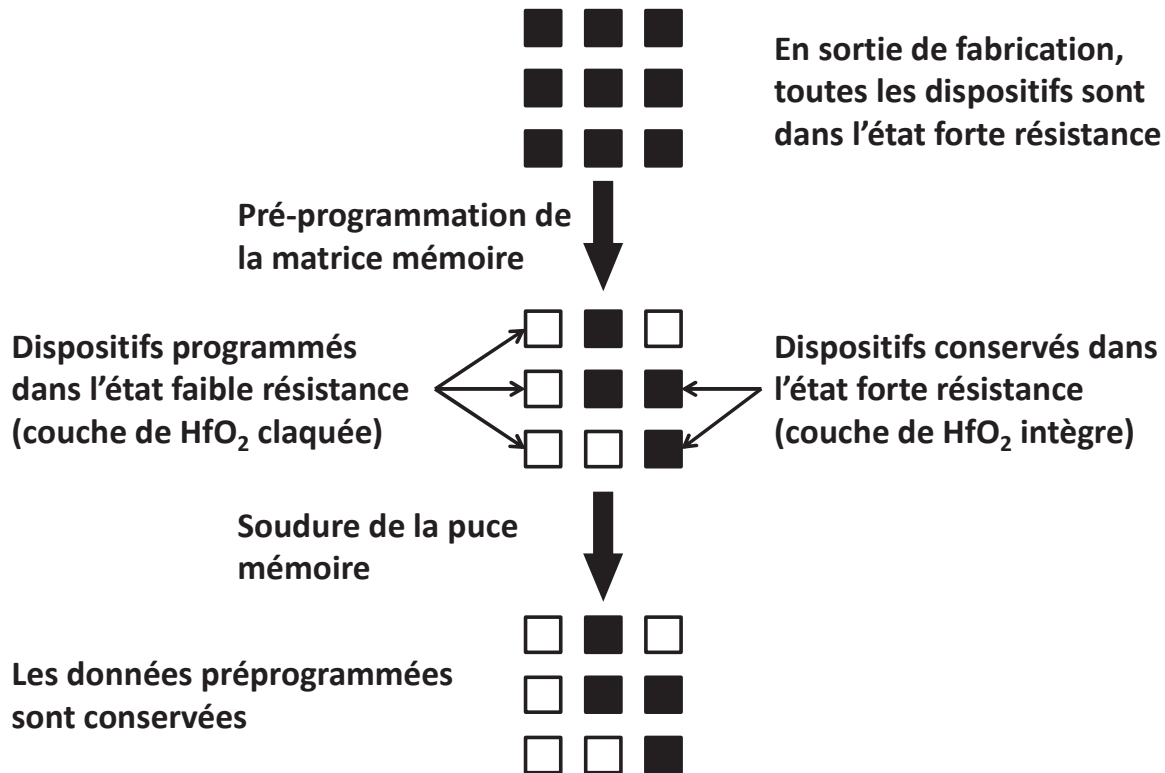


Figure III.30 : Principe de la méthode de pré-programmation proposée pour stocker des informations dans la matrice mémoire lors de l'étape de soudure de la puce mémoire.

La Figure III.31 présente les valeurs de résistances obtenues avant et après le claquage de la couche de HfO<sub>2</sub> : deux états de résistance séparés par plus de 6 ordres de grandeur sont obtenus. Le même recuit thermique que précédemment est alors appliqué sur les cellules puis les valeurs de résistance des cellules sont à nouveau mesurées (Figure III.31). Deux états de résistance séparés par plus de 4 ordres de grandeur sont obtenus. Ainsi, le recuit thermique laisse les dispositifs dans leur état respectif, c'est-à-dire que les dispositifs initialement dans l'état haute (basse) résistance (HfO<sub>2</sub> (non) claqué) restent dans ce même état. Afin d'augmenter l'écart entre les états haut et bas, il est préférable que le GST soit dans la phase cristalline afin de minimiser la résistance de l'état bas.

Suite à la soudure de la puce sur la carte électronique, les données stockées dans la matrice mémoire peuvent ainsi être aisément récupérées, puis les couches de HfO<sub>2</sub> encore dans l'état vierge peuvent être claquées. Enfin, les informations peuvent être à nouveau stockées au sein de la matrice mémoire, en utilisant, cette fois ci, les phases amorphe et cristalline du GST.

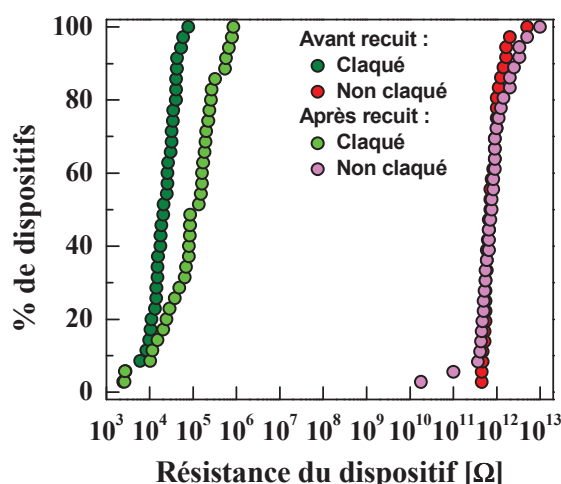


Figure III.31 : Évolution des résistances des dispositifs PCRAM avec une couche de  $\text{HfO}_2$  claquée ou non lors de l'étape de soudure de la matrice mémoire sur une carte électronique.

## II.2.7 Conclusion

Au cours de cette étude, nous avons cherché à optimiser la structure en ajoutant entre la couche de GST et le pilier en tungstène, une fine couche de  $\text{HfO}_2$ , permettant ainsi d'en modifier considérablement certaines performances électriques. Ainsi, les courants de programmation et la consommation électrique sont fortement réduits ( $\sim 80\%$ ). Les propriétés de cristallisation semblent également affectées par la présence de l'oxyde  $\text{HfO}_2$ , en particulier, la rapidité de programmation du dispositif est réduite. Toutefois, la présence de l'oxyde  $\text{HfO}_2$  permet à nos dispositifs PCRAM à base de GST de conserver l'information à plus de  $150^\circ\text{C}$  pendant une période supérieure à 10 ans, satisfaisant ainsi au cahier des charges des applications embarquées et notamment automobiles. Enfin, aucune modification importante des propriétés de dérive de la résistance de l'état RESET ainsi que des propriétés d'endurance n'a été observée. Le Tableau III.2 résume les performances obtenues sur les différents dispositifs PCRAM. De plus, nous avons proposé une méthode innovante permettant de stocker une information dans ces dispositifs PCRAM et de la conserver lors de l'étape de soudure de la matrice mémoire sur une carte électronique.

Cependant, pour faire fonctionner nos dispositifs PCRAM avec l'oxyde  $\text{HfO}_2$  et permettre le changement de phase du GST, une procédure initiale de claquage s'est révélée indispensable.

## Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

Tableau III.2 : Récapitulatif des performances des dispositifs PCRAM avec et sans couche de HfO<sub>2</sub>

	Type de dispositifs PCRAM			
	GST	HfO <sub>2</sub> 3nm	HfO <sub>2</sub> 5nm	HfO <sub>2</sub> 8nm
I <sub>RESET</sub> ( <i>réduction</i> )	22,6 mA	4,8 mA (79%)	6,2 mA (73%)	8,0 mA (64%)
I <sub>SET</sub> ( <i>réduction</i> )	16,6 mA	3,0 mA (82%)	3,7 mA (78%)	5,0 mA (70%)
E <sub>CYCLE</sub> ( <i>réduction</i> )	11,2 nJ	3,0 nJ (73%)	3,9 nJ (65%)	4,9 nJ (56%)
Durée de cristallisation	500 ns	1 µs	1 µs	1 µs
Endurance	2x10 <sup>7</sup> cycles	> 10 <sup>8</sup> cycles	> 10 <sup>8</sup> cycles	> 10 <sup>8</sup> cycles
Fenêtre de programmation (ordre de grandeur)	≈ 4	≈ 3	≈ 3	≈ 3
Coefficient de dérive	0,120	0,112	0,135	0,133
Energie d'activation	3,2 eV	3,6 eV	---	---
Température de rétention à 10 ans	125°C	172°C	---	---

### III. Lien entre le claquage de la couche de HfO<sub>2</sub> et la consommation électrique du dispositif

#### III.1 Possibilité de création de chemins conducteurs

Dans la littérature, il est reporté que lors du claquage d'une couche diélectrique, des chemins conducteurs sont créés [12]. Afin de comprendre la réduction des courants de programmation observée précédemment, nous supposons donc que la procédure de claquage que nous avons utilisée, crée, à travers la couche de HfO<sub>2</sub>, des chemins conducteurs dont la section est inférieure à celle du pilier, réduisant ainsi la section cumulée de la zone active du dispositif PCRAM et donc les courants de programmation nécessaires à son fonctionnement. Afin de vérifier la validité de cette hypothèse, nous avons simulé des dispositifs PCRAM de référence et d'autres intégrant une couche de HfO<sub>2</sub> d'épaisseur 3 nm à l'aide du modèle PCRAM présenté dans le paragraphe IV du chapitre II. Au centre de cette couche de HfO<sub>2</sub>, nous avons placé une zone en tungstène afin de simuler la présence d'un chemin conducteur de rayon 100 nm (Figure III.32).

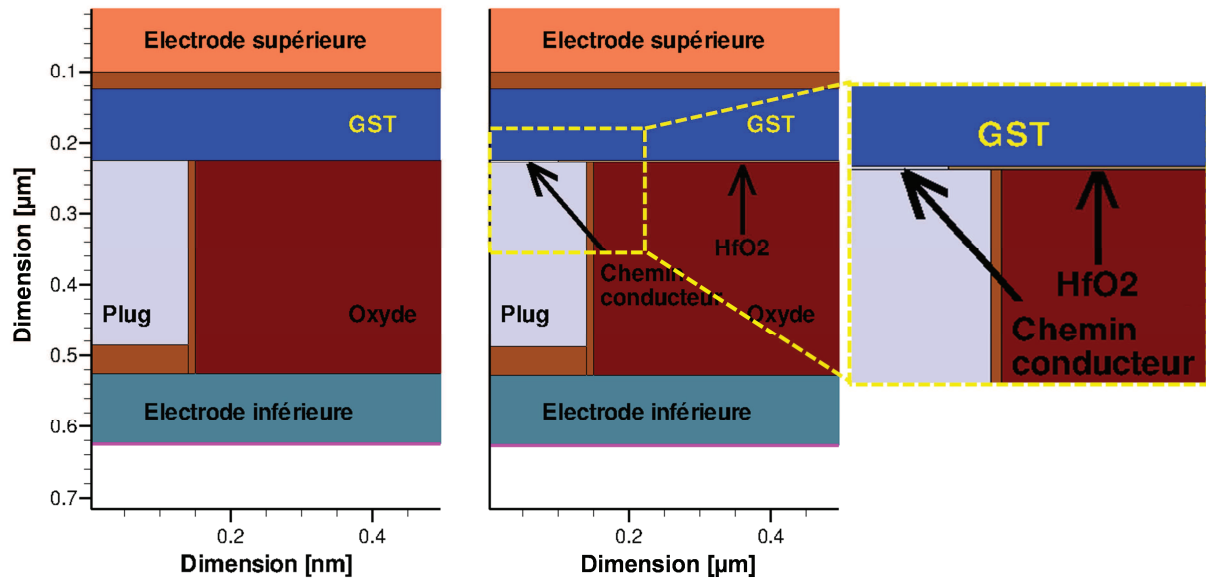


Figure III.32 : Structures des dispositifs PCRAM de référence (gauche) et avec une couche de  $\text{HfO}_2$  d'épaisseur 3 nm (droite).

En appliquant aux deux types de dispositifs, initialement dans l'état SET, une même impulsion de courant, la température atteinte au sein du matériau à changement de phase est plus élevée dans le cas des dispositifs avec  $\text{HfO}_2$  (Figure III.33b) que dans le cas des dispositifs de référence (Figure III.33a). Ainsi, suite à l'application de cette impulsion, le dispositif avec  $\text{HfO}_2$  présente une zone amorphe recouvrant entièrement le chemin conducteur obstruant ainsi le passage du courant (Figure III.33d), tandis que la zone amorphe présente dans le dispositif de référence n'obstrue pas le passage du courant (Figure III.33c). En conséquence, le dispositif avec  $\text{HfO}_2$  se trouve dans l'état RESET tandis que celui de référence est dans un état plus faiblement résistif.

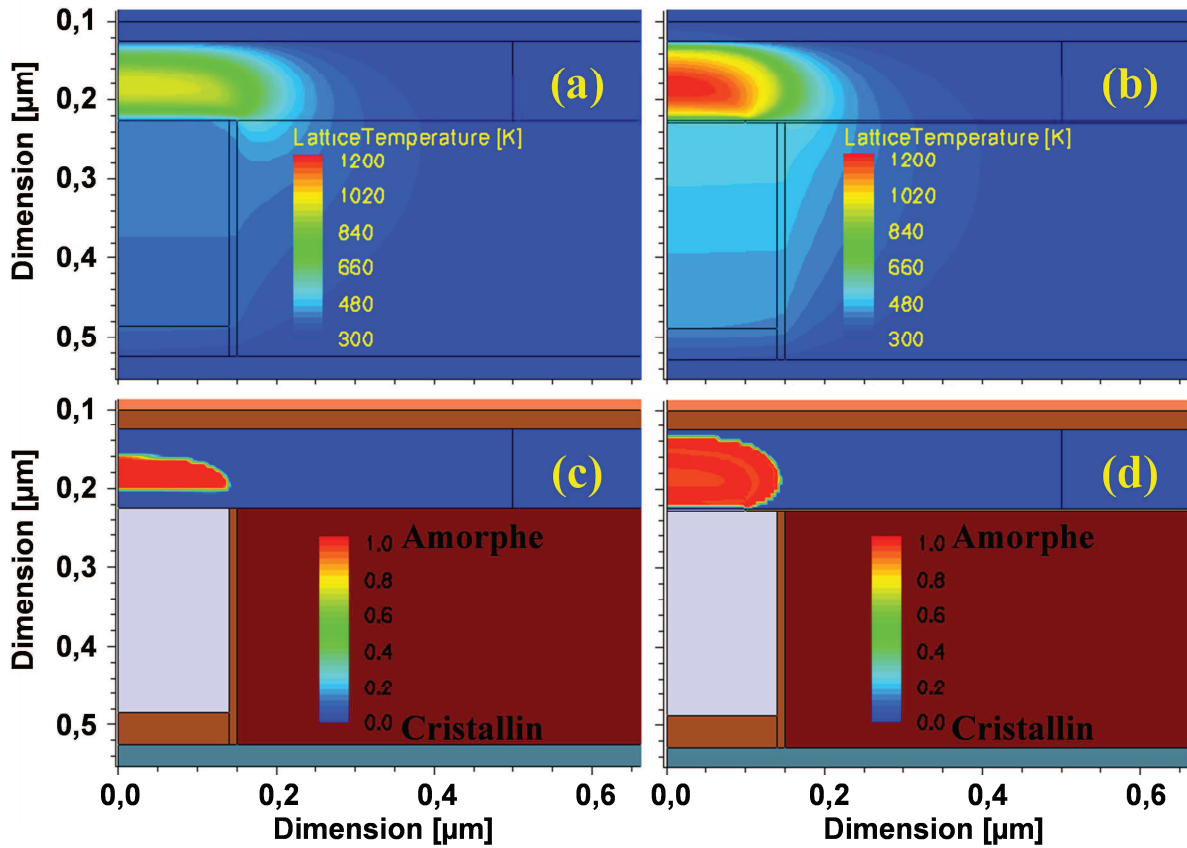


Figure III.33 : Profil de température obtenu au sein de dispositifs PCRAM de référence (gauche) et avec une couche de  $\text{HfO}_2$  d'épaisseur 3 nm (droite) pendant l'application d'une impulsion de courant (a), (b) et état correspondant obtenu suite à l'application de l'impulsion (c), (d).

Notre hypothèse selon laquelle, la procédure de claquage utilisée crée, à travers la couche de  $\text{HfO}_2$ , des chemins conducteurs dont la section est inférieure à celle du pilier, réduisant ainsi la section de la zone active du dispositif PCRAM et donc les courants de programmation nécessaires à son fonctionnement, semble donc valide. Toutefois, afin de définitivement confirmer cette hypothèse et d'optimiser au mieux les performances des dispositifs PCRAM intégrant une couche de  $\text{HfO}_2$  (notamment en vue de réduire le plus possible les courants de programmation), il est nécessaire de comprendre en détails le déroulement et l'impact de la procédure de claquage mise en place. Cela fait l'objet des paragraphes suivants.

### III.2 Impact de la limitation en courant imposée par la résistance série

Nous avons vu dans le paragraphe II.2.1 qu'une résistance série de 10  $\text{K}\Omega$  est utilisée pour limiter le courant traversant le dispositif suite au claquage de la couche de  $\text{HfO}_2$ . Celle-ci permet ainsi de limiter le courant après claquage à 400  $\mu\text{A}$  (Figure III.34). Afin



d'étudier l'effet du claquage sur les courants de programmation des cellules avec 3 nm de  $\text{HfO}_2$ , des tests de claquage utilisant des résistances série de valeur comprises entre 1  $\text{K}\Omega$  et 1  $\text{M}\Omega$ , c'est-à-dire avec une limitation en courant après claquage comprise entre 4 mA et 4  $\mu\text{A}$ , et suivi de la mesure des caractéristiques R-I de ces mêmes dispositifs, ont été effectués (Figure III.34). Toutefois, il semble qu'entre 1  $\text{K}\Omega$  et 1  $\text{M}\Omega$ , la résistance série et donc le courant après claquage n'ait aucun effet sur le courant de RESET. En conséquence, la réduction du courant de RESET doit être liée à ce qu'il se passe au moment même du claquage, c'est-à-dire pendant la formation des chemins conducteurs au sein de la couche de  $\text{HfO}_2$ .

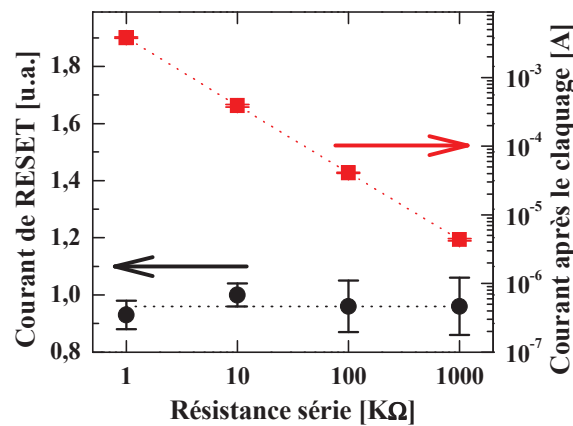


Figure III.34 : Impact de la valeur de la résistance série utilisée lors du claquage de la couche de  $\text{HfO}_2$  sur le courant de RESET des dispositifs PCRAM.

### III.3 Impact de la capacité parasite

La Figure III.35 présente un schéma électrique simplifié du banc de mesure utilisé lors de la procédure de claquage. Une capacité,  $C_P$ , est présente en parallèle de la cellule PCRAM. Cette capacité correspond aux capacités induites par la résistance série, la carte électronique ainsi que l'ensemble des câbles utilisés entre la carte électronique et le dispositif PCRAM. Elle n'est donc pas intentionnelle d'où la dénomination de parasite. Dans notre cas, sa valeur a été mesurée à 272 pF. Lors de la procédure de claquage, la capacité parasite commence par se charger puis lorsque la résistance du dispositif PCRAM diminue fortement du fait du claquage de la couche de  $\text{HfO}_2$ , cette capacité se décharge dans le dispositif. Il est intéressant de noter que ce phénomène de décharge d'une capacité parasite dans une cellule mémoire se produit également lors de l'étape initiale de "forming" de cellules mémoires OxRRAM de type 1R [13].

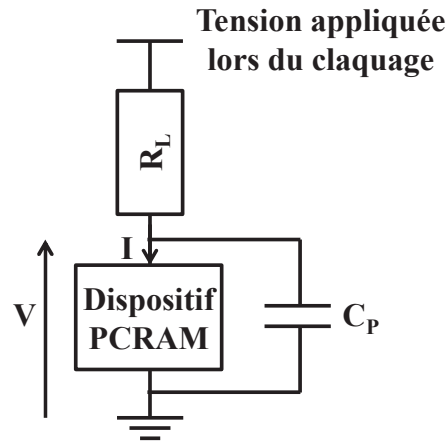


Figure III.35 : Schéma électrique équivalent simplifié du banc de mesure utilisé lors du claquage de la couche de  $\text{HfO}_2$ .

Le courant traversant le dispositif au cours de la procédure de claquage est calculé à l'aide de l'équation 5 obtenue à partir des lois de Kirchhoff [14] :

$$I = \frac{V_c - V}{R_L} - C_P \cdot \frac{dV}{dt} \quad (5)$$

Toutefois, pour résoudre cette équation, il est nécessaire de connaître la durée de formation des chemins conducteurs, c'est-à-dire la durée nécessaire au passage de l'état haut à l'état bas [14]. Bien que celle-ci ne soit pas encore connue précisément, des durées comprises entre 1 ns et 100 ns, environ, ont été reportées dans la littérature [15], [16]. Ainsi, en se limitant à ces valeurs extrêmes, le courant traversant les dispositifs mémoires comprenant une couche de 3 nm de  $\text{HfO}_2$  a été modélisé. Les profils de courant obtenus sont représentés sur la Figure III.36. Initialement, le courant est faible (de l'ordre de 55 nA), puis au moment du claquage, celui-ci augmente brusquement jusqu'à atteindre plusieurs dizaines de mA. Ensuite, le courant décroît jusqu'à atteindre la valeur imposée par la résistance série de 10  $\text{K}\Omega$  ( $\sim 400 \mu\text{A}$ ). Nous constatons que la durée du pic de courant, ou overshoot de courant, augmente avec la durée de formation des chemins conducteurs, tandis que le courant maximal traversant la cellule diminue. En effet, des courants maximaux de 82 mA, 71 mA, 57 mA et de 30 mA sont obtenus lorsque la durée de formation des chemins conducteurs est de 1 ns, 5 ns, 20 ns et 100 ns, respectivement. Selon nous, la durée réelle de formation des chemins conducteurs est inférieure à 10 ns. Nous la choisissons donc égale à 1 ns.

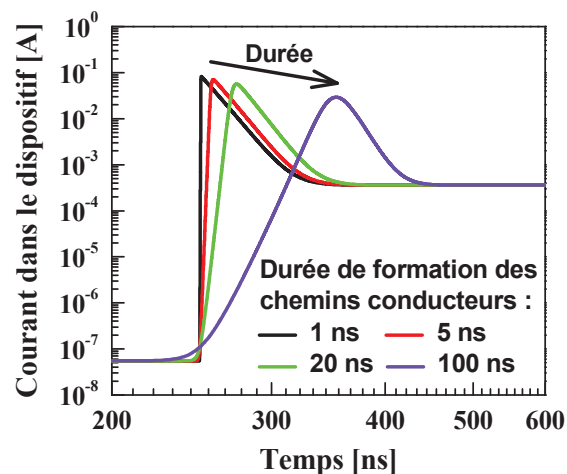


Figure III.36 : Lien entre la durée de formation des chemins conducteurs et le pic de courant se produisant lors du claquage.

Les paramètres utilisés pour la modélisation des claquages des dispositifs PCRAM avec 3 nm, 5 nm et 8 nm de  $\text{HfO}_2$  sont donnés dans le Tableau III.3 et les profils de courant obtenus sont présentés sur la Figure III.37. On observe que plus l'épaisseur de  $\text{HfO}_2$  augmente, plus l'amplitude et la durée du pic de courant augmentent. Afin de confirmer le profil de courant calculé, le pic de courant est mesuré dans le cas des cellules avec 3 nm de  $\text{HfO}_2$ . Un bon accord est obtenu entre les profils calculé et mesuré (Figure III.38). Nous confirmons ainsi que le modèle utilisé permet d'estimer fidèlement le pic de courant traversant la cellule au moment du claquage.

Tableau III.3 : Paramètres utilisés pour la simulation des overshoots de courant

Durée de formation des chemins conducteurs	1 ns		
Déclenchement du claquage	250 ns (choix arbitraire)		
Résistance série, $R_L$	10 K $\Omega$		
Capacité parasite, $C_P$	272 pF		
Epaisseur de $\text{HfO}_2$	3 nm	5 nm	8 nm
Tension au claquage	3,6 V	4,0 V	4,4 V

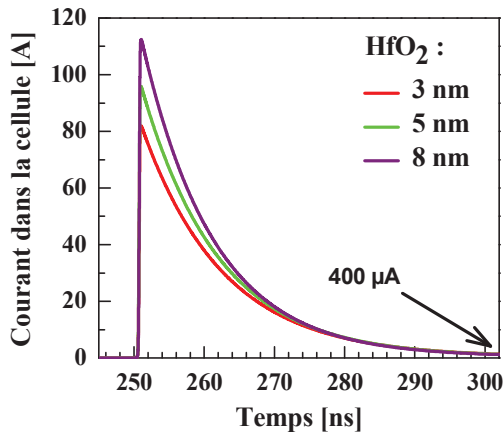


Figure III.37 : Modélisation de l'overshoot de courant se produisant lors du claquage de couches  $\text{HfO}_2$  de différentes épaisseurs présentes au sein des dispositifs PCRAM.

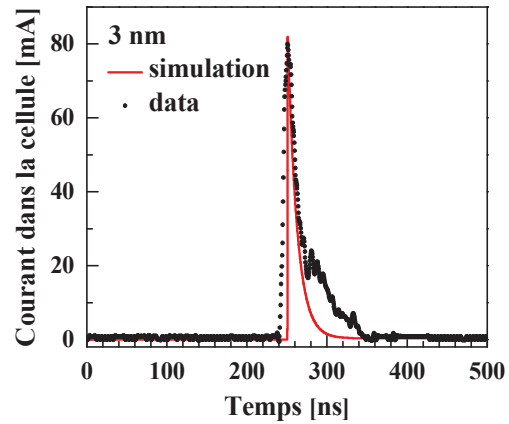


Figure III.38 : Comparaison entre les overshoots de courant modélisé et mesuré se produisant lors du claquage de la couche de  $\text{HfO}_2$  d'épaisseur 3 nm présente au sein des dispositifs PCRAM.

Nous avons donc mis en évidence que lors du claquage, un pic, ou overshoot de courant provoqué par la décharge de la capacité parasite, traverse le dispositif PCRAM. Ce pic atteint plusieurs dizaines de mA et est donc bien supérieur au courant limite imposé par la résistance série. En traçant le courant de RESET des dispositifs PCRAM en fonction du courant maximal traversant le dispositif pendant le claquage, il apparaît clairement que plus ce dernier est élevé, plus le courant de RESET l'est également (Figure III.39). Nous démontrons ainsi que la réduction des courants de programmation et de la consommation électrique des dispositifs PCRAM avec  $\text{HfO}_2$  est directement liée au courant maximal traversant le dispositif pendant le claquage de la couche de  $\text{HfO}_2$ .

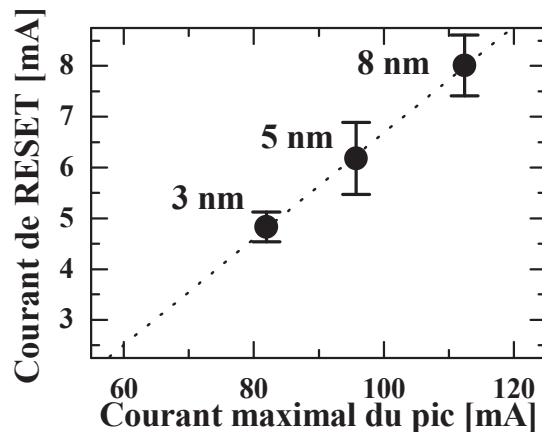


Figure III.39 : Lien entre le courant maximal traversant le dispositif PCRAM pendant le claquage de la couche de  $\text{HfO}_2$  et le courant de RESET du même dispositif PCRAM.

### III.4 Estimation de la taille des chemins conducteurs

Afin de comprendre plus en détail l'impact du claquage, il est encore nécessaire de vérifier que lors de celui-ci, des chemins conducteurs sont créés à travers la couche de  $\text{HfO}_2$ . Pour cela, des dispositifs avec 8 nm de  $\text{HfO}_2$  sont préparées dans trois états distincts : vierge, après claquage uniquement, après claquage et amorphisation du GST. Ces dispositifs sont ensuite observés par la technique d'imagerie TEM et analysés par la technique EDX afin d'identifier les éléments présents dans l'échantillon (Figure III.40) :

- Dans l'état vierge, la couche de  $\text{HfO}_2$ , continue et intègre, est visible entre le pilier et la couche de GST. Les cartographies EDX des éléments hafnium et oxygène confirment la continuité et l'intégrité de la couche de  $\text{HfO}_2$ .
- Après claquage, une discontinuité de la couche de  $\text{HfO}_2$  est visible sur la gauche du pilier. Les cartographies EDX des éléments hafnium et oxygène confirment l'apparition de cette discontinuité dans la couche de  $\text{HfO}_2$ .
- Après claquage et RESET du dispositif, la couche de  $\text{HfO}_2$  présente une discontinuité, similaire à celle observée après claquage uniquement.

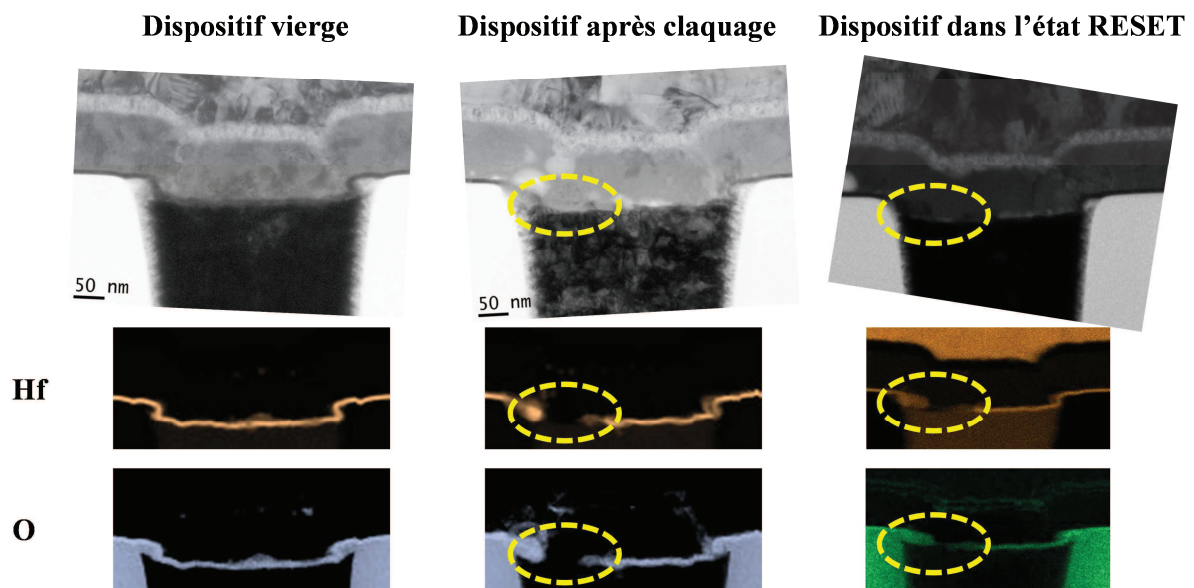


Figure III.40 : Vues en coupe, obtenues par la technique d'imagerie TEM, de dispositifs PCRAM dans différents états (haut). Cartographies des concentrations des éléments hafnium et oxygène, obtenues par la technique EDX, présents dans ces mêmes dispositifs (bas). La discontinuité de la couche de  $\text{HfO}_2$  est mise évidence.

La procédure de claquage entraîne une rupture de la couche de  $\text{HfO}_2$  permettant un contact électrique direct entre la couche de GST et le pilier en tungstène. Cette discontinuité constitue donc le chemin conducteur permettant le passage du courant au sein du dispositif mémoire. De plus, dans le cas du dispositif dans l'état RESET, la

### Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

cartographie EDX des éléments antimoine, aluminium, hafnium, titane et tungstène met en évidence une accumulation de l'élément antimoine au-dessus de la discontinuité de la couche de  $\text{HfO}_2$  (Figure III.41). Dans la littérature, un excès d'antimoine est reporté dans la zone de GST qui change de phase [17], [18]. Nous pouvons donc identifier la zone au-dessus de la discontinuité de la couche de  $\text{HfO}_2$  comme étant la zone active de notre dispositif PCRAM. On constate alors que la taille de celle-ci est réduite par rapport à celle des dispositifs de référence pour lesquelles la zone active se situe au-dessus de l'ensemble du pilier.

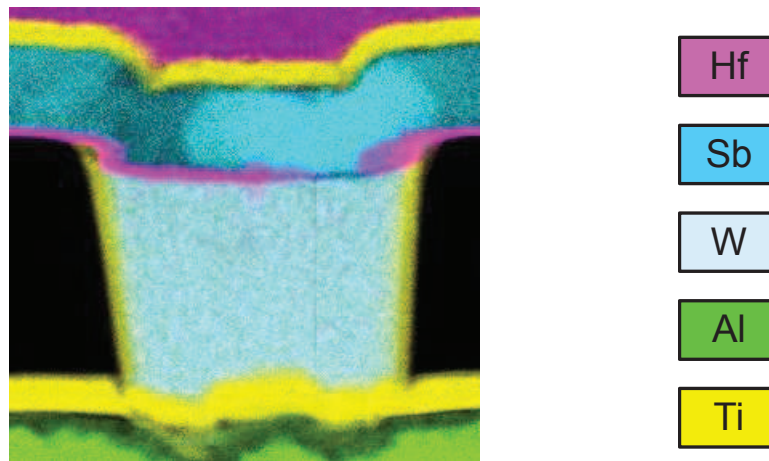


Figure III.41 : Cartographies des concentrations des éléments hafnium, titane, tungstène, antimoine et aluminium, obtenues par la technique EDX, présents dans le dispositif PCRAM dans l'état RESET.

Afin d'estimer la taille de la zone active des dispositifs PCRAM avec  $\text{HfO}_2$ , nous avons utilisé les courants de RESET mesurés dans le paragraphe II.2.2. Dans le cas des dispositifs de référence, le courant de RESET est égal à 22,6 mA et l'ensemble du pilier participe à la conduction du courant. En conséquence, la densité de courant de RESET de ces dispositifs est égale à 32 MA/cm<sup>2</sup>. En supposant que la densité de courant nécessaire au RESET des dispositifs avec  $\text{HfO}_2$  soit identique à celle des dispositifs de référence, nous avons calculé des diamètres de zone active de 138 nm, 158 nm et 180 nm dans le cas des dispositifs avec 3 nm, 5 nm et 8 nm de  $\text{HfO}_2$  respectivement.

Afin de vérifier ces estimations, des simulations TCAD ont été réalisées à l'aide du modèle PCRAM du logiciel Sentaurus Device présenté dans le paragraphe IV du Chapitre II. Comme nous avons démontré que suite au claquage, la couche de  $\text{HfO}_2$  est rompue créant un contact électrique direct entre la couche de GST et le pilier en tungstène, nous avons utilisé la même méthode que celle décrite dans le paragraphe III.1, pour simuler les caractéristiques R-I des différents dispositifs PCRAM et ainsi extraire les courants de RESET respectifs. La Figure III.42 montre que les réductions de courant de RESET simulées sont proches de celles mesurées, bien que légèrement inférieures. Les courants de RESET simulés dans le cas des dispositifs avec  $\text{HfO}_2$  sont

donc légèrement surestimés. Cependant, il faut noter qu'afin d'effectuer la simulation des caractéristiques R-I, nous avons tenu compte des propriétés thermiques des couches de  $\text{HfO}_2$  [19], [20]. Or celles-ci dépendent de nombreux paramètres et notamment de la méthode de dépôt des couches, de leur phase ou encore du budget thermique subit [20], [21], [22]. En conséquence, la différence observée entre les réductions de courant de RESET simulées et mesurées peut provenir d'une différence entre les propriétés de l'oxyde  $\text{HfO}_2$  utilisées dans la simulation et ses propriétés réelles.

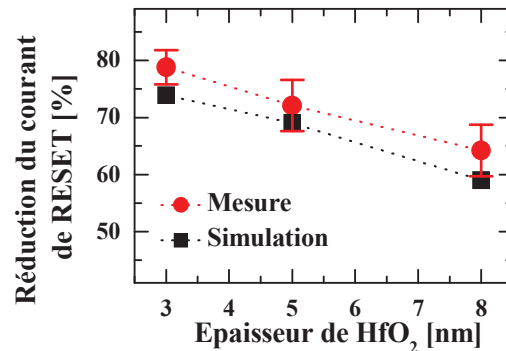


Figure III.42 : Comparaison des réductions des courants de RESET mesurés et simulés pour des dispositifs PCRAM avec des couches de  $\text{HfO}_2$  de différentes épaisseurs.

### Conclusion

Lors de l'étape initiale de claquage, un chemin conducteur est créé à travers la couche de  $\text{HfO}_2$ . La section de ce chemin est contrôlée par le courant maximal traversant le dispositif LETI pendant le pic de courant provoqué par la décharge de la capacité parasite lors du claquage. Dans notre cas, le diamètre de ce chemin conducteur a été estimé à 138 nm, 158 nm et 180 nm dans le cas des dispositifs avec 3 nm, 5 nm et 8 nm de  $\text{HfO}_2$ , respectivement. La section réduite du chemin conducteur par rapport à celle du pilier en tungstène de 300 nm de diamètre est donc responsable de la réduction des courants de programmation et de la consommation électrique du dispositif PCRAM.

Afin de réduire au maximum les courants de programmation du dispositif PCRAM, il est alors nécessaire de réduire au maximum le pic de courant se produisant pendant le claquage. Plusieurs options sont alors envisageables :

- Une première consiste à réduire la capacité parasite se trouvant en parallèle du dispositif PCRAM. Dans le cas de nos dispositifs PCRAM 1R, cela peut être réalisé en réduisant la capacité du montage électrique utilisé lors du claquage. Cependant, cette solution ne présente que peu d'intérêt puisqu'elle n'est pas liée à l'optimisation du dispositif PCRAM en lui-même. En revanche, dans le cas de dispositifs 1T1R, la présence du transistor de sélection permettrait de réduire l'effet de la capacité parasite sur l'élément résistif lors de l'étape de claquage, comme cela a été reporté lors de l'étape de "forming" des mémoires OxRRAM



## Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

[14], [23]. Toutefois, n'ayant pas à notre disposition de transistor de sélection, nous n'avons pas pu tester cette solution.

- Une seconde option consiste à réduire la tension appliquée pendant le claquage de la couche diélectrique. En effet, la Figure III.43 montre que plus cette tension est élevée plus le pic de courant l'est également. La section du chemin conducteur est donc plus importante et les courants de programmation plus élevés. En conséquence, la tension appliquée lors du claquage doit être la plus faible possible. De plus, l'ajout de la couche diélectrique ne devant pas modifier les choix technologiques effectués, par exemple dans le cas d'applications basse consommation, il est important que la tension appliquée lors du claquage soit compatible avec les sources de tension disponibles. Pour réduire la tension appliquée lors du claquage, nous avons vu qu'il est possible de diminuer l'épaisseur de la couche diélectrique mais il est également possible d'utiliser des matériaux diélectriques dont la tension au claquage est plus faible.

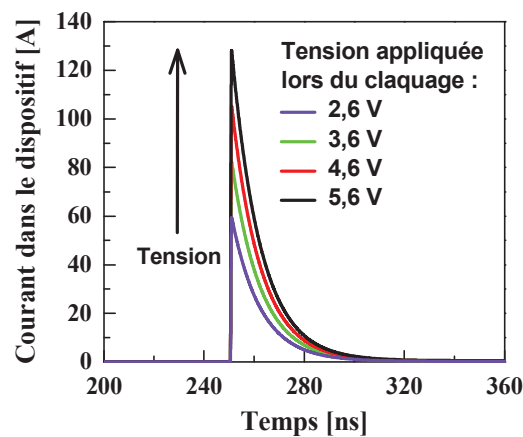


Figure III.43 : Lien entre la tension appliquée lors du claquage de la couche de  $\text{HfO}_2$  et l'overshoot de courant se produisant lors du claquage.

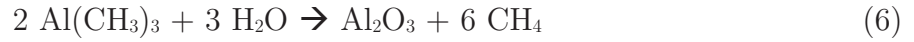
### III.5 Exploration de divers matériaux diélectriques d'interface

Afin d'améliorer les performances des dispositifs PCRAM, nous avons montré, l'intérêt de l'ajout d'une fine couche de  $\text{HfO}_2$  entre le pilier et le GST. Au vu des résultats prometteurs obtenus, nous avons réalisé une étude exploratoire de différents matériaux diélectriques. Pour cela et afin de réduire la tension appliquée pendant le claquage des couches diélectriques, des dispositifs PCRAM avec divers matériaux diélectriques ont été fabriqués en utilisant le procédé de fabrication décrit dans le paragraphe II.1. Ainsi, nous avons intégré les couches de matériau diélectrique suivantes :

- une couche d'oxyde de titane,  $\text{TiO}_2$ , de 4 nm d'épaisseur. Celle-ci est obtenue par l'oxydation à  $350^\circ\text{C}$  d'une couche de 8 nm de titane préalablement déposée par pulvérisation.



- une couche d'oxyde d'aluminium,  $\text{Al}_2\text{O}_3$ , de 2 nm ou 3 nm d'épaisseur. Celles-ci sont obtenues par dépôt ALD à 350°C. Les précurseurs utilisés sont l'eau ( $\text{H}_2\text{O}$ ) et le triméthyl-aluminium (ou TMA) :  $\text{Al}(\text{CH}_3)_3$ . La réaction de formation de l'oxyde  $\text{Al}_2\text{O}_3$  est donnée par l'équation 6. Les mêmes méthodes de calibration et de dépôt que celles décrites dans le paragraphe II.1 sont utilisées.



De plus, pour chacun de ces types de dispositifs, des dispositifs PCRAM de référence, c'est-à-dire sans couche diélectrique d'interface, ont été fabriqués.

Les tensions au claquage de l'ensemble de ces dispositifs ont été mesurées en utilisant la méthode de claquage quasi-statique décrite dans le paragraphe II.2.1. Les valeurs obtenues sont reportées dans le Tableau III.4. Comme nous le souhaitions, des tensions au claquage variant entre 1,7 V et 4,4 V sont obtenues. La permittivité diélectrique relative de l'oxyde  $\text{TiO}_2$  étant supérieure à celles des oxydes  $\text{HfO}_2$  et  $\text{Al}_2\text{O}_3$  (plus de 80 contre environ 25 et 9 respectivement) [6], [24], il est normal que sa tension au claquage soit très inférieure.

Tableau III.4 : Épaisseur et tension au claquage des couches diélectriques utilisées

Couche diélectrique	Tension au claquage
$\text{Al}_2\text{O}_3$ 2 nm	3,2 V
$\text{Al}_2\text{O}_3$ 3 nm	4,2 V
$\text{TiO}_2$ 4 nm	1,7 V

Les caractéristiques R-I de ces dispositifs ont été mesurées et les courants maximaux traversant le dispositif pendant le claquage ainsi que les courants de RESET ont été extraits et les réductions des courants de RESET calculées. La Figure III.44 présente la réduction des courants de RESET des dispositifs PCRAM avec couche diélectrique en fonction du courant maximal traversant le dispositif pendant l'étape de claquage. À titre de comparaison, les données concernant les dispositifs PCRAM intégrant une couche de  $\text{HfO}_2$  sont également représentées. On constate que plus le courant maximal pendant le pic est fort, plus le courant de RESET l'est également, confirmant ainsi les résultats obtenus dans le paragraphe III.3. On note également que, du fait de sa faible tension au claquage, la couche diélectrique en  $\text{TiO}_2$  permet de réduire considérablement le courant de RESET des dispositifs PCRAM puisqu'un courant de RESET d'environ 400  $\mu\text{A}$  est obtenu, correspondant à une réduction d'environ 98%. À l'aide de la technique décrite dans le paragraphe III.4, nous avons déduit, à partir de cette valeur de courant de RESET, que le diamètre du chemin conducteur est d'environ 40 nm.

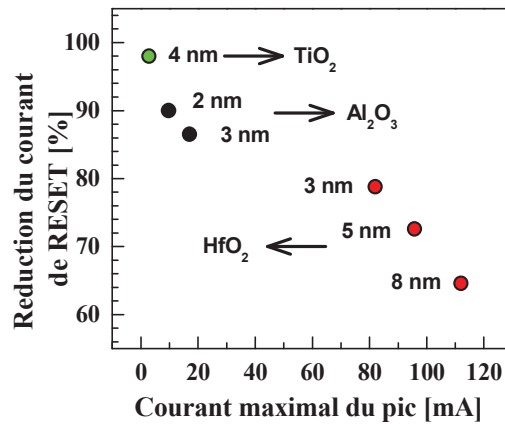


Figure III.44 : Lien entre la réduction des courants de RESET des dispositifs PCRAM et le courant maximal traversant le dispositif pendant l'étape de claquage.

En conséquence, nous avons à nouveau démontré qu'un fort courant maximal traversant le dispositif pendant le claquage entraîne un courant de RESET élevé. Ainsi réduire le courant de RESET de ce type de dispositifs PCRAM nécessite de réduire autant que possible le courant maximal traversant le dispositif pendant le claquage. Cela peut être obtenu soit en diminuant la capacité parasite présente en parallèle du dispositif 1R soit en intégrant un transistor de sélection en série avec l'élément résistif mais également en choisissant correctement la couche diélectrique utilisée et en optimisant la structure PCRAM en ce sens.

#### IV. Impact de l'ajout d'une couche d'interface diélectrique sur la cristallisation des matériaux à changement de phase

Nous avons vu dans le paragraphe II.2.5 que l'ajout d'une couche de HfO<sub>2</sub> d'épaisseur 3 nm modifie considérablement les propriétés de cristallisation de la couche de GST. En effet, nous avons constaté qu'une impulsion d'une durée de 1000 ns, contre 500 ns pour les dispositifs de référence, doit être appliquée aux dispositifs avec couche d'interface pour permettre son passage de l'état RESET à l'état SET. De plus, nous avons observé que l'énergie d'activation de cristallisation est légèrement augmentée, passant de 3,2 eV à 3,6 eV. Enfin, l'effet le plus sensible concerne la température pouvant être supportée par le dispositif sans perdre l'information stockée par l'état RESET. En effet, pour une conservation de 10 ans des données, les dispositifs de référence peuvent être placés à 125°C tandis que ceux avec 3 nm de HfO<sub>2</sub> peuvent supporter jusqu'à 172°C. Afin d'interpréter ces résultats nous envisageons ici deux explications.

- La première repose sur une modification des propriétés de cristallisation du GST imposée par la couche diélectrique en contact avec celui-ci. En effet, il a été

démontré qu'une même couche de GST peut présenter différentes température et cinétique de cristallisation en fonction de la couche d'interface en contact avec celle-ci [25], [26]. D'autre part, il a été montré que l'ajout d'une fine couche de  $Ta_2O_5$  entre la couche de GST et le pilier en tungstène a permis une augmentation de  $30^\circ C$  de la température de rétention à 10 ans d'une cellule PCRAM (Figure III.45) [1]. Les auteurs de l'étude indiquent que cette stabilisation de la phase amorphe peut provenir de la plus forte adhésion du GST lorsque celui-ci se trouve sur la couche de  $Ta_2O_5$  que lorsqu'il se trouve directement sur le pilier en tungstène.

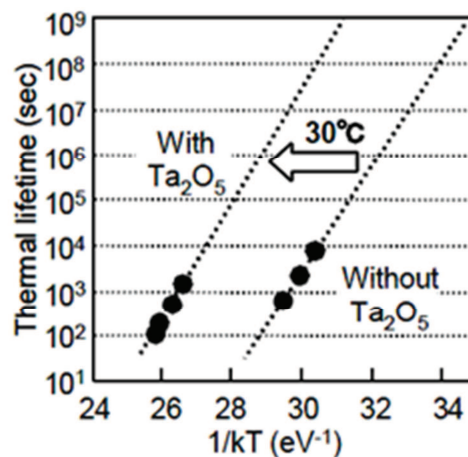


Figure III.45 : Rétention de l'information stockée dans l'état RESET des cellules PCRAM avec et sans couche de  $Ta_2O_5$  d'épaisseur 2 nm. [1]

- La seconde explication repose sur le dopage du GST par le  $HfO_2$ . En effet, il a été montré que du GeTe dopé avec du  $HfO_2$  présente une énergie d'activation de cristallisation augmentée (passant de 3,04 eV dans le cas du GeTe pur à 5,09 eV dans le cas du GeTe avec 12 mol.% de  $HfO_2$ ) et la température de rétention à 10 ans de la cellule PCRAM est passée de  $108^\circ C$  dans le cas du GeTe, à  $187^\circ C$  pour le GeTe avec 12 mol.% de  $HfO_2$  (Figure III.46) [27].

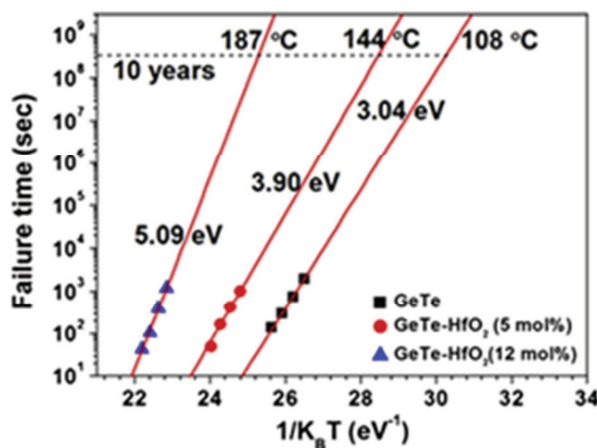


Figure III.46 : Rétention de l'information stockée dans l'état RESET des cellules PCRAM à base GeTe ou de GeTe dopé avec du  $HfO_2$ . [27]

---

Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

---

**Cas des dispositifs LETI à base de GST et d'une couche d'interface en  $\text{HfO}_2$** 

Dans le cas des dispositifs LETI à base de GST comprenant une couche d'interface en  $\text{HfO}_2$ , les deux explications précédentes peuvent être envisagées comme responsables des modifications des propriétés de cristallisation du GST. En effet, la présence de l'oxyde  $\text{HfO}_2$  en tant que couche d'interface en contact avec le GST peut en modifier les propriétés de cristallisation. Mais, il est également possible que, lors du claquage de la couche de  $\text{HfO}_2$ , une partie de l'oxyde  $\text{HfO}_2$ , se trouvant à l'endroit où se forme le chemin conducteur, se retrouve dispersée au sein de la couche de GST. En effet, nous observons sur la Figure III.40, présentant les cartographies EDX des éléments hafnium et oxygène, que lorsque le dispositif PCRAM est analysé après claquage, des traces de ces deux éléments sont présents au sein de la couche de GST tandis que lorsque le dispositif est dans l'état vierge, aucune trace de ces deux éléments ne semble présent dans la couche de GST. Il est donc possible que lors du claquage, une partie de l'oxyde  $\text{HfO}_2$  soit mélangé à la couche de GST en réalisant ainsi le dopage.

Afin de vérifier cette seconde hypothèse, nous avons mesuré les températures de cristallisation ainsi que les énergies d'activation de la cristallisation de couches de GST dopées avec de l'oxyde  $\text{HfO}_2$ . Pour cela, nous avons déposé, par pulvérisation simultanée d'une cible de GST pur et d'une cible de  $\text{HfO}_2$  pur également, des couches de GST dopées avec de l'oxyde  $\text{HfO}_2$ . Ces couches d'épaisseur 100 nm sont déposées directement sur un substrat de silicium recouvert d'une couche d'épaisseur 500 nm de  $\text{SiO}_2$ . Les matériaux à changement de phase déposés sont GST pur et GST avec 1,5 at.% et 5 at.% de  $\text{HfO}_2$ . Il est à noter que les concentrations atomiques de  $\text{HfO}_2$  indiquées ici sont les concentrations nominales de  $\text{HfO}_2$  et leurs valeurs exactes devront être mesurées à l'aide des techniques présentées dans le paragraphe II.1.1 du Chapitre II.

La cinétique de cristallisation de ces matériaux à changement de phase a ensuite été caractérisée par mesure de la résistivité selon la méthode 4 pointes décrite dans le paragraphe II.2.3 du Chapitre II.

La Figure III.47 présente l'évolution de la résistivité des matériaux GST et GST- $\text{HfO}_2$  initialement dans la phase amorphe, en fonction de la température appliquée pour une rampe de température de  $10^\circ\text{C}/\text{min}$ . On constate que la température de cristallisation du matériau à changement de phase augmente considérablement avec l'ajout de  $\text{HfO}_2$ .

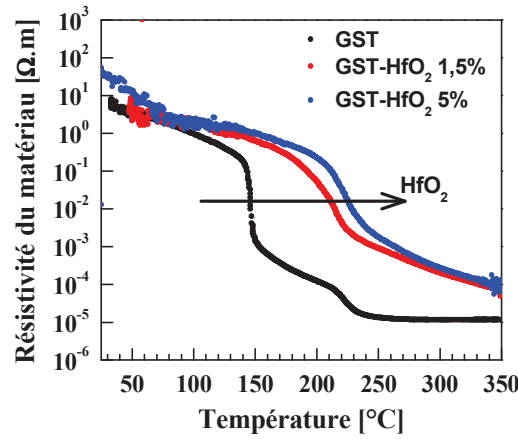


Figure III.47 : Evolution de la résistivité du matériau à changement GST dopé avec différents pourcentages de HfO<sub>2</sub> initialement amorphe en fonction de la température.

Pour obtenir l'énergie d'activation de la cristallisation de ces différents matériaux, des rampes de 1°C/min, 5°C/min, 10°C/min, 17°C/min et 30°C/min ont été appliquées et les températures de cristallisation calculées (Figure III.48). On constate que l'énergie d'activation de la cristallisation augmente avec la concentration en HfO<sub>2</sub>. En effet, dans le cas du GST pur l'énergie d'activation de la cristallisation est 2,7 eV tandis qu'elle est de 4,2 eV et 5,0 eV dans le cas du GST dopé avec 1,5 at.% et 5 at.% de HfO<sub>2</sub> respectivement.

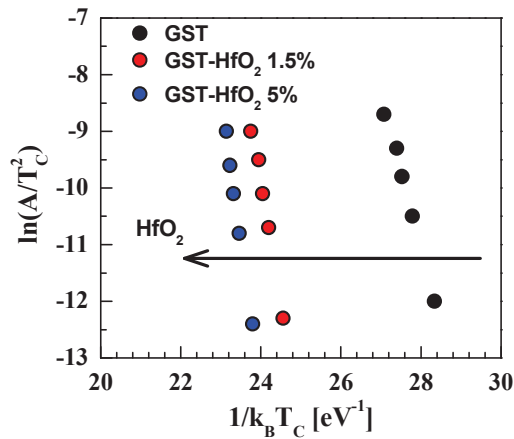


Figure III.48 : Graphe de Kissinger du matériau à changement de phase GST dopé avec différents pourcentages de HfO<sub>2</sub>.

En conséquence, grâce à des température et énergie d'activation de la cristallisation élevées, le GST dopé avec du HfO<sub>2</sub> semble être un matériau prometteur pour améliorer la rétention de l'information des dispositifs PCRAM. Toutefois, afin de vérifier ces premiers résultats encourageants mais également d'interpréter les résultats obtenus sur les dispositifs PCRAM intégrant une couche d'interface en HfO<sub>2</sub>, il est encore nécessaire de caractériser les performances de dispositifs PCRAM intégrant du GST dopé avec de l'oxyde HfO<sub>2</sub> comme matériau à changement de phase.

## Conclusion du Chapitre III

Au cours de ce Chapitre, nous avons montré que l'ajout d'une fine couche diélectrique en  $\text{HfO}_2$  entre le pilier en tungstène et la couche de GST d'un dispositif PCRAM permet d'en améliorer considérablement certaines performances électriques. Ainsi, les courants de programmation et la consommation électrique sont fortement réduits ( $\sim 80\%$ ). De plus, la présence de l'oxyde  $\text{HfO}_2$  modifie les propriétés de cristallisation du GST, notamment sa cinétique, permettant ainsi aux dispositifs PCRAM à base de GST de conserver l'information à plus de  $150^\circ\text{C}$  pendant une période supérieure à 10 ans, satisfaisant ainsi au cahier des charges des applications embarquées et notamment automobiles. Enfin, aucune modification importante des propriétés de dérive de la résistance de l'état RESET ainsi que des propriétés d'endurance n'a été observée. De plus, nous avons proposé de stocker une information dans ces dispositifs PCRAM en utilisant l'état vierge du dispositif comme état hautement résistif et l'état après claquage de la couche de  $\text{HfO}_2$ , comme état faiblement résistif. Nous avons montré qu'utiliser ces deux états pour stocker une information permet de la conserver lors de l'étape de soudure de la matrice mémoire sur une carte électronique.

Toutefois, pour permettre le fonctionnement de ces dispositifs PCRAM avec  $\text{HfO}_2$ , l'utilisation d'une procédure initiale de claquage est indispensable. Nous avons démontré que lors de celle-ci un chemin conducteur à travers la couche de  $\text{HfO}_2$  est créé permettant le passage du courant entre le pilier en tungstène et le matériau à changement de phase. Nous avons alors observé que la section de ce chemin est inférieure à celle du pilier, expliquant ainsi que les courants de programmation et la consommation électrique du dispositif PCRAM soient fortement réduits.

Enfin, nous avons démontré que la section de ce chemin conducteur est directement reliée à l'intensité du pic de courant traversant le dispositif PCRAM lors du claquage de la couche diélectrique. Nous avons alors cherché à réduire l'intensité de ce pic en étudiant des matériaux diélectriques alternatifs présentant une tension au claquage plus faible. Ainsi, en utilisant une couche diélectrique en  $\text{TiO}_2$  d'épaisseur 4 nm, nous avons obtenu des réductions de courant de 98%, c'est-à-dire un courant de RESET du dispositif PCRAM de 400  $\mu\text{A}$  et donc un chemin conducteur de diamètre estimé à environ 40 nm.

Nous avons ainsi mis au point une technique permettant d'obtenir des dispositifs PCRAM dont la zone active est de dimensions réduites sans avoir à recourir à des techniques de lithographie, gravure ou dépôt onéreuses et complexes. Toutefois, afin d'obtenir des chemins conducteurs de section encore plus faible, il nous semble indispensable d'utiliser un sélecteur, notamment un transistor MOSFET, intégré en série avec l'élément résistif PCRAM permettant ainsi de réduire considérablement l'effet du pic de courant se produisant lors du claquage de la couche diélectrique.

## Bibliographie

- [1] Y. Matsui, K. Kurotsuchi, O. Tonomura, T. Morikawa, M. Kinoshita, Y. Fujisaki et al., «Ta<sub>2</sub>O<sub>5</sub> interfacial layer between GST and W plug enabling low power operation of phase change memories,» *Int. Electron Dev. Meeting Tech. Dig.*, pp. 1-4, 2006.
- [2] J.-H. Jeong, H.-W. Ahn, S. Lee, W. M. Kim, J.-G. Ha et B.-K. Cheong, «Analysis and improvement of interfacial adhesion of growth-dominant Ge-doped SbTe phase change materials,» *Appl. Phys. Lett.*, vol. 94, pp. 011902.1-011902.3, 2009.
- [3] B. J. Choi, S. Choi, T. Eom, S. H. Rha, K. M. Kim et C. S. Hwang, «Phase change memory cell using Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> and softly broken-down TiO<sub>2</sub> films for multilevel operation,» *Appl. Phys. Lett.*, vol. 97, pp. 132107.1-132107.3, 2010.
- [4] B. J. Choi, S. H. Oh, S. Choi, T. Eom, Y. C. Shin, K. M. Kim et al., «Switching power reduction in phase change memory cell using CVD Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> and ultrathin TiO<sub>2</sub> films,» *J. Electrochemical Society*, vol. 156, pp. H59-H63, 2009.
- [5] T. Kääriäinen, D. Cameron, M.-L. Kääriäinen et A. Sherman, *Atomic Layer Deposition - Principles, Characteristics, and Nanotechnology Applications*, 2nde éd., J. W. & Sons, Éd., 2013.
- [6] J. W. McPherson, J. Kim, A. Shanware, H. Mogul et J. Rodriguez, «Trends in the ultimate breakdown strength of high dielectric-constant materials,» *Trans. Elec. Dev.*, vol. 50, pp. 1771-1778, 2003.
- [7] C. Sire, S. Blonkowski, M. J. Gordon et T. Baron, «Statistics of electrical breakdown field in HfO<sub>2</sub> and SiO<sub>2</sub> films from millimeter to nanometer length scales,» *Appl. Phys. Lett.*, vol. 91, pp. 242905.1-242905.3, 2007.
- [8] T. H. DiStefano et M. Shatzkes, «Dielectric instability and breakdown in SiO<sub>2</sub> thin films,» *J. Vac. Sci. Tech.*, vol. 13, pp. 50-54, 1976.
- [9] Y. H. Kim, K. Onishi, C. S. Kang, H. J. Cho, R. Nieh, S. Gopalan et al., «Area dependence of TDDB characteristics for HfO<sub>2</sub> gate dielectrics,» *Elec. Dev. Lett.*, vol. 23, pp. 594-596, 2002.
- [10] N. Zhan, M. C. Poon, H. Wong, K. L. Ng et C. W. Kok, «Dielectric breakdown characteristics and interface trapping of Hafnium oxide films,» *Microelectronics J.*, vol. 36, pp. 29-33, 2005.
- [11] JEDEC, «Moisture/Reflow sensitivity classification for nonhermetic solid state surface mount devices,» 2004.
- [12] U. Celano, Y. Y. Chen, D. J. Wouters, G. Groeseneken, M. Jurczak et W. Vandervorst, «Filament observation in metal-oxide resistive switching devices,» *Appl. Phys. Lett.*, vol. 102, pp. 121602.1-121602.3, 2013.



## Amélioration des dispositifs PCRAM par ajout d'une couche d'interface

- 
- [13] S. Tirano, L. Perniola, J. Buckley, J. Cluzel, V. Jousseau, C. Muller et al., «Accurate analysis of parasitic current overshoot during forming operation in RRAMs,» *Microelectronic engineering*, vol. 88, pp. 1129-1132, 2011.
  - [14] D. Ielmini, C. Cagli et F. Nardi, «Resistance transition in metal oxides induced by electronic threshold switching,» *Appl. Phys. Lett.*, vol. 94, pp. 063511.1-063511.3, 2009.
  - [15] A. Kalantarian, G. Bersuker, D. C. Gilmer, D. Veksler, B. Butcher, A. Padovani et al., «Controlling uniformity of RRAM characteristics through the forming process,» *Proc. Int. Reliability Phys. Symp.*, pp. 6C.4.1-6C.4.5, 2012.
  - [16] S. Yu, X. Guan et H.-S. P. Wong, «Understanding metal oxide RRAM current overshoot and reliability using kinetic Monte Carlo simulation,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 26.1.1-26.1.4, 2012.
  - [17] A. Padilla, G. W. Burr, C. T. Rettner, T. Topuria, P. M. Rice, B. Jackson et al., «Voltage polarity effects in  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ -based phase change memory devices,» *J. Appl. Phys.*, vol. 110, pp. 054501.1-054501.12, 2011.
  - [18] B. Rajendran, M.-H. Lee, M. Breitwisch, G. W. Burr, Y.-H. Shih, R. Cheek et al., «On the dynamic resistance and reliability of phase change memory,» *Symp. VLSI Tech.*, pp. 96-97, 2008.
  - [19] M. A. Panzer, M. Shandalov, J. A. Rowlette, Y. Oshima, Y. W. Chen, P. C. McIntyre et al., «Thermal properties of ultrathin hafnium oxide gate dielectric films,» *Electron Dev. Lett.*, vol. 30, pp. 1269-1271, 2009.
  - [20] S.-M. Lee et D. G. Cahill, «Thermal conductivity of sputtered oxide films,» *Phys. Rev. B*, vol. 52, pp. 253-257, 1995.
  - [21] Z. L. Wu, M. Reichling, X.-Q. Hu, K. Balasubramanian et K. H. Guenther, «Absorption and thermal conductivity of oxide thin films measured by photothermal displacement and reflectance methods,» *Appl. Optics*, vol. 32, pp. 5660-5665, 1993.
  - [22] S. Harada, K. Tanaka et H. Inui, «Thermoelectric properties and crystallographic shear structures in titanium oxides of the Magnéli phases,» *J. Appl. Phys.*, vol. 108, pp. 083703.1-083703.6, 2010.
  - [23] K. Kinoshita, K. Tsunoda, Y. Sato, H. Noshiro, S. Yagaki, M. Aoki et al., «Reduction in the reset current in a resistive random access memory consisting of NiOx brought about by reducing a parasitic capacitance,» *Appl. Phys. Lett.*, vol. 93, pp. 033506.1-033506.3, 2008.
  - [24] L.-Y. Chen, «Temperature dependent dielectric properties of polycrystalline aluminium oxide substrates with various impurities,» *Proc. Int. Conf. Electronic Packaging Technology*, pp. 1-6, 2007.
-



- [25] N. Ohshima, «Crystallization of germanium-antimony-tellurium amorphous thin film sandwiched between various dielectric protective films,» *J. Appl. Phys.*, vol. 79, pp. 8357-8363, 1996.
- [26] H.-Y. Cheng, S. Raoux, B. Munoz et J. L. Jordan-Sweet, «Influence of interfaces on the crystallization characteristics of  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,» *Proc. Non-Volatile Memory Tech. Symp.*, pp. 1-6, 2009.
- [27] Y. Lu, S. Song, Z. Song, W. Ren, C. Peng, Y. Cheng et al., «Investigation of  $\text{HfO}_2$  doping on GeTe for phase change memory,» *Solid State Sciences*, vol. 13, pp. 1943-1947, 2011.

## **Chapitre IV**

# **Intérêt du dopage au carbone pour améliorer les performances électriques des dispositifs mémoires PCRAM à base de GST**

### **Résumé du Chapitre IV**

Dans ce Chapitre, nous montrons que l'incorporation de carbone au sein de la couche de GST d'un dispositif PCRAM de dimensions réduites permet d'en améliorer considérablement certaines performances électriques et notamment, d'en réduire les courants de programmation et la consommation électrique mais également d'en augmenter la rétention de l'information à haute température (Paragraphe II). Dans le Paragraphe III, nous expliquons la réduction des courants de programmation et de la consommation électrique de ces dispositifs par la réduction de la conductivité thermique et l'augmentation de la résistivité dynamique du GST lorsque du carbone y est ajouté. Enfin dans le Paragraphe IV, nous proposons une méthode innovante nécessitant l'encapsulation de la couche de GST dopée au carbone par une couche de titane pour conserver l'information pendant l'étape de soudure d'une matrice mémoire sur une carte électronique.



## Table des matières

I. Intérêt de modifier le matériau à changement de phase .....	163
I.1 Amélioration des performances par modification de la stoechiométrie de l'alliage $\text{Ge}_x\text{Sb}_y\text{Te}_z$ .....	163
I.2 Amélioration des performances par dopage du GST.....	164
I.2.1 Impact des principaux dopants sur les performances de cellules PCRAM .....	164
I.2.2 Dopage au carbone des matériaux à changement de phase .....	165
I.3 Problématique de l'étude .....	166
II. Impact du dopage au carbone sur les performances électriques de dispositifs PCRAM de dimensions réduites à base de GST .....	167
II.1 Fabrication de dispositifs à structure "Wall" de dimensions réduites .....	167
II.2 Caractéristiques R-I et consommation électrique.....	168
II.3 Miniaturisation des dispositifs PCRAM et dopage au carbone.....	170
II.4 Rapidité de programmation .....	170
II.5 Fenêtre de programmation et endurance .....	171
II.6 Stabilité thermique de la phase amorphe.....	172
II.7 Conclusion .....	174
III. Lien entre l'ajout du carbone et les performances des dispositifs PCRAM .....	175
III.1 Réduction des courants de programmation.....	176
III.1.1 Paramètres du matériau à changement de phase contrôlant le courant de RESET des dispositifs PCRAM.....	176
III.1.2 Cas du GST dopé au carbone .....	177
III.2 Stabilisation de la phase amorphe.....	183
III.3 Conclusion .....	184
IV. Intérêt du dopage au carbone pour surmonter l'étape de soudure.....	184
IV.1 Effet combiné du carbone et du titane.....	184
IV.2 Intérêt pour conserver l'information lors de l'étape de soudure.....	186
IV.3 Conclusion .....	190
Conclusion du Chapitre IV .....	191
Bibliographie.....	192



## I. Intérêt de modifier le matériau à changement de phase

Nous avons vu dans le chapitre I, qu'il est possible de modifier le matériau à changement de phase, tant du point de vue de sa stœchiométrie que du dopage, pour en améliorer les propriétés afin de répondre au cahier des charges imposé. Nous définissons la modification de la stœchiométrie du matériau à changement de phase comme le fait de conserver les mêmes éléments chimiques mais d'en modifier les proportions tandis que nous considérons le dopage comme l'ajout d'un nouvel élément. De nombreuses études ont ainsi cherché à améliorer les performances des cellules PCRAM en améliorant certaines propriétés du matériau à changement de phase. Notre problématique étant de diminuer les courants de programmation tout en augmentant la rétention de l'information des dispositifs PCRAM à base de Ge, Sb et Te, nous limitons notre étude à ces deux aspects.

### I.1 Amélioration des performances par modification de la stœchiométrie de l'alliage $\text{Ge}_x\text{Sb}_y\text{Te}_z$

Comme nous l'avons vu dans le Chapitre I, de nombreuses études ont été menées afin de mettre au point le matériau  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (GST) satisfaisant ainsi au cahier des charges imposé pour une utilisation au sein des disques optiques [1], [2], [3]. Toutefois, les propriétés de cristallisation de celui-ci ne sont suffisantes ni pour satisfaire aux performances de rétention imposées par le cahier des charges des applications embarquées et particulièrement automobiles (i.e. conserver l'information pendant 10 ans à  $150^\circ\text{C}$ ) ni pour surmonter la perte d'informations liée à l'étape de soudure de la puce mémoire sur une carte électronique. Cependant, ces études ont montré que plus la teneur en germanium est élevée plus la phase amorphe est stable et la rétention importante (Figure IV.1). En conséquence, des études récentes ont permis de développer des alliages de matériaux à changement de phase à base de  $\text{Sb}_2\text{Te}_3$  et de germanium, démontrant ainsi qu'enrichir l'alliage  $\text{Ge}_2\text{Sb}_1\text{Te}_2$  en germanium permet d'augmenter la température de cristallisation du matériau ainsi que l'énergie d'activation de la cristallisation [4], [5]. De plus, un alliage de type  $\text{Ge}_x\text{Sb}_y\text{Te}_z$  avec une température de cristallisation supérieure à  $270^\circ\text{C}$  et une température de rétention à 10 ans de  $203,5^\circ\text{C}$  a récemment été présenté, sans toutefois révéler sa stœchiométrie exacte [6].

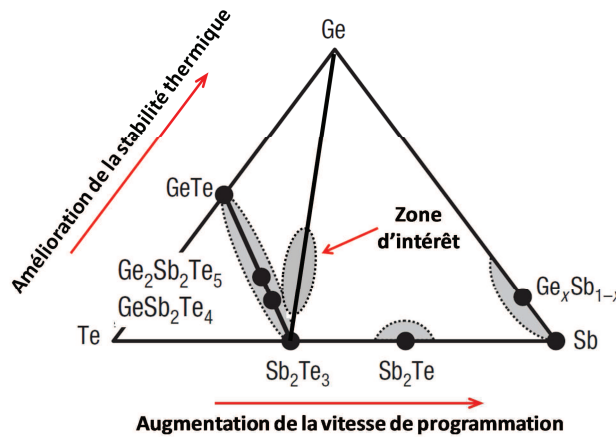


Figure IV.1 : Diagramme ternaire des éléments germanium, antimoine et tellure indiquant les principales zones d'alliage d'intérêt pour les mémoires à changement de phase. [1], [2]

## I.2 Amélioration des performances par dopage du GST

### I.2.1 Impact des principaux dopants sur les performances de cellules PCRAM

L'incorporation de dopants au sein du GST a fait l'objet de nombreuses études car cela présente plusieurs intérêts. Le premier est, comme nous le verrons ci-dessous, d'améliorer les performances des cellules PCRAM. Le second est de prévoir les effets de l'incorporation non intentionnelle d'éléments, tels que l'oxygène, l'azote ou le carbone, au sein de la couche de GST lors du procédé de fabrication de la cellule PCRAM. L'incorporation peut se produire directement lors du dépôt du GST ou bien ultérieurement, par exemple lors de la diffusion d'éléments contaminants pendant la fabrication de la cellule PCRAM.

La Figure IV.2 présente les principaux éléments ayant été incorporés au sein du GST au cours de différentes études. Il est à noter que les dopants peuvent également être composés de plusieurs atomes, c'est par exemple le cas lors d'un dopage au  $\text{SiO}_2$  ou au  $\text{Ta}_2\text{O}_5$ . Le Tableau IV.1 reporte les modifications des performances des cellules PCRAM induites par la présence des trois dopants les plus étudiés. On constate que l'ajout de ces dopants peut permettre de diminuer les courants de programmation des cellules PCRAM tout en augmentant la rétention de l'information.

Figure IV.2 : Tableau périodique des éléments indiquant les principaux dopants utilisés pour améliorer les performances des cellules PCRAM. [7], [8], [9], [10], [11], [12], [13], [14], [15], [16], [17]

	Critère de performance	Oxygène [12], [18]	Azote [5], [8], [19]	SiO <sub>2</sub> [11], [17], [20]
Programmation	Courant	↓	~ ou ↓	↓
	Rapidité		~	↓
	Fenêtre		~	↓
Cristallisation	Température	↑	↑	↑
	Énergie d'activation	↑	↑	↑
	Rétention	↑	↑	↑

Le cas du dopage au carbone attire particulièrement l'attention et l'étude de son impact sur les performances électriques des cellules PCRAM présente des nombreux intérêts. Tout d'abord, un des points clé de la miniaturisation des cellules PCRAM pour les nœuds technologiques avancés est le développement de structures de petites dimensions, telles que les structures confinées. Pour remplir les cavités à fort rapport de forme de ces structures avec un matériau à changement de phase, il est nécessaire de développer des procédés de dépôt en phase vapeur, tels que la CVD, MOCVD ou encore l'ALD, capables de répondre aux exigences de conformité de dépôt. Or ces techniques de dépôt utilisent des précurseurs chimiques ou des co-réactants contenant du carbone pouvant dans certains cas se retrouver incorporé non intentionnellement au sein du matériau à changement de phase [21]. Ainsi, le dopage au carbone des matériaux à changement de phase est parfois inhérent à la technique de dépôt utilisée,



et l'étude de l'effet de l'incorporation de carbone sur les propriétés des matériaux à changement de phase est indispensable.

Ainsi, des premières études sur l'impact de l'incorporation de carbone dans du GeTe ont été menées [22], [23], [24]. Celles-ci ont démontré l'intérêt de ce dopage pour diminuer le courant de RESET des dispositifs PCRAM tout en augmentant la rétention de l'information (Figures IV.3 et IV.4). En effet, un courant de RESET réduit d'environ 30% est obtenu dans le cas du GeTe avec 10% de carbone comparé à celui du GeTe. De même, une réduction d'environ 50% de la puissance de RESET est obtenue. Enfin, une augmentation de l'énergie d'activation de plus de 2 eV est constatée lorsque 4% et 10% de carbone sont ajoutés au GeTe.

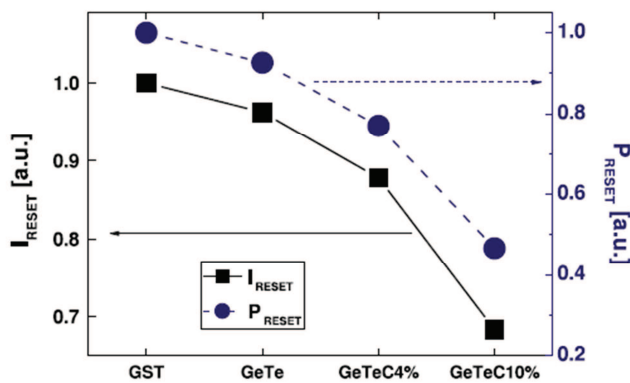


Figure IV.3 : Courants et puissances de RESET de dispositifs PCRAM à base de divers matériaux à changement de phase. [24]

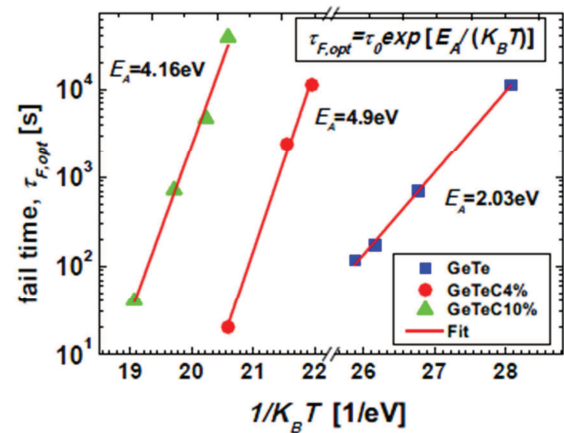


Figure IV.4 : Impact du carbone sur la rétention de l'information de dispositifs PCRAM à base de GeTe. [24]

### I.3 Problématique de l'étude

L'incorporation de carbone au sein du matériau à changement de phase semble donc permettre d'améliorer certaines performances du dispositif PCRAM. Toutefois, les études réalisées sur le GeTe se limitent à des dispositifs de grande taille ainsi qu'à des concentrations en carbone élevées ( $\geq 4 \text{ at. } \%$ ) et, à notre connaissance, aucune étude portant sur des pourcentages plus faibles ainsi que sur des dispositifs à base de GST de dimensions réduites n'a été réalisée. En conséquence, la problématique de notre étude est la suivante :

- Quel est l'impact du dopage au carbone sur les performances de dispositifs PCRAM de dimensions réduites et à base de GST ?
- Comment interpréter les modifications de performances observées ? Quels sont les paramètres du matériau à changement de phase impactés par la présence du carbone ?
- Existe-il un dopage optimal permettant d'optimiser l'ensemble des performances de la cellule PCRAM ou des compromis sont-ils à trouver ?

## II. Impact du dopage au carbone sur les performances électriques de dispositifs PCRAM de dimensions réduites à base de GST

### II.1 Fabrication de dispositifs à structure “Wall” de dimensions réduites

Afin d'étudier l'effet du dopage au carbone sur les performances de dispositifs PCRAM de dimensions réduites à base de GST, des dispositifs de test ayant une structure “Wall” ont été fabriqués en collaboration avec STMicroelectronics (Figure IV.5) [25]. L'ensemble des étapes de fabrication y sont réalisées à l'exception des étapes de dépôt et d'encapsulation du matériau à changement de phase qui sont effectuées au LETI. Ces dispositifs de type “Wall” ont un pilier rectangulaire à base de TiN dopé.

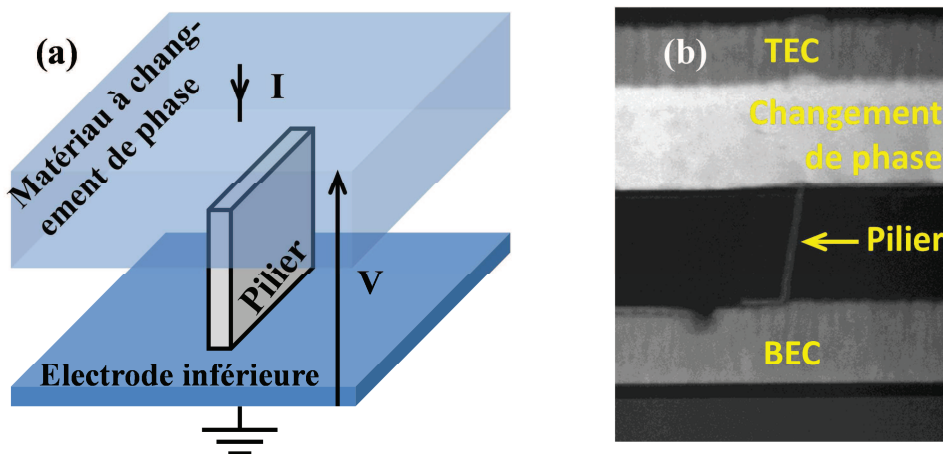


Figure IV.5 : Schéma de principe de la structure “Wall” étudiée (a) et vue en coupe, obtenue par la technique d'imagerie TEM, correspondante (b).

En ce qui concerne le dépôt de la couche de matériau à changement de phase, celui-ci est obtenu par la pulvérisation simultanée d'une cible de GST pur et d'une cible de carbone pur également. En faisant varier la puissance électrique appliquée sur chacune des cibles, il est possible de contrôler la quantité de carbone incorporée au sein du GST. Cette couche d'épaisseur 70 nm est déposée directement sur le pilier et est directement encapsulée par une couche de TiN d'épaisseur 5 nm. Suite au dépôt du matériau à changement de phase, un recuit à 400°C est réalisé.

Les matériaux à changement de phase étudiés au cours de cette étude sont du GST pur et du GST dopé avec 0,25%, 0,50%, 0,75%, 1%, 2% ou 5% de carbone. Les concentrations réelles en carbone ont été mesurées à l'aide de la méthode d'analyse NRA tandis que la stœchiométrie du GST a été vérifiée par les techniques RBS et PIXE (voir le paragraphe II.1 du Chapitre II). La Figure IV.6 présente les concentrations

atomiques en carbone réellement obtenues. On constate que la concentration réelle en carbone est environ 3 fois supérieure à la concentration désirée (Tableau IV.2).

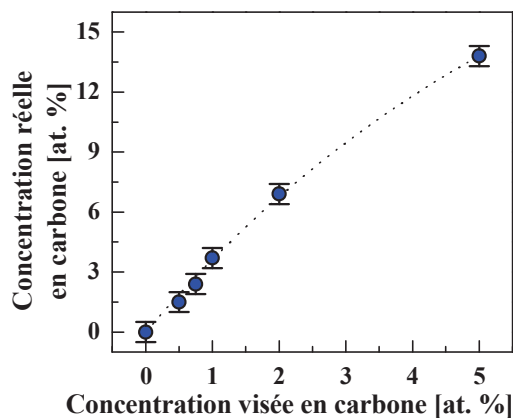


Figure IV.6 : Comparaison entre la concentration réelle en carbone au sein du GST et la concentration visée.

Tableau IV.2 : Récapitulatif des différents matériaux à changement de phase étudiés.

Concentration visée [at. %]	0	0,25	0,50	0,75	1	2	5
Concentration réelle [at. %]	0	0,75	1,5	2,4	3,7	6,9	13,8
Nom du matériau	GST	GST-C0,75%	GST-C1,5%	GST-C2,4%	GST-C4%	GST-C7%	GST-C14%

## II.2 Caractéristiques R-I et consommation électrique

Les caractéristiques R-I de ces dispositifs PCRAM ont été mesurées à l'aide du montage expérimental présenté dans le paragraphe III.1 du Chapitre II pour lequel la résistance série est de 1 K $\Omega$ . Les courbes obtenues sont présentées sur la Figure IV.7. On constate que l'ajout de carbone au sein de la couche de GST permet de réduire considérablement les courants de programmation du dispositif PCRAM (Figures IV.7 et IV.8). En effet, plus de 45% de réduction est obtenu lorsque 14% de carbone est ajouté au GST.

Les puissances  $P_{\text{RESET}}$  et  $P_{\text{SET}}$  ainsi que l'énergie  $E_{\text{CYCLE}}$  ont également été calculées à l'aide des équations 6, 7 et 8 du Chapitre II. Pour cela, la durée des impulsions utilisées pour l'amorphisation et la cristallisation du matériau à changement de phase sont 300 ns et 1000 ns, respectivement. Il apparaît que l'incorporation du carbone dans le GST permet de réduire à la fois les puissances nécessaires à l'amorphisation et à la cristallisation du matériau à changement de phase mais également l'énergie requise

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

pour effectuer un cycle d'écriture/effacement (Figure IV.9). En effet, ces grandeurs sont réduites de 45%, 57% et 50%, respectivement, lorsque 14% de carbone est ajouté au GST.

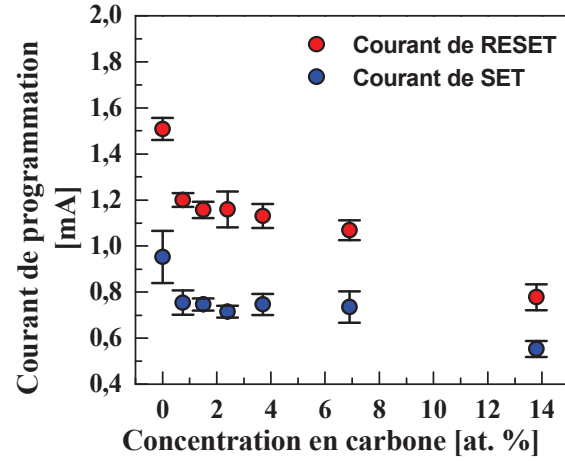
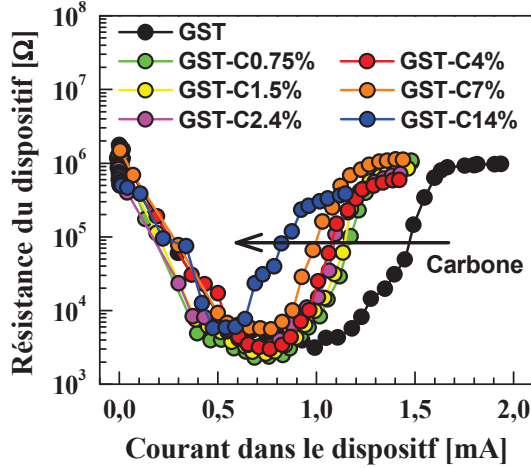


Figure IV.7 : Caractéristiques R-I des dispositifs PCRAM à base de GST dopé au carbone.

Figure IV.8 : Courants de RESET et de SET des dispositifs PCRAM en fonction de la teneur en carbone du GST.<sup>1</sup>

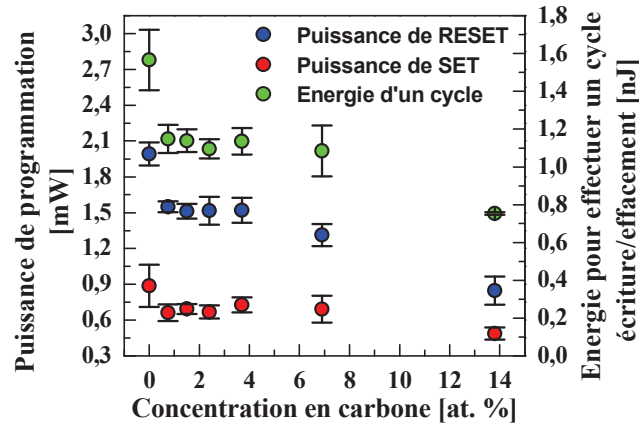


Figure IV.9 : Puissances de RESET et SET et énergie requise pour effectuer un cycle d'écriture/effacement des dispositifs PCRAM en fonction de la teneur en carbone du GST.<sup>1</sup>

Ainsi, l'ajout de carbone au sein de la couche de GST permet de réduire considérablement les courants de programmation nécessaires au fonctionnement du dispositif PCRAM ainsi que la consommation électrique de celui-ci. Toutefois, afin de confirmer l'intérêt du GST-C comme matériau à changement de phase alternatif, les autres performances de ces dispositifs PCRAM doivent être étudiées.

<sup>1</sup> Chaque point est obtenu en moyennant les données obtenues sur 10 dispositifs environ. Les barres d'erreurs représentent l'écart type correspondant.

### II.3 Miniaturisation des dispositifs PCRAM et dopage au carbone

Les caractéristiques R-I de dispositifs PCRAM de différentes dimensions ont également été mesurées et les courants de programmation extraits. Les résultats obtenus sont représentés sur la Figure IV.10. On constate que l'ajout de carbone permet de réduire les courants de RESET de l'ensemble des dispositifs PCRAM étudiés ici, y compris dans le cas des plus petits dispositifs à notre disposition ( $300 \text{ nm}^2$ ). Dans la littérature, l'aire active des cellules PCRAM les plus petites fabriquées est d'environ  $200 \text{ nm}^2$  et le courant de RESET de ces cellules est compris entre  $100 \text{ }\mu\text{A}$  et  $400 \text{ }\mu\text{A}$  (voir Figure I.33 du Chapitre I). Dans notre cas, si on extrapole les résultats à un dispositif de  $200 \text{ nm}^2$  à base de GST, le courant de RESET serait d'environ  $290 \text{ }\mu\text{A}$  tandis que si le dispositif est à base de GST-C4%, le courant de RESET extrapolé serait d'environ  $125 \text{ }\mu\text{A}$ , plaçant ainsi ces dispositifs parmi ceux ayant le courant de RESET le plus faible jamais reporté. En termes de courant de programmation, les dispositifs PCRAM à base de GST-C4% seraient alors compatibles avec les spécifications requises pour les nœuds technologiques  $16 \text{ nm}$  et  $22 \text{ nm}$ , tandis que ceux à base de GST non dopé ne le serait pas (Figure IV.11).

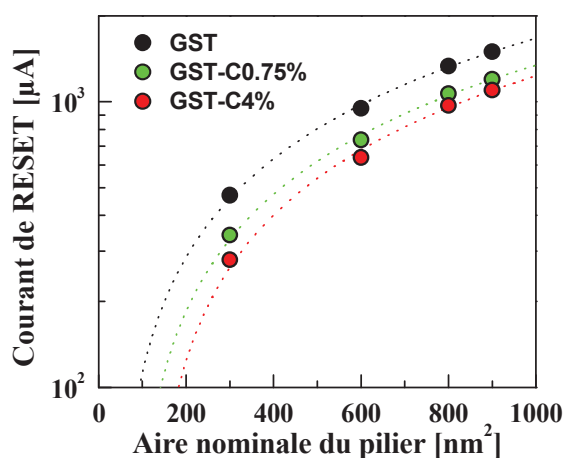


Figure IV.10 : Évolution, en fonction de la taille de la zone active, du courant de RESET des dispositifs PCRAM à base GST dopé au carbone.

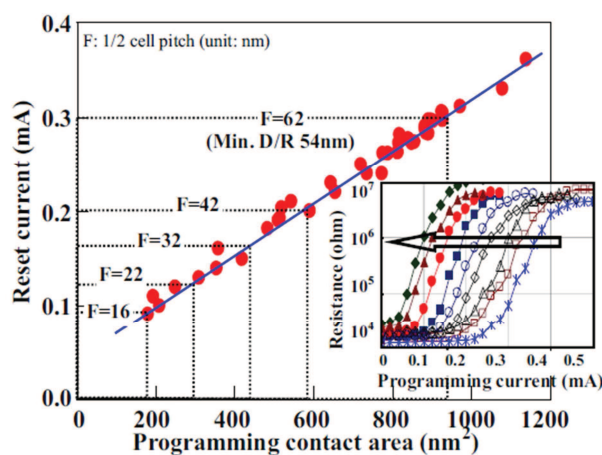


Figure IV.11 : Évolution du courant de RESET de cellules PCRAM en fonction de la taille de la zone active et nœud technologique correspondant. [26]

### II.4 Rapidité de programmation

En appliquant la méthode décrite dans le paragraphe III.3.2 du Chapitre II, nous avons caractérisé la rapidité de programmation maximale des dispositifs PCRAM à base de GST dopé au carbone. Les résultats obtenus sont présentés sur la Figure IV.12. Nous

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

constatons que pour les dispositifs PCRAM avec de faibles concentrations en carbone ( $\leq 4$  at. %), la durée de l'impulsion à appliquer pour passer de l'état RESET à l'état SET est similaire à la durée requise dans les cas des dispositifs sans carbone ( $\sim 300$  ns). Toutefois, lorsque la concentration en carbone augmente, on observe que l'impulsion appliquée doit être plus longue et atteint même 1  $\mu$ s dans le cas des dispositifs à base de GST-C14%.

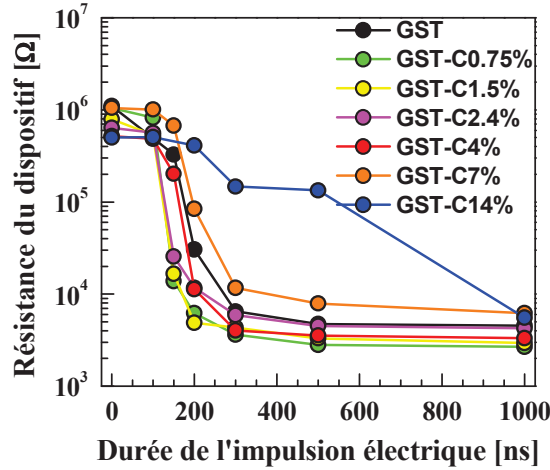


Figure IV.12 : Vitesse de passage dans l'état SET des dispositifs PCRAM à base de GST dopé au carbone.

## II.5 Fenêtre de programmation et endurance

Afin de mesurer l'impact du dopage au carbone sur la fenêtre de programmation des dispositifs étudiés, les caractéristiques R-I ont été mesurées et exploitées. On constate sur la Figure IV.13 que l'ajout de carbone semble diminuer la résistance de l'état RESET tout en augmentant celle de l'état SET et donc réduit la fenêtre de programmation. Toutefois, celle-ci reste supérieure à 2 ordres de grandeurs, ce qui satisfait aux cahiers des charges imposés que ce soit par les applications "stand-alone" ou par les applications embarquées (voir Chapitre I).

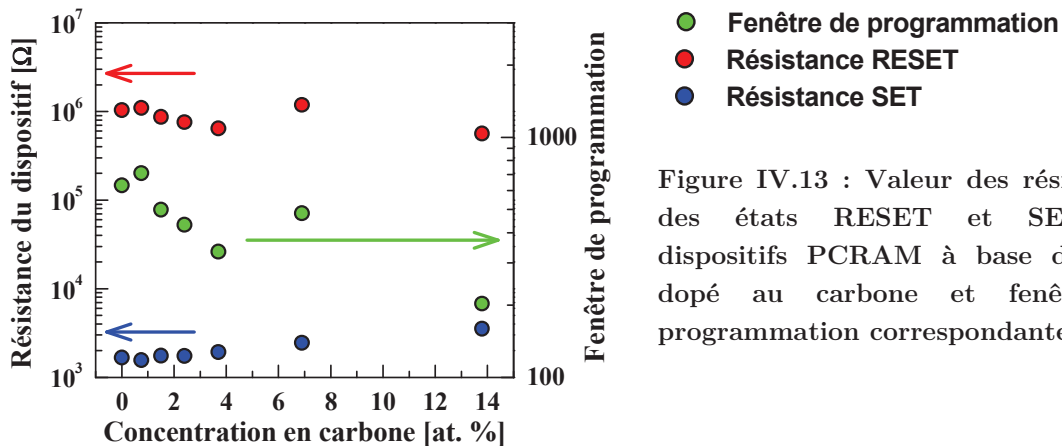


Figure IV.13 : Valeur des résistances des états RESET et SET des dispositifs PCRAM à base de GST dopé au carbone et fenêtre de programmation correspondante.

Pour caractériser l'endurance des dispositifs PCRAM, nous avons comparé les caractéristiques R-I des dispositifs à base de GST et de GST-C dans l'état initial et après  $10^5$  cycles d'écriture/effacement. On constate sur la Figure IV.14 qu'après l'application des  $10^5$  cycles d'écriture/effacement, les courants de programmation de l'ensemble des dispositifs (y compris ceux à base de GST) sont augmentés. Toutefois, nous remarquons également que, après l'application de  $10^5$  pulses, la réduction des courants de programmation liée à la présence du carbone dans la couche de GST est conservée. De plus, une légère diminution de la résistance de l'état SET ainsi qu'une diminution importante de la résistance de l'état RESET sont observées. En conséquence, il semble que le carbone ne modifie pas l'endurance des dispositifs PCRAM de dimensions réduites et que les cellules à base de GST-C se comportent comme ceux à base de GST.

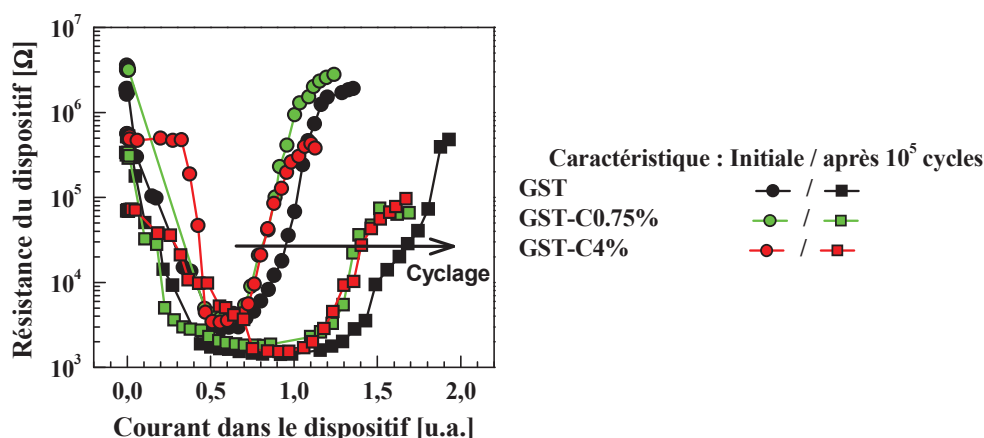


Figure IV.14 : Comparaison des caractéristiques R-I des dispositifs PCRAM à base GST dopé au carbone suite à divers cyclage.

## II.6 Stabilité thermique de la phase amorphe

La phase amorphe du GST et du GST-C a été caractérisée en utilisant deux des techniques décrites dans les paragraphes II.2.3 et III.3.4 du Chapitre II :

- Caractérisation de la cinétique de cristallisation des matériaux déposés pleine tranche ;
- Caractérisation de la perte de l'information stockée dans l'état RESET d'une cellule due à la cristallisation du matériau à changement de phase.

### Caractérisation de la cinétique de cristallisation

La Figure IV.15 présente l'évolution de la résistivité des matériaux GST et GST-C, initialement dans la phase amorphe, en fonction de la température appliquée pour une rampe de température de  $10^\circ\text{C}/\text{min}$ . On constate que la température de cristallisation



du matériau à changement de phase augmente considérablement avec l'ajout de carbone.

Pour obtenir l'énergie d'activation de la cristallisation de ces différents matériaux, des rampes de 1°C/min, 5°C/min, 10°C/min, 17°C/min et 30°C/min ont été appliquées et les températures de cristallisation calculées (Figure IV.16). On constate que l'énergie d'activation de la cristallisation augmente avec la concentration en carbone. En effet, une augmentation comprise entre 0,8 eV et 2,5 eV est obtenue lorsqu'entre 0,75% et 14% de carbone est ajouté au GST (Tableau IV.3). En conséquence, grâce à des température et énergie d'activation de cristallisation élevées, le GST-C semble être un matériau prometteur pour améliorer la rétention de l'information des dispositifs PCRAM.

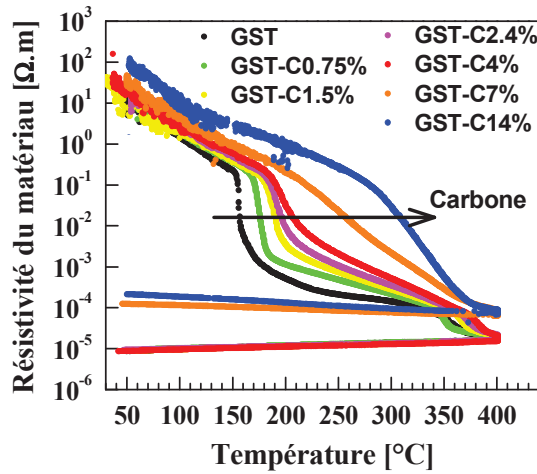


Figure IV.15 : Évolution de la résistivité du matériau à changement de phase initialement amorphe en fonction de la température.

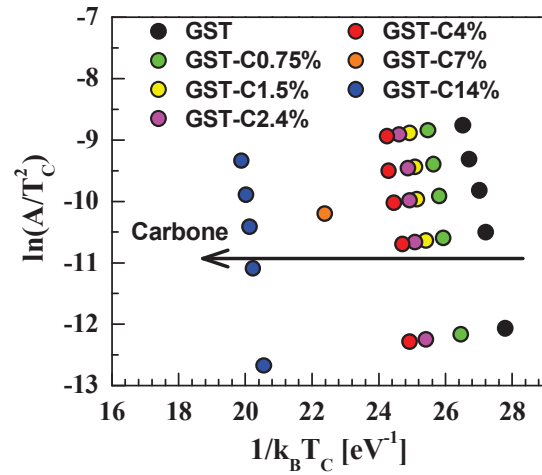


Figure IV.16 : Graphe de Kissinger du matériau GST dopé avec différents pourcentages de carbone.

### Caractérisation de la rétention de l'information

La stabilité thermique de l'état RESET des dispositifs à base de GST ainsi que de ceux à base de GST-C0,75%, de GST-C4% et de GST-C14% a été caractérisée en utilisant la méthode décrite dans le paragraphe III.3.4 du Chapitre II. Les résultats obtenus sont présentés sur la Figure IV.17. On constate à nouveau que l'énergie d'activation de la cristallisation augmente avec la concentration en carbone. En conséquence, la température extrapolée pouvant être supportée par les dispositifs PCRAM, pour une durée de rétention de 10 ans, est de 124°C dans le cas des dispositifs à base de GST, de 125°C pour ceux à base de GST-C0,75%, de 139°C pour ceux à base de GST-C4% et de 147°C pour ceux à base de GST-C14%.



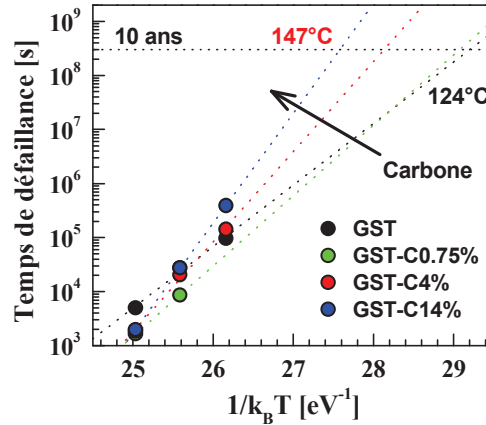


Figure IV.17 : Graphe d'Arrhenius de l'état RESET des dispositifs PCRAM à base de GST dopé au carbone. Les symboles correspondent aux données expérimentales et les lignes sont une modélisation réalisée à l'aide de l'équation 10 du Chapitre II.<sup>2</sup>

L'étude de la stabilité thermique de l'état RESET des dispositifs PCRAM à base de GST et de GST-C montre que la température de cristallisation ainsi que l'énergie d'activation de la cristallisation augmentent lorsque du carbone est ajouté au GST. Toutefois, ces augmentations ne permettent pas de conserver l'information stockée ni pendant 10 ans à 150°C ni pendant l'étape de soudure de la puce mémoire sur une carte électronique. Ainsi, bien qu'améliorant la stabilité thermique de l'état RESET du dispositif PCRAM, le dopage au carbone du GST ne semble pas permettre de répondre au cahier des charges de certaines applications embarquées, notamment automobiles.

## II.7 Conclusion

Nous avons vu dans les paragraphes précédents que l'incorporation de carbone au sein de la couche de GST d'un dispositif PCRAM permet de modifier considérablement certaines performances électriques.

Les courants de programmation ainsi que la consommation électrique sont fortement réduits (~50% pour le GST-C14%). De plus, en termes de courant de RESET, nous avons montré que les dispositifs PCRAM à base de GST-C4% sont compatibles avec les spécifications requises pour les nœuds technologiques 16 nm et 22 nm, tandis que ceux à base de GST non dopé ne le sont pas.

Les propriétés de cristallisation sont également modifiées par la présence du carbone. Plus particulièrement, les température et énergie d'activation de la cristallisation sont augmentées lorsque du carbone est ajouté au GST. Toutefois, la présence du carbone ne permet pas au dispositif PCRAM de conserver l'information à 150°C pendant une période supérieure à 10 ans, ne satisfaisant pas au cahier des charges de certaines applications embarquées notamment automobiles. Enfin, pour les faibles concentrations en carbone ( $\leq 4$  at. %), la durée minimale de l'impulsion à appliquer pour passer de l'état RESET à l'état SET n'a pas été modifiée.

<sup>2</sup> Pour chacun des matériaux à changement de phase étudié, la modélisation à l'aide de l'équation 10 du Chapitre II s'accorde avec les données expérimentales avec un coefficient de détermination supérieur à 0,99.

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

Enfin, l'endurance des dispositifs à base de GST-C semble similaire à celle des dispositifs à base de GST. Le Tableau IV.3 résume les performances électriques des dispositifs PCRAM à base de GST et de GST-C.

**Tableau IV.3 : Récapitulatif des performances des dispositifs PCRAM à base de GST et GST dopé au carbone.**

Concentration réelle en carbone		0%	0,75%	1,5%	2,4%	3,7%	6,9%	13,8%
I <sub>RESET</sub> [mA]		1,51	1,20	1,16	1,16	1,13	1,07	0,78
(réduction)		---	(20%)	(23%)	(23%)	(25%)	(29%)	(48%)
I <sub>SET</sub> [mA]		0,95	0,75	0,74	0,72	0,74	0,73	0,55
(réduction)		---	(21%)	(22%)	(25%)	(22%)	(23%)	(42%)
E <sub>CYCLE</sub> [nJ]		1,56	1,15	1,14	1,09	1,13	1,08	0,75
(réduction)		---	(25%)	(24%)	(27%)	(22%)	(28%)	(50%)
Vitesse de programmation		300 ns	300 ns	300 ns	300 ns	300 ns	500 ns	1 μs
Fenêtre de programmation		630	708	500	432	333	482	203
Température de cristallisation		156°C	176°C	188°C	192°C	201°C	245°C	303°C
Énergie d'activation	E <sub>A1</sub> *	2,6 eV	3,4 eV	4,4 eV	4,3 eV	4,4 eV	---	5,1 eV
	E <sub>A2</sub> *	2,6 eV	3,0 eV	---	---	3,8 eV	---	4,7 eV
Température de rétention à 10 ans		124°C	125°C	---	---	139°C	---	147°C

### III. Lien entre l'ajout du carbone et les performances des dispositifs PCRAM

Nous avons montré dans le paragraphe II.2 que l'ajout de carbone permet de réduire considérablement les courants et puissances de programmation ainsi que la consommation électrique des dispositifs PCRAM, y compris lorsque l'aire nominale de la zone active est de 300 nm<sup>2</sup>. Nous avons également constaté que l'ajout de carbone permet de stabiliser la phase amorphe du matériau à changement de phase en augmentant l'énergie d'activation de la cristallisation. Toutefois, afin de pouvoir utiliser le GST dopé au carbone comme matériau à changement de phase alternatif au GST, il est nécessaire de comprendre comment le carbone agit sur les propriétés électriques et thermiques du GST.

### III.1 Réduction des courants de programmation

#### III.1.1 Paramètres du matériau à changement de phase contrôlant le courant de RESET des dispositifs PCRAM

La transition d'une phase à l'autre d'un matériau à changement de phase est contrôlée par l'élévation de la température au sein de la structure PCRAM. Ainsi, deux principales contributions physiques doivent être prises en compte : la production et la dissipation de chaleur au sein du matériau à changement de phase.

La température,  $T$ , atteinte en un point du dispositif peut être calculée à l'aide du bilan de puissance présenté dans l'équation 1 suivante [27] :

$$\rho \cdot C \cdot \frac{\partial T}{\partial t} + \text{div}(-\kappa \cdot \text{grad}(T)) = \rho_{DYN} \cdot J^2 \quad (1)$$

- Le terme  $\rho_{DYN} \cdot J^2$  correspond à l'effet Joule et donc à la puissance électrique créée, avec  $\rho_{DYN}$  la résistivité correspondant à la résistance équivalente du dispositif,  $R_{DYN}$ , présentée dans le paragraphe III.3.1 du Chapitre II et  $J$  la densité de courant.
- Le terme  $\text{div}(-\kappa \cdot \text{grad}(T))$ , dans lequel  $\kappa$  est la conductivité thermique locale et  $T$  la température, correspond à la diffusion thermique et donc à la dissipation de chaleur.
- Le terme  $\rho \cdot C \cdot \partial T / \partial t$  correspond à l'évolution temporelle de la température où  $\rho$  est la masse volumique et  $C$  la capacité thermique massique.

Afin d'interpréter qualitativement les effets de chaque terme, nous supposons un modèle unidimensionnel et une conductivité thermique constante sur l'ensemble de la couche de matériau à changement de phase. De plus, les mesures de courant étant effectuées en régime stationnaire (voir paragraphe III.2 du Chapitre II), on obtient l'équation simplifiée suivante :

$$\frac{\partial^2 T}{\partial x^2} = -\frac{\rho_{DYN} \cdot J^2}{\kappa} \quad (2)$$

Ainsi, pour une puissance créée identique, l'élévation de température au sein du matériau à changement de phase, est plus importante si la conductivité thermique du matériau,  $\kappa$ , est faible. Formulé différemment, pour obtenir une élévation de température identique au sein du matériau à changement de phase, il faut fournir moins de puissance si  $\kappa$  est faible.

---

Dopage au carbone du GST et optimisation des dispositifs PCRAM

---

Lors de l'impulsion de RESET permettant l'amorphisation du matériau à changement de phase, le courant de RESET,  $I_{RESET}$ , du dispositif PCRAM est directement lié à la puissance créée au sein du matériau par effet Joule via l'équation 3 suivante :

$$P_{RESET} = R_{DYN} \cdot I_{RESET}^2 \quad (3)$$

Où  $P_{RESET}$  correspond à la puissance à fournir pour atteindre la température de fusion,  $T_M$ , du matériau à changement de phase. Ainsi, pour une puissance créée identique, le courant de programmation,  $I_{RESET}$ , sera d'autant plus faible que la résistance dynamique,  $R_{DYN}$ , est élevée.

Par conséquent, comme on peut le voir, certains paramètres physiques, du matériau à changement de phase lui-même contrôlent directement le courant de RESET du dispositif PCRAM : la conductivité thermique, la température de fusion et la résistivité dynamique.

Enfin, un autre paramètre important du matériau à changement de phase pourrait impacter le courant de RESET du dispositif PCRAM : la vitesse de cristallisation. En effet, dans le cas de matériaux ayant une vitesse de cristallisation élevée tels que SbTe dopé Ge, il a été montré qu'une portion du matériau à changement de phase située à la périphérie de la zone se trouvant dans l'état liquide, peut recristalliser au cours de la trempe [28]. Ainsi le volume de matériau amorphisé est plus petit que le volume de matériau liquéfié pendant l'impulsion, et par conséquent, il est nécessaire de chauffer le matériau bien au-dessus de la température de fusion pour amorphiser complètement la zone liquéfiée. Il faut donc fournir un courant plus important pour passer dans l'état RESET. Toutefois, cet effet n'est visible que dans les matériaux à cristallisation rapide, ce qui n'est pas le cas des matériaux que nous étudions. En conséquence, nous ne tenons pas compte de cet effet dans la suite de notre étude.

Ainsi, nous venons de voir qu'en plus des dimensions du dispositif mémoire ou de l'optimisation de sa structure permettant d'obtenir de meilleurs confinement thermique et comportement électrique [29], certaines caractéristiques électriques, thermiques et thermodynamiques du matériau à changement de phase lui-même ont un impact sur le courant de programmation du dispositif en impactant à la fois la génération et la dissipation de chaleur.

### III.1.2 Cas du GST dopé au carbone

Nous avons vu dans le paragraphe II.2 que la puissance nécessaire à l'amorphisation du matériau à changement de phase est réduite lorsque du carbone est ajouté au GST. Cette réduction peut être due soit à une diminution de la température de fusion du

matériau à changement de phase soit à une diminution de sa conductivité thermique. Afin de vérifier cette dernière hypothèse, la conductivité thermique de divers matériaux à changement de phase a été mesurée. Pour cela, des couches de GST et de GST-C d'épaisseur 100 nm, 200 nm, 300 nm et 400 nm ont été déposées. Des concentrations réelles en carbone de 4 at. % et 17 at. % ont été mesurées à l'aide des mêmes techniques que celles décrites dans le paragraphe II.1.1 du Chapitre II. Ces couches ont ensuite été encapsulées par une couche de 100 nm de platine déposée par pulvérisation. La technique utilisée pour mesurer les conductivités thermiques est la radiométrie photothermique. Cette technique consiste à mesurer le rayonnement infrarouge émis par une surface en réponse à une excitation photothermique transitoire. Pour cela, l'échantillon est placé à la température désirée permettant ainsi de mesurer la conductivité thermique de l'échantillon à différentes températures. Puis un faisceau laser de longueur d'onde 514 nm irradie celui-ci et chauffe l'échantillon de quelques degrés. Le rayonnement infrarouge ainsi induit est mesuré à l'aide d'un détecteur. De plus, une photodiode rapide mesure le signal laser incident afin de fournir une référence à comparer au signal obtenu en sortie du détecteur infrarouge. Le montage utilisé pour cette mesure est présenté sur la Figure IV.18. Plus de détails sur le montage expérimental et sur la méthode de calcul de la conductivité thermique peuvent être trouvés dans [30], [31].

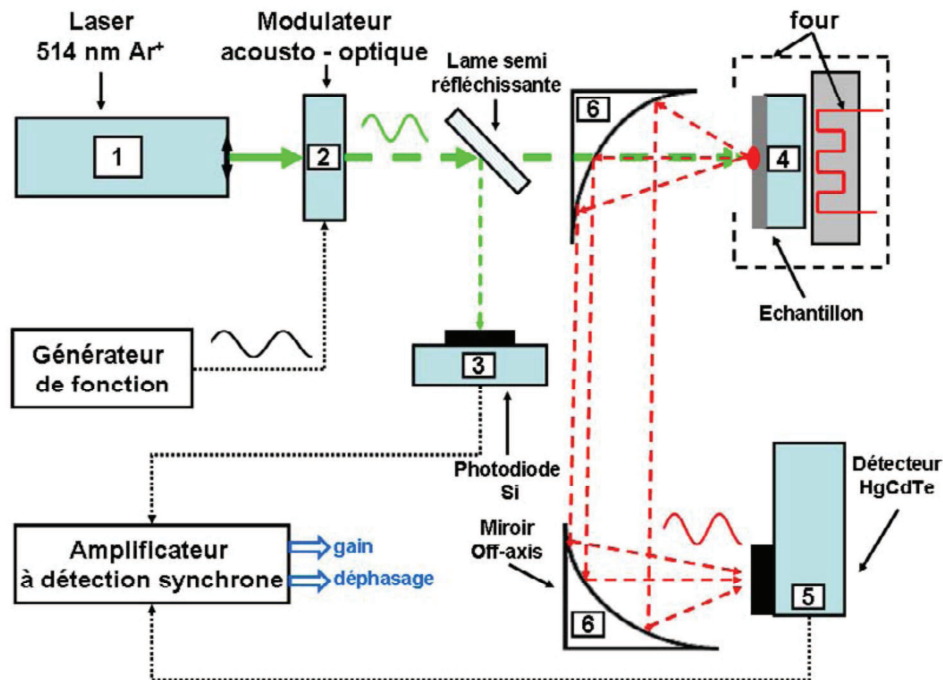


Figure IV.18 : Schéma descriptif d'un montage de radiométrie photothermique modulée. [30]

Les mesures ont été effectuées par le Laboratoire I2M de l'université de Bordeaux qui nous a ensuite transmis les valeurs de résistance thermique surfacique des couches des

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

différentes épaisseurs de matériaux à changement de phase. Cette résistance thermique surfacique est la somme de plusieurs résistances thermiques élémentaires. La première est celle de la couche de matériau à changement de phase, la seconde est celle du substrat et la troisième est celle de l'interface entre le platine et le matériau à changement de phase (équation 4).

$$R_{TH} = \frac{e_{PC}}{\kappa_{PC}} + \frac{e_{SUBSTRAT}}{\kappa_{SUBSTRAT}} + R_{INTERFACE} \quad (4)$$

Dans notre cas, le substrat étant de l'oxyde de silicium ( $\text{SiO}_2$ ), sa conductivité thermique est connue et sa contribution peut donc être soustraite de la résistance thermique mesurée. Ainsi, en traçant la résistance thermique surfacique mesurée en fonction de l'épaisseur de la couche de matériau à changement de phase, on obtient une droite dont la pente est l'inverse de la conductivité thermique du matériau à changement de phase (Figure IV.19). Le Tableau IV.4 présente le rapport entre les valeurs de conductivité thermique du GST et celle du GST-C4% mesurées à différentes températures par la technique précédente. On constate que l'ajout de carbone permet de réduire la conductivité thermique du matériau à changement de phase.

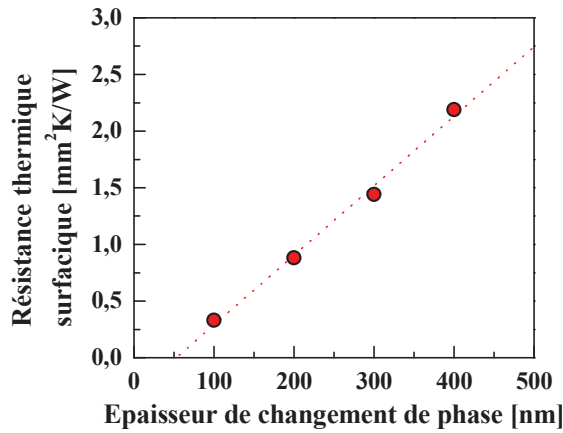


Figure IV.19 : Résistance thermique surfacique du GST-C4% mesurée à 185°C en fonction de l'épaisseur de la couche étudiée.

Tableau IV.4 : Comparaison de la conductivité thermique du GST et du GST-C4% mesurée à différentes températures.

Température	$\kappa_{\text{GST}}/\kappa_{\text{GST-C4\%}}$
85 °C	2.4
135 °C	2.3
185 °C	2.0
265 °C	3.0
285 °C	3.0

Afin de mettre en évidence le réel impact de la conductivité thermique du matériau à changement de phase sur le courant de RESET mesuré sur nos dispositifs PCRAM, des simulations TCAD ont été réalisées à l'aide du modèle PCRAM décrit dans le paragraphe IV du Chapitre II. Pour cela, la structure "Wall" caractérisée a été reproduite. Afin de limiter le temps de calcul, la structure a été supposée symétrique selon deux plans médians perpendiculaires permettant ainsi de ne simuler qu'un quart de la structure (Figure IV.20).

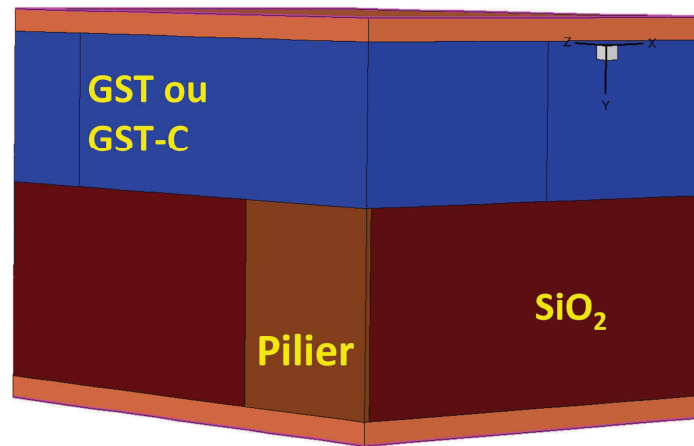


Figure IV.20 : Structure utilisée pour la simulation TCAD des dispositifs PCRAM à structure “Wall” fabriqués en collaboration avec STMicroelectronics.

Les caractéristiques R-I des dispositifs PCRAM à base de GST ont été simulées et un bon accord avec les caractéristiques mesurées a été obtenu (Figure IV.21). Puis la conductivité thermique du matériau à changement de phase a été modifiée afin que celle-ci correspondent à celle du GST-C4%. Les caractéristiques ainsi obtenues sont représentées sur la Figure IV.21. On constate que le courant de RESET simulé du dispositif PCRAM est alors réduit d'environ 17%. Cette réduction est donc inférieure à celle mesurée qui est d'environ 25%. La diminution de la conductivité thermique due à la présence de carbone ne suffit pas à expliquer, à elle seule, la réduction du courant de RESET des dispositifs PCRAM.

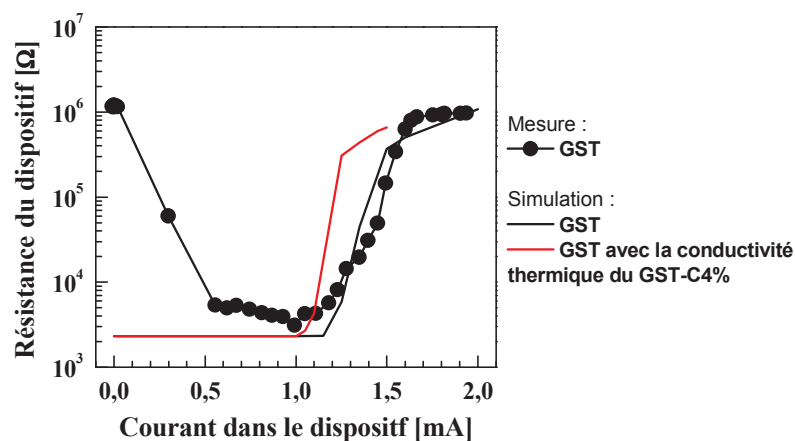


Figure IV.21 : Caractéristiques R-I mesurée et simulée des dispositifs PCRAM à base de GST et caractéristique R-I simulée d'un dispositif PCRAM à base d'un matériau à changement de phase hybride ayant les propriétés du GST et la conductivité thermique du GST-C4%.



## Dopage au carbone du GST et optimisation des dispositifs PCRAM

La Figure IV.22 montre que les caractéristiques I-V des dispositifs PCRAM à base de GST-C diffèrent de celles des dispositifs à base de GST. En effet, une augmentation de la résistance dynamique est observée lorsque du carbone est ajouté au GST. Ainsi, dans le cas des dispositifs à base de GST la résistance dynamique est de  $817 \Omega$  tandis qu'elle est de  $1010 \Omega$  pour les dispositifs à base de GST-C4%. En conséquence, de nouvelles simulations TCAD sont effectuées en tenant compte de cette augmentation de la résistance dynamique. Cette fois-ci la caractéristique R-I ainsi que la réduction du courant de RESET obtenues correspondent bien à celles mesurées (Figure IV.23).

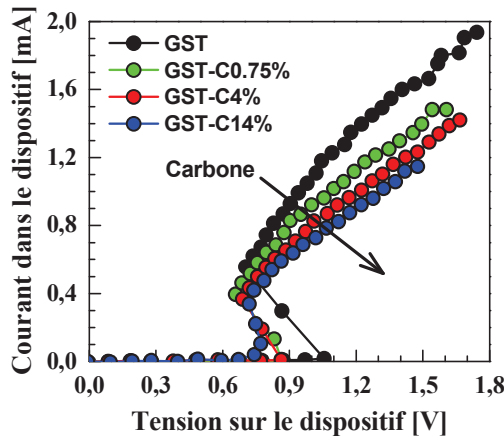


Figure IV.22 : Caractéristiques I-V des cellules PCRAM à base de GST dopé au carbone pour différents dopages.

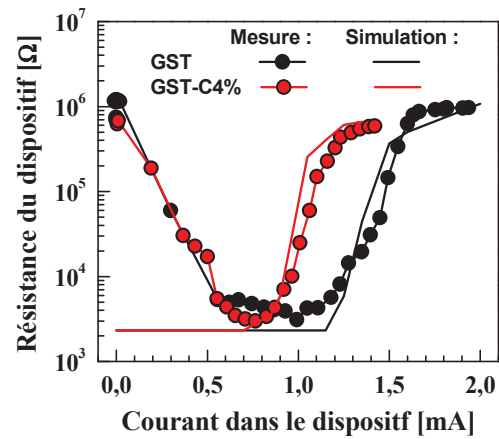


Figure IV.23 : Caractéristiques R-I mesurées et simulées des dispositifs PCRAM à base de GST et GST-C4%.

Nous concluons donc que dans les dispositifs PCRAM à base de GST-C, la réduction du courant de RESET observée est due à deux effets principaux :

- la diminution de la conductivité thermique du matériau à changement de phase ;
- l'augmentation de la résistance dynamique du dispositif.

Toutefois, il s'agit ici d'effets se manifestant à l'échelle macroscopique. Ainsi, nous avons cherché à comprendre les effets du carbone sur le matériau à changement de phase à l'échelle microscopique. Pour cela, des couches de GST et de GST-C, déposées sur un substrat de silicium et recuites à  $400^\circ\text{C}$ , ont été analysées à l'aide de la technique de diffraction de rayons X. Cette technique consiste à envoyer un faisceau de rayons X de longueur d'onde  $\lambda$  et d'incidence  $\theta$  sur un échantillon et à observer sa diffraction sur les plans cristallographiques de l'échantillon. On obtient alors un diagramme de diffraction représentant l'intensité des rayons X diffractés en fonction de l'angle du détecteur. Ainsi, en analysant la position et la largeur des pics de diffraction indexés  $hkl$  selon les indices de Miller, nous avons évalué la taille des domaines de diffraction, orientés selon  $hkl$ , à l'aide de la formule de Scherrer (équation 5) :



$$C_D = \frac{\lambda}{\beta \cdot \cos \theta_D} \quad (5)$$

Où  $C_D$  est la taille des domaines cristallins,  $\lambda$  la longueur d'onde du faisceau de rayons X,  $\theta_D$  l'angle auquel le pic de diffraction considéré apparaît et  $\beta$  sa largeur intégrale. Toutefois, la largeur du pic de diffraction étant notamment sensible aux imperfections structurales, aux aberrations instrumentales et aux microdéformations locales, le calcul de la taille des domaines de diffraction fournit seulement une indication de la taille des domaines cristallins permettant de comparer qualitativement la taille des domaines cristallins des différents matériaux à changement de phase étudiés. Les diagrammes de diffraction obtenus sont représentés sur la Figure IV.24. On constate que les pics de diffraction caractéristiques de la phase hexagonale compacte (HCP) du matériau à changement de phase recuit à 400°C disparaissent progressivement lorsque du carbone est ajouté au GST. Ainsi lorsque le pourcentage de carbone est supérieur à 2,4%, la phase hexagonale compacte du matériau à changement de phase recuit à 400°C disparaît. En conséquence, la phase dans laquelle celui-ci se trouve est la phase cubique à faces centrées (CFC) et non plus la phase HCP.

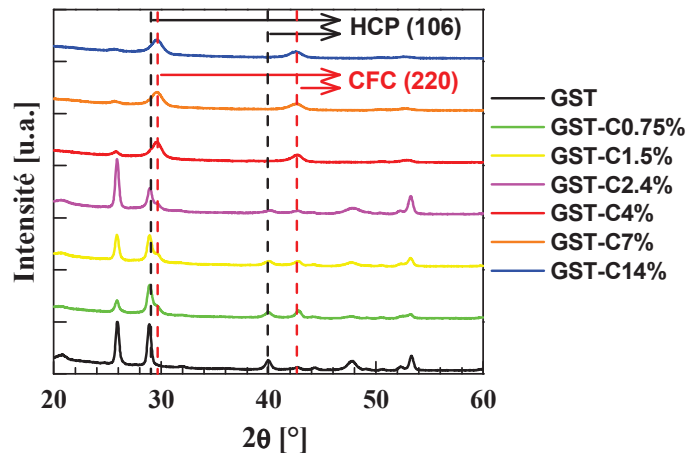


Figure IV.24 : Diagrammes de diffraction de rayons X obtenus suite au recuit à 400°C de couches de GST et GST-C.

Le Tableau IV.5 présente la taille des domaines de diffraction calculée à partir des pics (106) et (220) pour les phases HCP et CFC, respectivement (Figure IV.24). On constate que la taille de ces domaines diminue avec l'augmentation du dopage en carbone, signe d'une réduction de la taille des domaines cristallins du GST-C qui peut être mise en relation avec une précédente étude portant sur le GST-C [32]. Il est alors possible d'expliquer l'augmentation de la résistance dynamique ainsi que la diminution de la conductivité thermique du matériau GST-C par la diminution de la diffusion des phonons aux joints de grains induites par la réduction de la taille des domaines cristallins du GST-C, comme cela a été mis en évidence dans d'autres matériaux [33].

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

Tableau IV.5 : Phase cristalline dans laquelle se trouve divers matériaux à changement de phase après un recuit à 400°C et estimation de la taille des domaines de diffraction.

Matériau	Phase Cristalline	Taille des domaines de diffraction
GST	HCP	1874 Å
GST-C0,75%	HCP	1079 Å
GST-C1,5%	HCP	1138 Å
GST-C2,4%	HCP	1457 Å
GST-C4%	CFC	102 Å
GST-C7%	CFC	92 Å
GST-C14%	CFC	93 Å

Nous venons de montrer que la diminution de la conductivité thermique du GST-C ainsi que l'augmentation de la résistance dynamique du dispositif PCRAM, toutes deux responsables de la réduction des courants de programmation du dispositif PCRAM, peuvent être induites par la diminution de la taille des domaines cristallins du matériau à changement de phase. Nous avons donc voulu comprendre pourquoi le carbone limite la croissance de ces domaines cristallins. Cette étude rejoint alors celle concernant la stabilisation de la phase amorphe du GST par le carbone présentée ci-dessous.

### III.2 Stabilisation de la phase amorphe

Afin de comprendre l'impact du carbone sur la cristallisation du GST, des couches de GST et GST-C ont été analysées par spectroscopie infrarouge à transformée de Fourier, ou spectroscopie FTIR pour "Fourier Transform InfraRed spectroscopy". Cette technique consiste à mesurer les longueurs d'onde absorbées par l'échantillon lorsque celui-ci est soumis à un rayonnement infrarouge. Les bandes d'absorption sont caractéristiques des modes vibrationnels intramoléculaires. Les spectres obtenus sur des couches de GST, GST-C4% et GST-C7% amorphes sont présentés sur la Figure IV.25. Nous constatons que les modes à fort nombre d'onde sont renforcés lorsque du carbone est ajouté au GST. Nous pensons que le renforcement de ces modes vibrationnels peut être expliqué par l'apparition de liaisons C-Ge, C-Te mais également C-C comme cela a été démontré expérimentalement lors de l'étude du GeTe dopé au carbone [34] ainsi que dans le cas du GST dopé au carbone [35], [36]. Le renforcement des modes vibrationnels à fort nombre d'onde entraîne une diminution des modes vibrationnels à faible nombre d'onde. Or il a été reporté qu'une telle réduction s'accompagne d'une augmentation de la rigidité de la phase amorphe du matériau à changement de phase expliquant l'augmentation de la température de cristallisation et de l'énergie d'activation de la cristallisation [37], [38], [39].

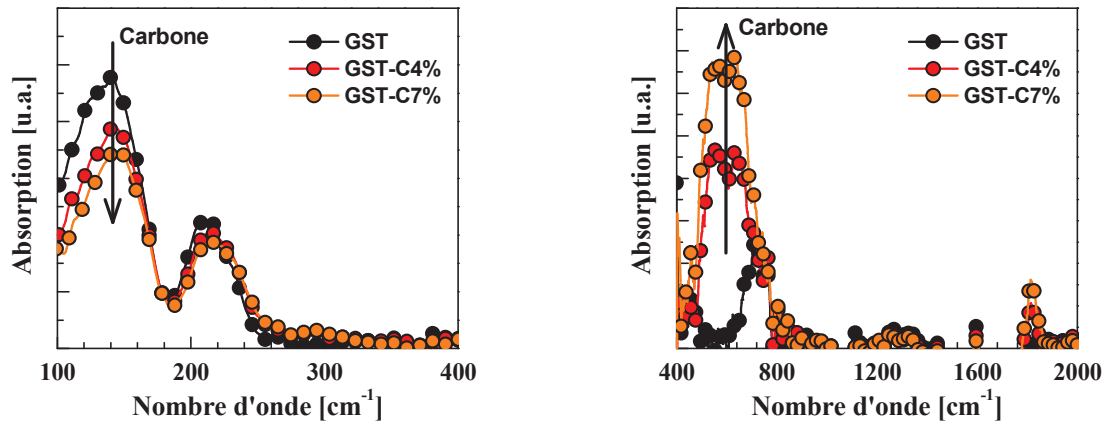


Figure IV.25 : Spectres FTIR faible (gauche) et fort (droite) nombre d'onde du GST dopé avec différents pourcentages de carbone en phase amorphe.

### III.3 Conclusion

Nous avons démontré de manière qualitative que l'incorporation de carbone dans le GST diminue la taille des domaines cristallins du matériau à changement de phase et permet donc la diminution de sa conductivité thermique ainsi que l'augmentation de sa résistance dynamique. Ces deux phénomènes semblent responsables de la réduction des courants de programmation du dispositif PCRAM. Toutefois, afin d'affirmer qu'il s'agit bien des seules causes de la réduction des courants de programmation des dispositifs PCRAM à base de GST dopé au carbone, il faudrait vérifier que la diminution observée de la taille des domaines cristallins justifie complètement, et à elle seule, la diminution de la conductivité thermique ainsi que l'augmentation de la résistance dynamique.

Nous avons mis en évidence que l'incorporation de carbone dans la couche de GST entraîne la création de liaisons Ge-C, Te-C et C-C qui rigidifient la phase amorphe du matériau à changement de phase permettant ainsi d'en améliorer la stabilité thermique. Cependant, malgré cette amélioration, la présence du carbone ne permet pas au dispositif PCRAM de conserver l'information pendant l'étape de soudure de la puce mémoire sur la carte électronique. Toutefois, du fait de l'importance de cette étape pour certaines applications embarquées, nous avons développé une solution permettant de conserver, pendant l'étape de soudure, l'information stockée.

## IV. Intérêt du dopage au carbone pour surmonter l'étape de soudure

### IV.1 Effet combiné du carbone et du titane

Des dépôts pleine tranche de GST et de GST-C15% encapsulés par une couche de titane d'épaisseur variable ont été réalisés. Les mesures de la réflectivité optique des

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

couches non dopées en fonction de la température, représentées sur la Figure IV.26, montrent que la présence d'une couche de titane ne modifie pas la température de cristallisation du GST. Par contre, dans le cas du GST-C15%, les mesures effectuées indiquent que la température de cristallisation de celui-ci augmente avec la présence et l'épaisseur de la couche de titane (Figure IV.27). Ainsi, on constate que l'effet combiné du dopage au carbone et de l'encapsulation titane permet d'augmenter la température de cristallisation du GST-C15% jusqu'à une température supérieure à 350°C.

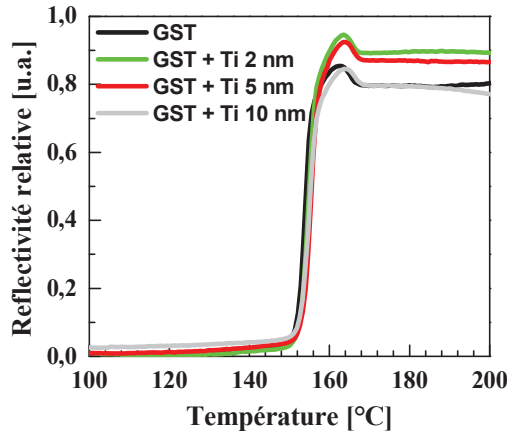


Figure IV.26 : Impact sur la température de cristallisation du GST, d'une encapsulation par une couche de titane d'épaisseur variable.

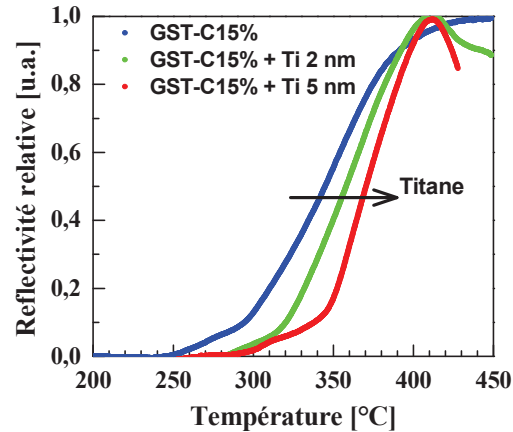


Figure IV.27 : Impact sur la température de cristallisation du GST-C15%, d'une encapsulation par une couche de titane d'épaisseur variable.

Ces matériaux ont ensuite été intégrés dans des dispositifs LETI comprenant un pilier en tungstène de 300 nm de diamètre. Ces dispositifs ont été réalisés en utilisant le procédé de fabrication décrit dans le paragraphe I.1 du Chapitre II et en encapsulant la couche de GST-C15%, par une couche de titane d'épaisseur 5 nm ou 10 nm. Des dispositifs de référence sans couche de titane ont également été fabriqués. Du fait de la température de cristallisation élevée du GST-C15%, le recuit à 200°C pendant 15 minutes n'est pas suffisant pour le cristalliser. Celui-ci est donc amorphe à la fin de la fabrication. Afin de quantifier l'impact combiné du titane et du dopage au carbone sur les propriétés de rétention des dispositifs PCRAM, nous avons mesuré l'évolution de la résistance du dispositif placé à 300°C et se trouvant dans l'état amorphe après-dépôt. La Figure IV.28 présente les résultats obtenus. On constate qu'après  $10^3$  secondes, la résistance des dispositifs sans titane diminue du fait du processus de cristallisation du matériau à changement de phase, tandis qu'il faut attendre  $10^4$  secondes dans le cas des dispositifs avec 5 nm de titane et plus de  $10^5$  secondes dans le cas de ceux avec 10 nm de titane. Toutefois, dans ce dernier cas la dispersion est beaucoup plus importante que dans les deux autres. En conséquence, la suite de notre étude est focalisée sur les dispositifs de référence et sur ceux avec 5 nm de titane. Ainsi, l'endurance des

dispositifs avec 5 nm de titane a été caractérisée. Nous constatons que  $10^8$  cycles d'écriture/effacement peuvent être effectués sans dégradation de la fenêtre de programmation (Figure IV.29).

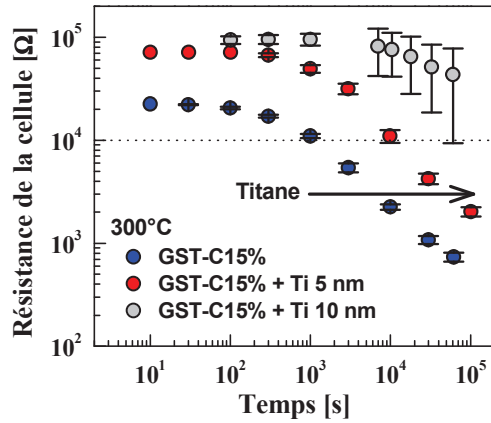


Figure IV.28 : Stabilité des dispositifs PCRAM dans l'état amorphe après dépôt à 300°C base de GST-C15% encapsulé ou pas par une couche de titane.<sup>3</sup>

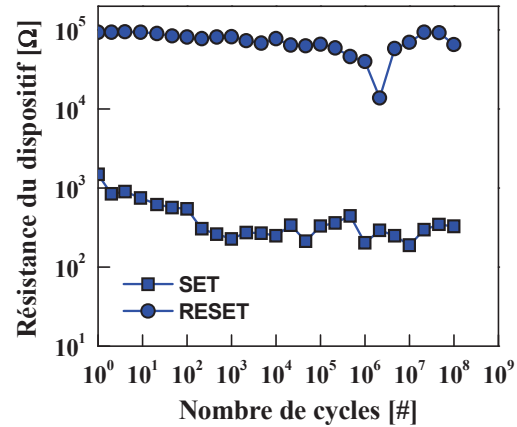


Figure IV.29 : Endurance des dispositifs PCRAM à base de GST-C15% encapsulée par une couche de 5 nm de titane.

Au cours de cette étude, nous avons montré qu'il est possible d'augmenter la température de cristallisation d'une couche de GST dopé au carbone en l'encapsulant avec une couche de titane d'épaisseur 5 nm. De plus, en intégrant cet empilement au sein d'un dispositif LETI, nous avons montré que le temps de rétention de l'état RESET est multiplié par 10 environ sans que l'endurance du dispositif ne soit dégradée.

### IV.2 Intérêt pour conserver l'information lors de l'étape de soudure

Nous avons vu dans le Chapitre II qu'au cours de la fabrication des dispositifs LETI, la température maximale des étapes de fabrication est volontairement limitée à 200°C. Cependant, au cours des étapes BEOL de la fabrication industrielle de cellules PCRAM, un recuit à 400°C est généralement effectué. Afin de reproduire ce recuit, nous avons rajouté en fin de fabrication des dispositifs LETI un recuit à 400°C pendant 2 minutes. Suite à ce recuit et du fait du retardement de la cristallisation du GST-C par le titane, la résistance électrique des dispositifs sans titane est plus faible que celle des dispositifs avec titane (Figure IV.31). Or, en appliquant, une (ou plusieurs) impulsion électrique sur ces dispositifs, les résistances de ces dispositifs peuvent être diminuées jusqu'à atteindre quelques kilo-ohms (Figure IV.30). Ainsi, nous avons obtenu deux états de résistances distincts. Le premier est celui en sortie de fabrication, tandis que le second est celui obtenu après l'application d'impulsion(s) électrique(s).

<sup>3</sup> Les symboles correspondent à la moyenne des données d'environ 80 dispositifs et les barres d'erreur représentent les valeurs extrêmes correspondantes

## Dopage au carbone du GST et optimisation des dispositifs PCRAM

L'intérêt des dispositifs à base de GST-C15% encapsulé avec une couche de 5 nm de titane est d'augmenter la différence entre les valeurs de résistance de ces deux états. En effet, dans le cas des dispositifs sans titane, l'écart est largement inférieur à un ordre de grandeur tandis que dans le cas des dispositifs avec titane, l'écart est supérieur à un ordre de grandeur.

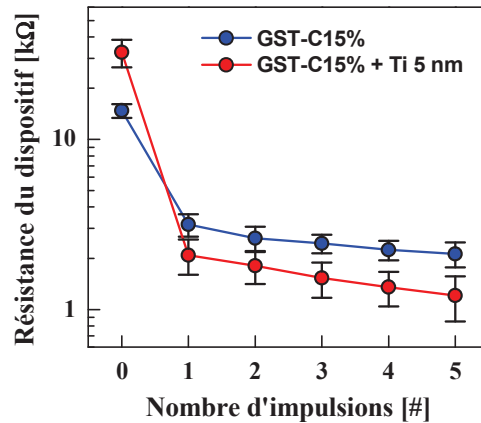


Figure IV.30 : Évolution de la résistance des dispositifs PCRAM à base de GST-C15% en fonction du nombre d'impulsions appliquées au dispositif pendant la procédure utilisée pour obtenir deux états de résistance distincts.

Or comme nous l'avons vu dans le Chapitre I, il est préférable pour certaines applications embarquées, de stocker des informations au sein de la matrice mémoire avant la soudure de la puce mémoire sur une carte électronique. Nous proposons donc d'utiliser les deux états distincts de résistance obtenus précédemment pour stocker des informations au sein des dispositifs PCRAM et la conserver lors de l'étape de soudure de la puce mémoire sur une carte électronique. Pour cela, en sortie de fabrication certains dispositifs sont programmés dans l'état faible résistance à l'aide d'impulsions électriques, tandis que les autres sont laissés dans l'état forte résistance (Figure IV.31). Or ces deux états du dispositif sont supposés être insensibles au stress thermique induit par l'étape de soudure de la matrice mémoire sur la carte électronique. En effet, l'état de faible résistance correspond à l'état SET du dispositif PCRAM, il est donc thermiquement stable tandis que l'état de forte résistance correspond à un état ayant été recuit à 400°C pendant 2 minutes. Il doit donc être capable de supporter le recuit imposé lors de l'étape de soudure et y être insensible.

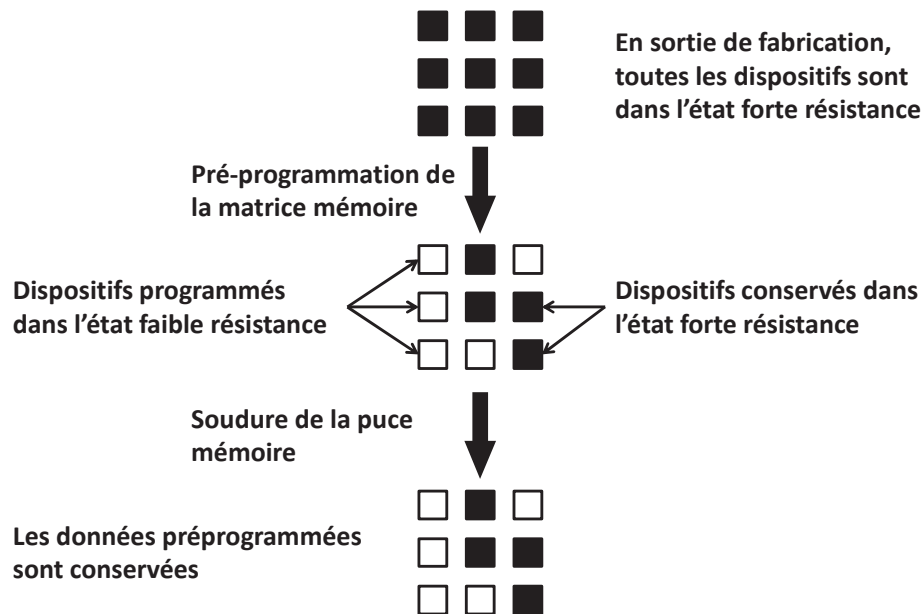


Figure IV.31 : Principe de la méthode de pré-programmation proposée pour stocker des informations dans la matrice mémoire lors de l'étape de soudure de la puce mémoire.

Afin de vérifier la validité de la solution proposée, nous appliquons sur les dispositifs avec du titane, le recuit décrit dans le paragraphe II.2.6 du chapitre III permettant de reproduire le budget thermique subit par les cellules PCRAM lors de l'étape de soudure. Nous constatons sur la Figure IV.32 qu'avant le recuit thermique les valeurs de résistance des deux états sont séparées par plus d'un ordre de grandeur. Après le recuit thermique, un écart des valeurs de résistance est encore observé, même si celui-ci a légèrement diminué. Ainsi, le recuit thermique reproduisant l'étape de soudure de la matrice mémoire sur une carte électronique laisse les dispositifs dans leur état respectif, c'est-à-dire que les dispositifs initialement dans l'état haute (basse) résistance restent dans ce même état haut (bas). Ainsi les informations stockées dans la matrice mémoire sont conservées lors de l'étape de soudure.

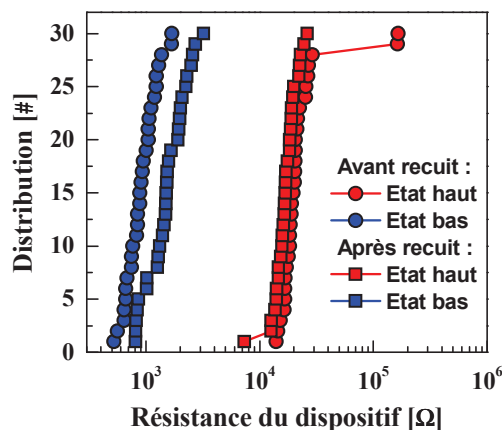


Figure IV.32 : Évolution des valeurs de résistance des dispositifs PCRAM à base de GST-C15% encapsulé avec une couche de 5 nm de titane lors de l'étape de soudure de la matrice mémoire sur une carte électronique.



## Dopage au carbone du GST et optimisation des dispositifs PCRAM

Afin de comprendre l'amélioration de la rétention de l'information des dispositifs contenant du titane, des dispositifs PCRAM avec et sans titane recuits à 400°C sont observés par la technique d'imagerie TEM et analysés par la technique EDX afin d'identifier les éléments présents dans l'échantillon. Les cartographies obtenues sont présentées sur la Figure IV.33. Dans le cas, des dispositifs sans titane, on constate que la couche de GST est homogène. En effet, les concentrations en éléments antimoine, tellure et carbone mesurées à l'aide de ces cartographies sont homogènes. Dans le cas des dispositifs avec titane, si la concentration en antimoine ne semble pas affectée par la présence du titane, on constate en revanche que les concentrations en éléments tellure et carbone ne sont plus homogènes. En effet, une zone riche en tellure est observée à proximité de l'électrode supérieure tandis qu'une zone riche en carbone est observée à proximité du pilier en tungstène. De plus, une diffusion importante du titane au sein de la couche de GST est observée. Ainsi, dans un dispositif LETI à base de GST-C avec titane, la zone active du dispositif (c'est-à-dire la zone proche du pilier en tungstène) est particulièrement riche en carbone, contribuant ainsi à la stabilisation de la phase amorphe dans cette zone et donc à la limitation de sa cristallisation.

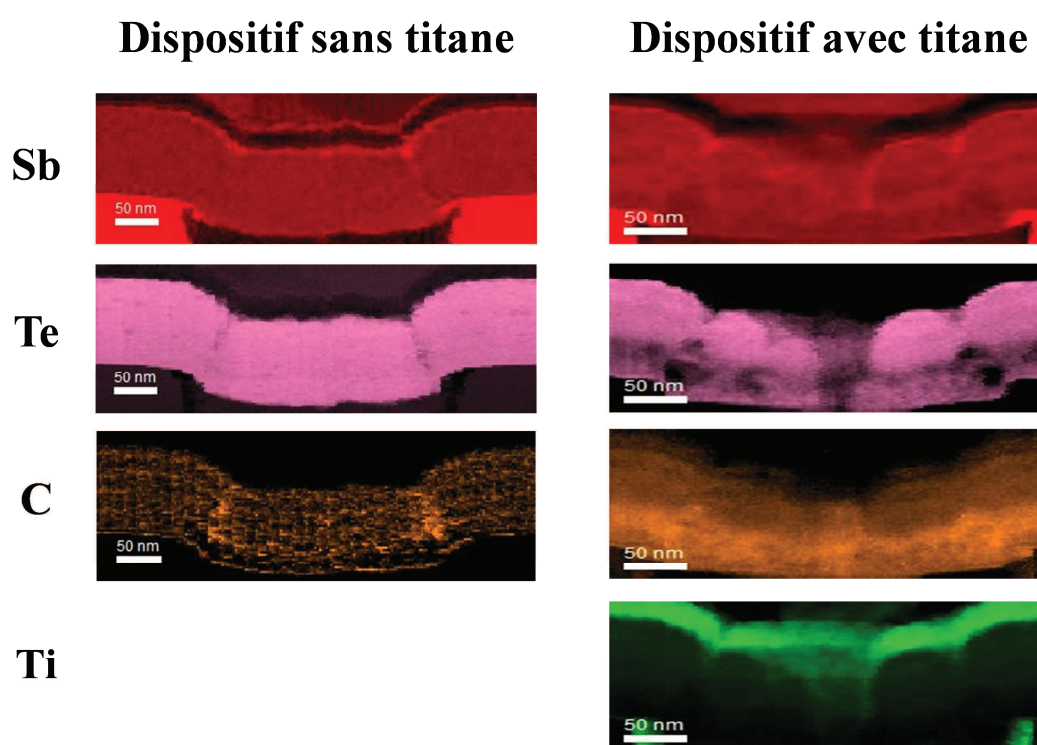


Figure IV.33 : Cartographies des concentrations en éléments antimoine, tellure, carbone et titane, obtenues par la technique EDX, présents dans les dispositifs PCRAM à base de GST-C15% encapsulé (droite) ou non (gauche) par une couche de 5 nm de titane.



### IV.3 Conclusion

Nous avons montré au cours de cette étude que l'incorporation de carbone dans le GST couplée à l'encapsulation par une couche de titane permet d'augmenter significativement la température de cristallisation du matériau à changement de phase. Or, nous avons constaté que deux états de résistance thermiquement stables et séparés par plus d'un ordre de grandeur peuvent être obtenus au sein des dispositifs LETI. Ces deux états de résistance permettent de stocker une information et de la conserver lors de l'étape de soudure de la matrice mémoire sur la carte électronique.

Toutefois, pour rendre cette méthode plus prometteuse, des nombreuses études restent à mener. Par exemple, un écart plus important entre les valeurs de résistance des deux états du dispositif avant soudure est souhaitable. Il serait alors nécessaire d'augmenter la température de cristallisation du matériau à changement de phase. Pour cela, il peut être envisagé d'optimiser la concentration en carbone ainsi que l'épaisseur de titane. Mais il peut également être envisagé d'utiliser un autre type de matériau à changement de phase. Ainsi des essais ont été réalisés en utilisant matériaux à base de GeTe et non pas de GST. La Figure IV.34 indique que l'encapsulation par du titane du GeTe dopé avec 7 at. % de carbone permet d'augmenter sa température de cristallisation au-delà de 400°C. Ainsi, en utilisant du GeTe dopé au carbone, il semble possible d'augmenter l'écart entre les deux états de résistance du dispositif avant l'étape de soudure.

Enfin, une meilleure compréhension de l'impact du titane sur le matériau à changement de phase serait nécessaire pour savoir pourquoi les atomes de carbone sont repoussés près du pilier en présence de titane, mais également si les atomes de titane ont d'autres effets sur la phase amorphe du matériau à changement de phase et notamment sur sa rigidité.

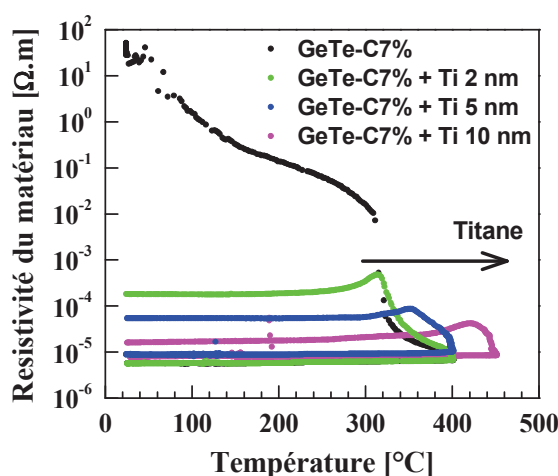


Figure IV.34 : Impact, sur la température de cristallisation du matériau à changement de phase, d'une encapsulation par une couche de titane d'épaisseur variable d'une couche de GeTe-C7%.

## Conclusion du Chapitre IV

Dans ce Chapitre, nous avons montré que l'incorporation, par co-pulvérisation, de carbone au sein de la couche de GST d'un dispositif PCRAM permet d'améliorer considérablement certaines performances électriques. En particulier, la température de cristallisation ainsi que l'énergie d'activation de cristallisation du GST dopé au carbone sont supérieures à celles du GST pur. La présence de 14% de carbone au sein du GST, permet ainsi aux dispositifs PCRAM dont la section du pilier est égale à  $900 \text{ nm}^2$ , de conserver l'information stockée dans l'état RESET à  $147^\circ\text{C}$  pendant 10 ans tandis que dans le cas des dispositifs à base de GST, la température maximale admissible est de  $124^\circ\text{C}$ . De plus, les courants de programmation ainsi que la consommation électrique de ces mêmes dispositifs à base de GST-C sont réduits de plus de 45%.

Nous avons également montré que ces réductions de courant, induites par le carbone, sont conservées lorsque les dimensions des dispositifs PCRAM sont réduites. Ainsi des dispositifs PCRAM à base de GST dopé avec 4% de carbone, seraient compatibles avec les valeurs de courant de programmation requises pour le nœud technologique 22 nm voire 16 nm tandis que les dispositifs à base de GST pur ne le seraient pas.

Nous avons expliqué la réduction des courants de programmation et de la consommation électrique des dispositifs PCRAM à base de GST dopé au carbone par la réduction de la conductivité thermique du matériau à changement de phase ainsi que par l'augmentation de sa résistivité dynamique. Ces variations dans les propriétés du matériau à changement de phase ont été attribuées à la réduction de la taille des domaines cristallins que nous avons mise en évidence expérimentalement à l'aide de mesure de diffraction de rayons X.

Nous pensons ainsi que la cause première de la réduction des courants de programmation ainsi que de la consommation électrique des dispositifs PCRAM à base de GST dopé au carbone est la limitation par le carbone des processus de cristallisation du matériau à changement de phase. Enfin, nous avons mis en évidence que la meilleure rétention à haute température des dispositifs à base de GST dopé au carbone est due à la rigidification du matériau à changement de phase par le carbone.

De plus, nous avons proposé une méthode innovante nécessitant l'encapsulation de la couche de GST dopé au carbone par une couche de titane pour conserver l'information pendant l'étape de soudure d'une matrice mémoire sur une carte électronique.

Dans ce Chapitre, nous avons donc étudié un matériau à changement de phase alternatif : le GST dopé au carbone qui une fois intégré au sein d'un dispositif PCRAM permet d'en réduire les courants de programmation ainsi que la consommation électrique tout en améliorant sa rétention à haute température. Toutefois, afin de confirmer l'intérêt de ce matériau alternatif, il est encore nécessaire d'étudier son impact sur les performances d'une matrice mémoire de grande capacité.

## Bibliographie

- [1] N. Yamada, E. Ohno, K. Nishiuchi, N. Akahira et M. Takao, «Rapid phase transitions of  $\text{GeTeSb}_2\text{Te}_3$  pseudobinary amorphous thin films for an optical disk memory,» *J. Appl. Phys.*, vol. 69, pp. 2849-2856, 1991.
- [2] M. Wuttig et N. Yamada, «Phase-change materials for rewriteable data storage,» *Nature Mat.*, vol. 6, pp. 824-832, 2007.
- [3] E. Morales-Sanchez, E. F. Prokhorov, J. Gonzalez-Hernandez et A. Mendoza-Galvan, «Structural, electric and kinetic parameters of ternary alloys of  $\text{GeSbTe}$ ,» *Thin Solid Films*, vol. 471, pp. 243-247, 2005.
- [4] H. Y. Cheng, T. H. Hsu, S. Raoux, J. Wu, P. Y. Du, M. Breitwisch, Y. Zhu et al., «A high performance phase change memory with fast switching speed and high temperature retention by engineering the  $\text{Ge}_x\text{Sb}_y\text{Te}_z$  phase change material,» *Int. Electron Dev. Meeting Tech. Digest*, pp. 3.4.1-3.4.4, 2011.
- [5] H. Y. Cheng, J. Y. Wu, R. Cheek, S. Raoux, M. Brightsky, D. Garbin et al., «A thermally robust phase-change memory by engineering the Ge/N concentration in  $(\text{Ge}, \text{N})_x\text{Sb}_y\text{Te}_z$  phase change material,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 31.1.1-31.1.4, 2012.
- [6] S. H. Lee, H. C. Park, M. S. Kim, H. W. Kim, M. R. Choi, H. G. Lee et al., «Highly productive PCRAM technology platform and full chip operation: based on  $4\text{F}^2$  (84nm pitch) cell scheme for 1 Gb and beyond,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 3.3.1-3.3.4, 2011.
- [7] H. Honi, J. H. Yi, J. H. Park, Y. H. Ha, I. G. Baek, S. O. Park et al., «A novel cell technology using N-doped  $\text{GeSbTe}$  films for phase change RAM,» *Symp. VLSI Tech.*, pp. 177-178, 2003.
- [8] L. W.-W. Fang, R. Zhao, M. Li, K.-G. Lim, L. Shi, T.-C. Chong et al., «Dependence of the properties of phase change random access memory on nitrogen doping concentration in  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,» *J. Appl. Phys.*, vol. 107, pp. 104506.1-104506.5, 2010.
- [9] J. Feng, Y. Zhang, B. W. Qiao, Y. F. Lai, Y. Y. Lin, B. C. Lai et al., «Si doping in  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  film to reduce the writing current of phase change memory,» *Appl. Phys. A*, vol. 87, pp. 57-62, 2007.
- [10] S. Song, Z. Song, L. Wu, B. Liu et S. Feng, «Stress reduction and performance improvement of phase change memory cell by using  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ -TaOx composite films,» *J. Appl. Phys.*, vol. 109, pp. 034503.1-034503.6, 2011.
- [11] W. Czubytyj, S. J. Hudgens, C. Dennison, C. Schell et T. Lowrey, «Nanocomposite phase-change memory alloys for very high temperature data retention,» *Electron Dev. Lett.*, vol. 31, pp. 869-871, 2010.

- 
- [12] N. Matsuzaki, K. Kurotsuchi, Y. Matsui, O. Tonomura, N. Yamamoto, Y. Fujisaki et al., «Oxygen-doped GeSbTe phase-change memory cells featuring 1.5-V/100- $\mu$ A standard 0.13- $\mu$ m CMOS operations,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 738-741, 2005.
  - [13] H. J. Shin, Y.-S. Kang, A. Benayad, K.-H. Kim, Y. M. Lee, M.-C. Jung et al., «Effect of indium on phase-change characteristics and local chemical states of In-Ge-Sb-Te alloys,» *Appl. Phys. Lett.*, vol. 93, pp. 021905.1-021905.3, 2008.
  - [14] T.-Y. Yang, J.-Y. Cho, Y.-J. Park et Y.-C. Joo, «Effects of dopings on the electric-field-induced atomic migration and void formation in  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,» *Symp. Physical and Failure Analysis of Integrated Circuits*, pp. 1-4, 2011.
  - [15] C.-M. Lee, D.-S. Chao, Y.-C. Chen, M.-J. Chen, P. H.Yen, C.-W. Chen et al., «Performances of GeSnSbTe material for high-speed phase change memory,» *Symp. VLSI Tech., Systems and Applications*, pp. 1-2, 2007.
  - [16] G. Wang, Q. Nie, X. Shen, R. P. Wang, L. Wu, J. Fu et al., «Phase-change behaviors of Zn-doped  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  films,» *Appl. Phys. Lett.*, vol. 101, pp. 051906.1-051906.5, 2012.
  - [17] W. Czubytyj, T. Lowrey, S. Kostylev et I. Asano, «Current reduction in ovonic memory devices,» *Proc. Euro. Phase Change and Ovonic Symp.*, 2006.
  - [18] S. Privitera, E. Rimini et R. Zonca, «Amorphous-to-crystal transition of nitrogen- and oxygen-doped  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  films studied by in situ resistance measurements,» *Appl. Phys. Lett.*, vol. 85, pp. 3044-3046, 2004.
  - [19] Y. N. Hwang, S. H. Lee, S. J. Ahn, S. Y. Lee, K. C. Ryoo, H. S. Hong et al., «Writing current reduction for high-density phase-change RAM,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 37.1.1-37.1.4, 2003.
  - [20] T.-Y. Lee, K. H. P. Kim, D.-S. Suh, C. Kim, Y.-S. Kang, D. G. Cahill et al., «Low thermal conductivity in  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ -SiOx for phase change memory devices,» *Appl. Phys. Lett.*, vol. 94, pp. 243103.1-243103.3, 2009.
  - [21] E. Gourvest, «Développement et élaboration par MOCVD de matériaux à changement de phase à base d'alliages GeTe : applications aux mémoires embarquées pour la microélectronique,» 2010.
  - [22] G. B. Beneventi, E. Gourvest, A. Fantini, L. Perniola, V. Sousa, S. Maitrejean et al., «On Carbon doping to improve GeTe-based Phase-Change Memory data retention at high temperature,» *Proc. Int. Memory Workshop*, pp. 1-4, 2010.
  - [23] G. B. Beneventi, L. Perniola, A. Fantini, D. Blachier, A. Toffoli, E. Gourvest et al., «Carbon-doped GeTe Phase-Change Memory featuring remarkable RESET current reduction,» *Proc. Euro. Solid-State Dev. Res. Conf.*, pp. 313-316, 2010.
-

- [24] G. B. Beneventi, L. Perniola, V. Sousa, E. Gourvest, S. Maitrejean, J. Bastien et al., «Carbon-doped GeTe: A promising material for Phase-Change Memories,» *Solid-State Electronics*, Vol. 65-66, pp. 197-204, 2011.
- [25] R. Annunziata, P. Zuliani, M. Borghi, G. D. Sandre, L. Scotti, C. Prelini et al., «Phase change memory technology for embedded non volatile memory applications for 90nm and beyond,» *Int. Electron Dev. Meeting Tech. Digest.*, pp. 1-4, 2009.
- [26] S. H. Lee, M. S. Kim, G. S. Do, S. G. Kim, H. J. Lee, J. S. Sim et al., «Programming disturbance and cell scaling in phase change memory: for up to 16nm based 4F<sup>2</sup> cell,» *Symp. VLSI Tech.*, pp. 199-200, 2010.
- [27] A. Glière, O. Cueto et J. Hazart, «Coupling the level set method with an electro-thermal solver to simulate GST based PCM cells,» *Proc. Int. Conf. Simulation of Semiconductor Processes and Dev.*, pp. 63-66, 2011.
- [28] Z. Wu, G. Zhang, Y. Park, S. D. Kang, H.-K. Lyee, D. S. Jeong et al., «Controlled recrystallization for low-current RESET programming characteristics of phase-change memory with Ge-doped SbTe,» *Appl. Phys. Lett.*, vol. 99, pp. 143505.1-143505.3, 2011.
- [29] U. Russo, D. Ielmini, A. Redaelli et A. L. Lacaita, «Modeling of programming and read performance in phase-change memories — Part I: cell optimization and scaling,» *Trans. Electron Dev.*, vol. 55, pp. 506-514, 2008.
- [30] V. Schick, «Caractérisation d'une mémoire à changement de phase - Mesure de propriétés thermiques de couches minces à haute température». 2011.
- [31] J.-L. Battaglia, A. Kusiak, V. Schick, A. Cappella, C. Wiemer, M. Longo et al., «Thermal characterization of the SiO<sub>2</sub>-Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> interface from room temperature up to 400 °C,» *J. Appl. Phys.*, vol. 107, pp. 044314.1-044314.6, 2010.
- [32] X. Zhou, L. Wu, Z. Song, F. Rao, M. Zhu, C. Peng et al., «Carbon-doped Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> phase change material: A candidate for high-density phase change memory application,» *Appl. Phys. Lett.*, vol. 101, pp. 142104.1-142104.3, 2012.
- [33] P. G. Klemens, «Phonon Scattering and Thermal Resistance Due to Grain Boundaries,» *Int. J. Thermophysics*, vol. 15, pp. 1345-1351, 1994.
- [34] G. E. Ghezzi, J. Y. Raty, S. Maitrejean, A. Roule, E. Elkaim et F. Hippert, «Effect of carbon doping on the structure of amorphous GeTe phase change material,» *Appl. Phys. Lett.*, vol. 99, pp. 151906.1-151906.3, 2011.
- [35] K. B. Borisenko, Y. Chen, D. J. H. Cockayne, S. A. Song et H. S. Jeong, «Understanding atomic structures of amorphous C-doped Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> phase-change memory materials,» *Acta Materialia*, vol. 59, pp. 4335-4342, 2011.
- [36] E. Cho, Y. Youn et S. Han, «Enhanced amorphous stability of carbon-doped Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>: Ab Initio investigation,» *Appl. Phys. Lett.*, vol. 99, pp. 183501.1-183501.3, 2011.

- [37] H. M. Flores-Ruiz, G. G. Naumis et J. C. Phillips, «Heating through the glass transition: A rigidity approach to the boson peak,» *Phys. Rev. B*, vol. 82, pp. 214201.1-214201.5, 2010.
- [38] M. Micoulaut, J.-Y. Raty, C. Otjacques et C. Bichara, «Understanding amorphous phase-change materials from the viewpoint of Maxwell rigidity,» *Phys. Rev. B*, vol. 81, pp. 174206.1-174206.10, 2010.
- [39] J.-Y. Raty, P. Noé, G. Ghezzi, S. Maitrejean, C. Bichara et F. Hippert, «Vibrational properties and stabilization mechanism of the amorphous phase of doped GeTe,» *Phys. Rev. B*, vol. 88, pp. 014203.1-014203.6, 2013.



# Chapitre V

## Fabrication d'un élément de sélection pour architecture crossbar et co-intégration avec un élément résistif PCRAM

### Résumé du Chapitre V

Dans ce Chapitre, nous concevons et fabriquons des diodes PN verticales en silicium monocristallin obtenu par épitaxie sélective cyclique avec dopage in-situ (Paragraphe II). Dans le Paragraphe III, nous montrons que ces diodes, de diamètre réel compris entre 100 nm et 1250 nm, présentent des performances prometteuses pour être utilisées comme élément de sélection d'une cellule PCRAM, notamment dans le cas d'une architecture crossbar. Ainsi, pour les diodes de diamètre réel 100 nm, des densités de courant d'environ 30 MA/cm<sup>2</sup> ont été obtenues permettant un ratio entre les courants en direct et en inverse supérieur à 10<sup>7</sup>, rendant ainsi ces diodes compatibles avec les densités de courant requises pour les nœuds technologiques 16 nm et 22 nm. Dans le Paragraphe IV, nous fabriquons une cellule PCRAM 1D1R dans laquelle un élément résistif PCRAM est placé en série avec une diode de sélection obtenue selon la technique préalablement validée. Toutefois, du fait des budgets thermiques élevés nécessaires à la fabrication de la diode de sélection, nous proposons dans le Paragraphe V, de former celle-ci sur un substrat d'attente puis, tirant parti des récents progrès des techniques de collage métallique, de la reporter sur le substrat contenant les éléments résistifs PCRAM.





## Table des matières

I. Cahier des charges du sélecteur pour les architectures crossbar PCRAM .....	201
II. Mise au point et fabrication d'une diode PN verticale en silicium .....	203
II.1 Présentation des choix technologiques .....	203
II.1.1 Fabrication de la diode .....	204
II.1.2 Choix des valeurs de dopage des zones N et P .....	206
II.2 Mise au point de l'épitaxie sélective des zones N et P .....	209
II.3 Caractérisation morphologique des diodes verticales .....	213
III. Caractérisation électrique des diodes verticales .....	215
III.1 Comportement quasi-statique des diodes .....	215
III.1.1 Mesure des caractéristiques Courant-Tension .....	215
III.1.2 Impact du dopage sur les caractéristiques I-V des diodes .....	217
III.1.3 Impact de la section du via sur les performances des diodes polarisées en direct .....	219
III.1.4 Impact de la section du via sur les performances des diodes polarisées en inverse .....	223
III.1.5 Détérioration des diodes PN en cours d'utilisation .....	226
III.2 Comportement dynamique des diodes .....	227
III.3 Conclusion concernant les performances des diodes et compatibilité avec les spécifications des sélecteurs .....	230
IV. Fabrication de cellules PCRAM 1D1R .....	231
V. Propositions pour réduire le budget thermique de la diode de sélection .....	233
Conclusion du Chapitre V .....	239
Bibliographie .....	240



## I. Cahier des charges du sélecteur pour les architectures crossbar PCRAM

Nous avons vu dans le Chapitre I que les éléments résistifs PCRAM possèdent seulement deux terminaux contre trois pour les transistors utilisés par les mémoires Flash. En conséquence, pour créer des matrices mémoires PCRAM, il est intéressant de profiter de cette spécificité pour augmenter la densité d'intégration de la matrice mémoire tout en réduisant son coût. La manière la plus simple pour cela est de placer les cellules mémoires en parallèle les unes des autres et de les relier par des lignes métalliques perpendiculaires formant alors une architecture crossbar. Toutefois, pour créer une matrice mémoire de grande capacité, il est nécessaire d'intégrer en série avec l'élément résistif PCRAM, un élément de sélection. Afin d'être pleinement compatible avec l'architecture crossbar, ce sélecteur doit répondre à un cahier des charges drastique.

Tout d'abord, il doit se comporter comme un interrupteur, c'est-à-dire être passant lorsque la cellule PCRAM est lue ou programmée et bloqué sinon : il doit donc présenter une tension de seuil. De plus, les cellules PCRAM étant unipolaires (c'est-à-dire pouvant être écrites et effacées avec des tensions de même polarité), le sélecteur doit être asymétrique, c'est-à-dire passant dans une seule polarité. Répondant à l'ensemble de ces critères, les diodes sont des sélecteurs prometteurs pour les architectures crossbar. De plus, étant des dispositifs à seulement deux terminaux, elles sont naturellement compatibles avec cette architecture.

### Contraintes liées aux courants de programmation de la cellule PCRAM

Afin d'obtenir des cellules de section minimale (c'est-à-dire  $4F^2$ ), la diode utilisée doit être capable de fournir une densité de courant supérieure ou égale à celle nécessaire au fonctionnement de la cellule PCRAM. Nous devons donc créer des diodes dont la densité de courant est comprise entre  $10 \text{ MA/cm}^2$  et  $100 \text{ MA/cm}^2$  (voir Figure I.33 du Chapitre I).

De plus, la diode devant se comporter comme un interrupteur idéal, le courant de fuite de celle-ci doit être le plus faible possible. En effet, celui-ci limite la capacité de stockage de la matrice mémoire en causant la lecture erronée des données stockées dans les cellules mémoires. La Figure V.1 illustre un exemple de lecture erronée de l'information stockée dans l'état RESET d'une cellule PCRAM intégrée au sein d'une matrice crossbar  $2 \times 2$  [1]. Dans le cas présenté, le courant mesuré dans la ligne inférieure, ou bit-line, est égal à la somme du courant traversant la cellule dans l'état RESET et celui traversant les 3 cellules dans l'état SET. Si le second n'est pas négligeable par rapport au premier, alors la mesure du courant permet d'identifier l'état de la cellule comme l'état SET, causant une lecture erronée. Cet effet est d'autant plus

important que le nombre de cellules en parallèle est important. Il est donc primordial de réduire les courants de fuite des éléments de sélection afin de limiter cet effet. Plus le courant de fuite est faible, plus la capacité de stockage de la matrice mémoire peut être élevée [2]. Du fait de la nécessité d'utiliser des densités de courants en direct comprises entre  $10 \text{ MA/cm}^2$  et  $100 \text{ MA/cm}^2$ , la contrainte sur les courants de fuite peut se traduire par une contrainte sur le ratio entre les courants en direct et en inverse. Ainsi, il est souvent reporté que ce ratio doit être supérieur à  $10^7$  pour les applications "stand-alone", c'est-à-dire que le courant en direct doit être  $10^7$  fois supérieur au courant en inverse [3].

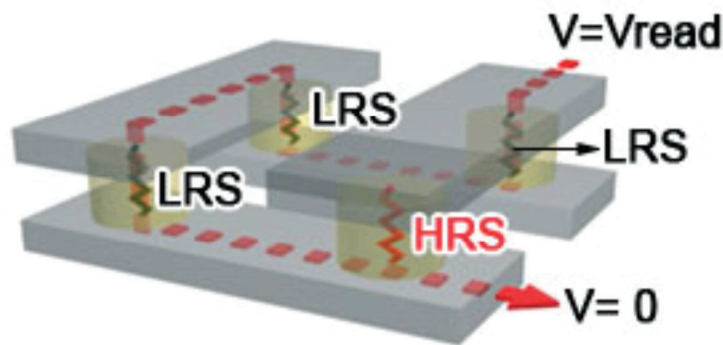


Figure V.1 : Schéma d'une matrice crossbar 2x2 indiquant en rouge le chemin parcouru par le courant de fuite induisant une lecture erronée. [1]

#### Contraintes liées à la vitesse du sélecteur

Afin de se comporter comme un interrupteur idéal, la diode doit posséder des temps de commutation les plus faibles possibles lui permettant ainsi de ne pas réduire les vitesses de programmation et de lecture des cellules mémoires et donc les bandes passantes de la matrice mémoire. Dans l'idéal, les temps de commutation de la diode doivent être inférieurs aux temps de montée et de descente des impulsions électriques utilisées pour programmer les cellules PCRAM.

#### Contraintes liées à l'intégration du sélecteur

Nous avons vu dans le Chapitre I que, dans les années à venir, les cellules mémoires, c'est-à-dire l'élément résistif et le sélecteur associé, seront probablement intégrées au-dessus d'autres composants micro-électroniques au sein d'architectures 3D. Ainsi dans le cas des applications "stand-alone", les cellules mémoires devront être empilées les unes au-dessus des autres tandis que dans le cas des applications embarquées, il s'agira d'intégrer les cellules mémoires au-dessus des éléments de logiques CMOS. En conséquence, la fabrication de cellules mémoires supérieures ne doit pas détériorer les éléments se trouvant en dessous (que ce soit des éléments de logiques ou d'autres cellules mémoires). Ainsi, on considère généralement que le budget thermique

## Elément de sélection pour architecture crossbar PCRAM

correspondant à la fabrication d'une cellule mémoire ne doit pas dépasser le budget thermique de fin de fabrication, ou BEOL (Back-End Of Line). La température maximale admise pendant cette étape de fabrication est de 400°C.

### Résumé du cahier des charges du sélecteur et diodes envisageables

Le Tableau V.1 résume les principales contraintes imposées au sélecteur pour que celui-ci soit utilisé au sein d'une matrice mémoire à base de cellules PCRAM.

**Tableau V.1 : Spécifications requises pour que le sélecteur puisse être intégré dans une cellule PCRAM**

Nombre de terminaux	2
Type de sélecteur	Interrupteur asymétrique
Densité de courant	10 – 100 MA/cm <sup>2</sup> (40 MA/cm <sup>2</sup> pour les dispositifs LETI standards)
Courant direct	50 $\mu$ A – 1 mA (25 mA pour les dispositifs LETI standards)
Courant inverse	< -100 pA (ou ratio direct/inverse > 10 <sup>7</sup> )
Tension de claquage	< -5 V
Temps de commutation	< 5 ns
Budget thermique	< 400°C

Comme nous l'avons vu dans le Chapitre I, très peu de sélecteurs peuvent prétendre satisfaire l'ensemble de ces spécifications. En effet, les diodes PN et Schottky à base d'oxydes de métaux de transition présentent des densités de courant en direct bien trop faibles tandis que les sélecteurs MIEC présentent des temps de commutation trop élevés. Cependant, à l'exception des contraintes liées au budget thermique, les diodes en silicium semblent en être capables. En conséquence, au cours de cette thèse, nous avons cherché à mettre au point des diodes PN verticales en silicium satisfaisant à ces spécifications et nous avons proposé des solutions pour les rendre compatibles avec une intégration à température réduite (<400°C).

## II. Mise au point et fabrication d'une diode PN verticale en silicium

### II.1 Présentation des choix technologiques

Afin de mettre au point la diode PN verticale en silicium, nous avons créé une structure simplifiée dans laquelle un via est rempli par du silicium dopé N et P formant ainsi une jonction PN verticale. Pour remplir le via nous avons utilisé la technique

d'épithaxie sélective, ou SEG pour "Selective Epitaxial Growth". En effet, il a été reporté que les jonctions PN formées à partir de silicium monocristallin déposé par épithaxie sélective présentent des performances électriques supérieures à celles des jonctions PN formées à partir de silicium poly-cristallin [4], [5]. De plus, pour éviter la formation de défauts et la détérioration des performances électriques des diodes, nous avons réalisé le dopage des zones N et P concomitamment avec leur dépôt, on parle alors de dopage in-situ. Cette étape d'épithaxie sélective est donc l'étape critique de la fabrication car elle est responsable de la formation et de la qualité de la jonction PN.

#### II.1.1 Fabrication de la diode

La Figure V.2 résume les principales étapes de fabrication de la diode PN verticale en silicium. Pour cela nous utilisons un substrat de type "Silicon-On-Insulator", ou SOI, comprenant un oxyde enterré, ou BOX pour "Burried OXide", d'une épaisseur de 145 nm et une couche supérieure de silicium d'une épaisseur de 70 nm. Tout d'abord une couche pleine tranche de silicium fortement dopée au bore, Si-P, et d'épaisseur 300 nm, appelée "buffer", est réalisée par épithaxie. Cette couche ayant pour but de permettre la polarisation du contact inférieur de la diode PN, le dopage visé pour cette couche est donc choisi égal au dopage maximum pouvant être obtenu à l'aide de notre procédé d'épithaxie soit  $2.10^{19} \text{ cm}^{-3}$ .

Une couche d'oxyde d'épaisseur 250 nm est alors déposée sur cette couche "buffer". Pour obtenir des vias de diamètre dessiné compris entre 50 nm et 1000 nm, deux types de procédé de lithographie sont alors utilisés :

- une lithographie à insolation par rayonnement ultra-violet, UV, qui permet de créer les vias de diamètre dessiné compris entre 300 nm et 1000 nm
- une lithographie à faisceau d'électrons, ou lithographie e-beam, qui permet de créer les vias de diamètre dessiné compris entre 50 nm et 200 nm.

Une fois, les lithographies effectuées, les vias sont formés par gravure ionique réactive. Pour créer la diode PN verticale en silicium, l'étape d'épithaxie sélective avec dopage in-situ est réalisée. Cette étape d'épithaxie sélective étant l'étape critique de la fabrication, elle est décrite plus en détails dans le paragraphe II.2. Puis, afin d'améliorer la qualité du contact électrique supérieur de la diode, une implantation de type N de la surface de la zone N est effectuée.

Les plots de contact permettant d'accéder à la couche "buffer" sont alors ouverts. Afin d'améliorer la qualité du contact électrique de cette couche, une implantation de type P de la surface du silicium est effectuée. Une silicuration sélective est alors effectuée permettant d'améliorer le contact électrique du silicium. Enfin, la ligne supérieure métallique est déposée et gravée.

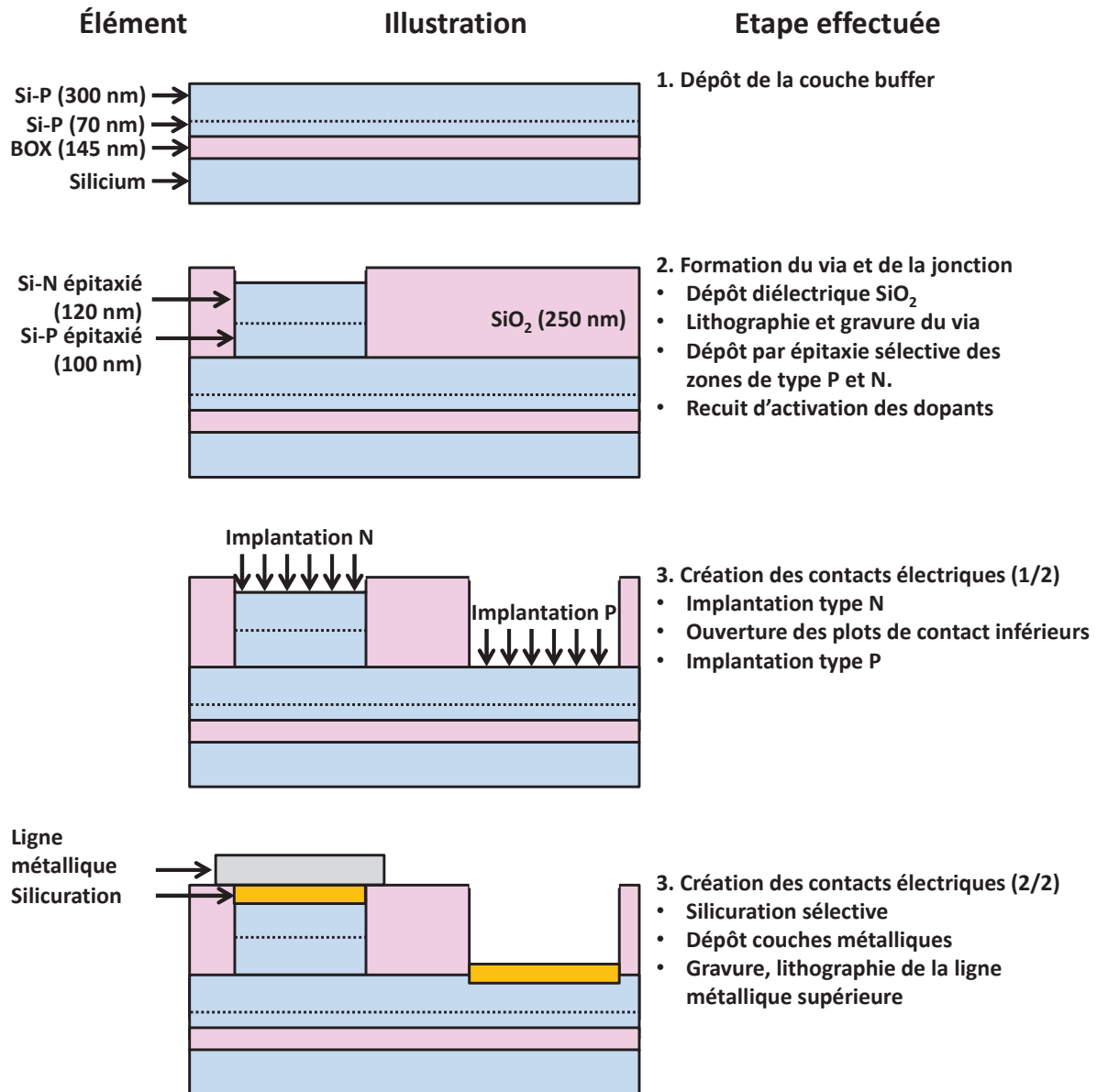


Figure V.2 : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour obtenir des diodes PN en silicium déposé par épitaxie sélective.

La Figure V.3 présente une vue aérienne obtenue par la technique d'imagerie MEB de la structure fabriquée ainsi que le schéma correspondant. Nous constatons que nous disposons de 4 plots de contact pour chacune des diodes fabriquées permettant donc de polariser la diode en utilisant la méthode 4 points décrites dans le paragraphe III.1 du Chapitre II.



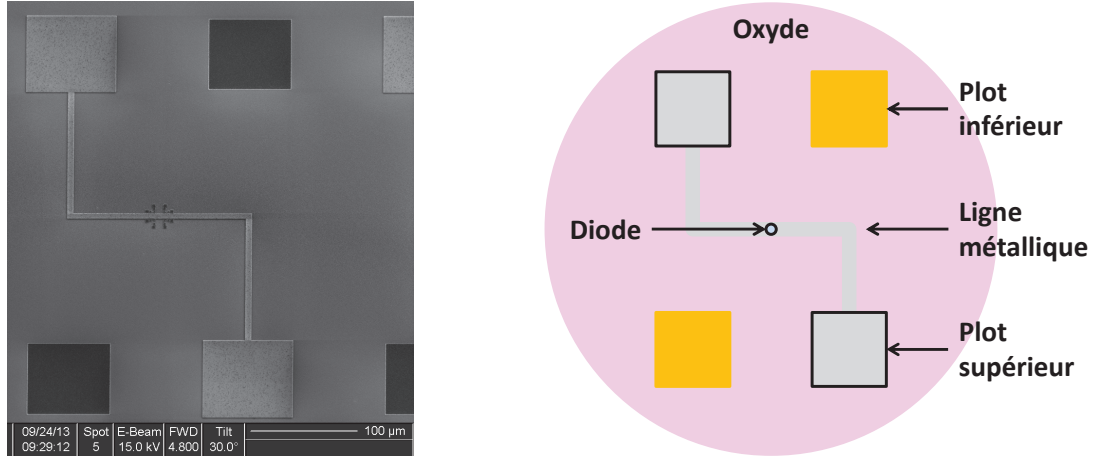


Figure V.3 : Observation aérienne obtenue par la technique d'imagerie MEB d'une diode PN verticale étudiée dans cette thèse (gauche) et schéma correspondant (droite).

### II.1.2 Choix des valeurs de dopage des zones N et P

Afin de définir les valeurs de dopage à utiliser dans les zones N et P pour obtenir une densité de courant supérieure à  $10^6$  A/cm<sup>2</sup>, nous avons modélisé une diode PN non idéale. Pour cela, la densité de courant traversant la diode PN,  $J_{DIODE}$ , a été calculée en fonction de la tension appliquée,  $V$ , à l'aide de l'équation 1 suivante [6] :

$$J_{DIODE} = J_{DIFF0} \cdot (\exp(\frac{e \cdot (V - R_S \cdot J_{DIODE})}{k_B T}) - 1) + J_{GR0} \cdot (\exp(\frac{e \cdot (V - R_S \cdot J_{DIODE})}{2 \cdot k_B T}) - 1) \quad (1)$$

Où le premier terme correspond à la densité de courant de diffusion tandis que le second terme correspond à la densité de courant de génération-recombinaison. Enfin, le terme  $R_S$  est la résistance série de la diode.

#### Calcul de la densité de courant de diffusion à tension nulle

La densité de courant de diffusion à tension nulle,  $J_{DIFF0}$ , peut être calculée à l'aide de l'équation 2 suivante [6] :

$$J_{DIFF0} = e \cdot (\sqrt{\frac{D_P}{\tau_P}} \cdot n_P + \sqrt{\frac{D_N}{\tau_N}} \cdot p_N) \quad (2)$$

Où  $e$  est la charge élémentaire,  $D_P$  ( $D_N$ ) le coefficient de diffusion des trous (électrons) dans la zone N (P),  $\tau_P$  ( $\tau_N$ ) est la durée de vie des trous (électrons) dans la zone N (P) et  $n_P$  ( $p_N$ ) la densité d'électrons (trous) dans la zone P (N). Dans notre modélisation, les durées de vie des électrons et des trous dépendent des valeurs de dopage et leurs valeurs sont fournies sur la Figure V.4 [7].

## Elément de sélection pour architecture crossbar PCRAM

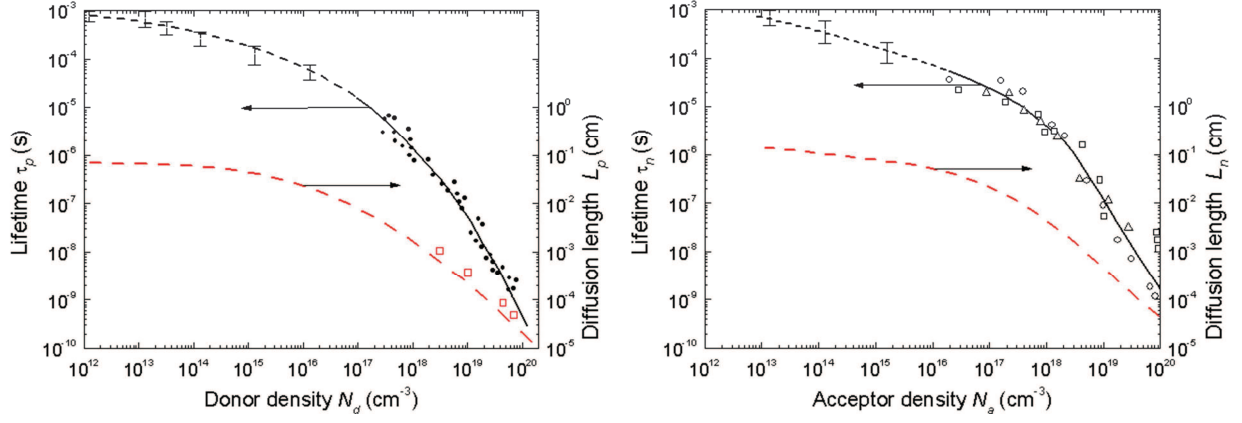


Figure V.4 : Dépendance de la durée de vie et de la longueur de diffusion des trous (gauche) et des électrons (droite) en fonction du dopage. [7]

Pour calculer les coefficients de diffusion des électrons et des trous, nous avons utilisé la relation d'Einstein formalisée par l'équation 3 suivante :

$$\frac{D_N}{\mu_N} = \frac{D_P}{\mu_P} = \frac{k_B T}{e} \quad (3)$$

Où  $\mu_N$  et  $\mu_P$  sont les mobilités des électrons et des trous respectivement. Dans notre modélisation, les mobilités des électrons et des trous dépendent des valeurs de dopage et leurs valeurs sont fournies sur la Figure V.5 et sont utilisées pour calculer les coefficients de diffusion des électrons et des trous [7].

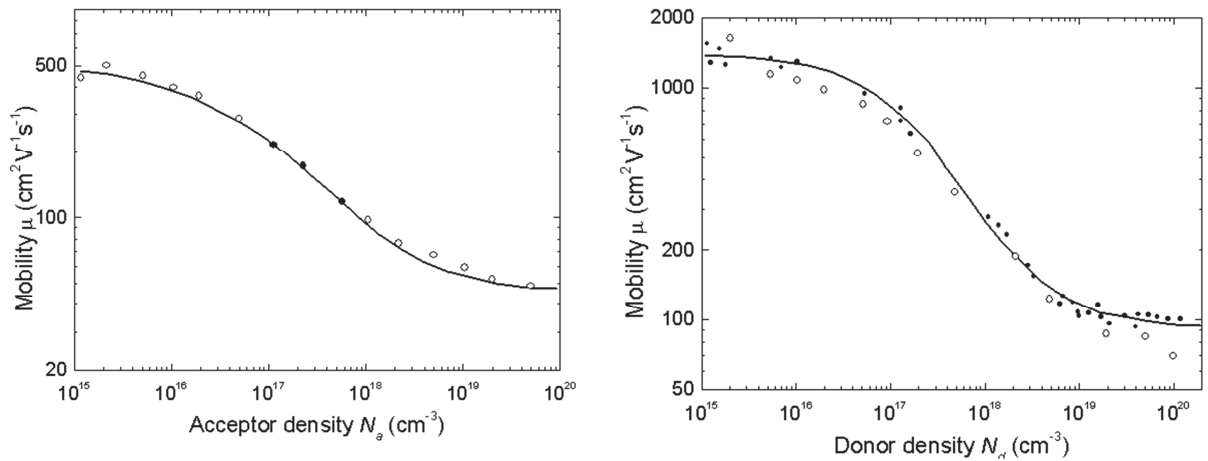


Figure V.5 : Dépendance de la mobilité des trous (gauche) et des électrons (droite) en fonction du dopage. [7]

Enfin, les densités d'électrons et de trous sont calculées à l'aide des équations 4 et 5 suivantes :

$$n_p = \frac{n_i^2}{N_D} \quad (4)$$

$$p_N = \frac{n_i^2}{N_A} \quad (5)$$

Où  $N_D$  et  $N_A$  correspondent à la densité de dopants donneurs et accepteurs que nous incorporons au sein des zones N et P. Enfin, la densité intrinsèque de porteurs,  $n_i^2$ , est calculée à l'aide de l'équation 6 suivante :

$$n_i^2 = N_C \cdot N_V \cdot \exp\left(-\frac{E_G}{k_B T}\right) \quad (6)$$

Où  $N_C$  et  $N_V$  sont les densités effectives d'états des électrons dans la bande de conduction et des trous dans la bande de valence, respectivement, et  $E_G$  est l'énergie de la bande interdite, ou "gap", du silicium.

#### Calcul de la densité de courant de génération-recombinaison à tension nulle

La densité de courant de génération-recombinaison à tension nulle,  $J_{GR0}$ , peut être calculée à l'aide de l'équation 7 suivante :

$$J_{GR0} = e \cdot W \cdot \frac{n_i}{2 \cdot \tau} \quad (7)$$

Où  $e$  est la charge élémentaire,  $W$  la largeur de la zone de charge d'espace,  $\tau$  la durée de vie des porteurs et  $n_i$  a été défini précédemment par l'équation 6.

#### Calcul de la résistance série de la diode

La résistance série de la diode, notée  $R_s$ , correspond à la résistance des zones N et P se trouvant hors de la zone de charge d'espace. En conséquence, elle est calculée à l'aide de l'équation 8 :

$$R_s = \frac{1}{N_D \cdot \mu_N \cdot e} \cdot \frac{e_N - W_N}{S} + \frac{1}{N_A \cdot \mu_P \cdot e} \cdot \frac{e_P - W_P}{S} \quad (8)$$

Où  $e_N$  ( $e_P$ ) est l'épaisseur de la zone N (P) et  $W_N$  ( $W_P$ ) est l'épaisseur de la zone de charge d'espace du côté de la zone N (P) tandis que  $S$  est la section de la diode. Dans, notre modèle, l'épaisseur de la zone P est fixée à 100 nm et celle de la zone N à 120 nm tandis que le diamètre de la diode est fixé à 300 nm.

#### Résultats de la modélisation

Pour effectuer les modélisations des diodes, nous supposons une température constante de 300 K. En utilisant les équations décrites précédemment, nous avons calculé la densité de courant traversant la diode lorsque celle-ci est polarisée en direct à 2V. Sur la Figure V.6 on constate que la densité de courant augmente avec les valeurs de

## Elément de sélection pour architecture crossbar PCRAM

dopage N et P. On constate également que la densité de courant est supérieure à  $10^6$  A/cm<sup>2</sup>, pour des dopages supérieurs à  $10^{17}$  cm<sup>-3</sup>, que ce soit pour le dopage N ou pour le dopage P. De plus, nous observons que pour une valeur de dopage P donnée, la densité de courant est maximale pour un dopage N de  $10^{19}$  cm<sup>-3</sup> environ.

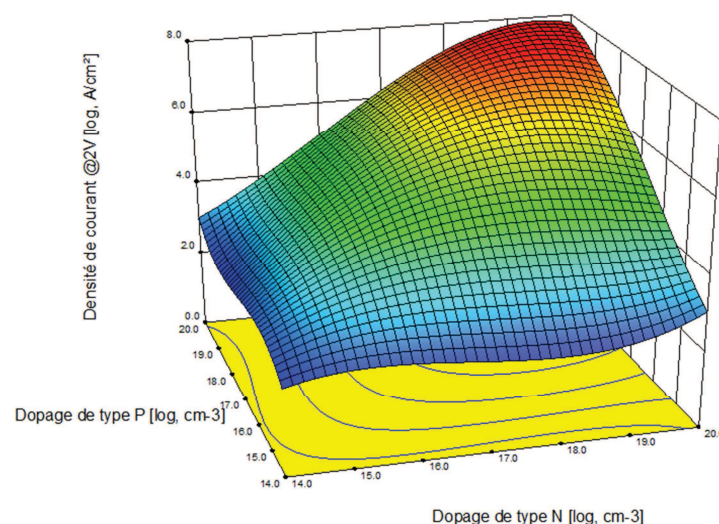


Figure V.6 : Densité de courant traversant la diode PN polarisée en directe à 2V en fonction des valeurs de dopage des zones N et P.

A l'aide de ces résultats, nous avons défini les valeurs de dopage que nous avons étudié au cours de cette thèse. Puisque nous avons constaté que pour une valeur de dopage P donnée, la densité de courant est maximale pour un dopage N de  $10^{19}$  cm<sup>-3</sup> environ, nous avons fixé le dopage N à  $2 \cdot 10^{19}$  cm<sup>-3</sup> tandis que le dopage P varie entre  $2 \cdot 10^{17}$  cm<sup>-3</sup> et  $2 \cdot 10^{19}$  cm<sup>-3</sup>. Le Tableau V.2 résume les différentes combinaisons de dopage étudiées.

Tableau V.2 : Synthèse des différentes combinaisons de dopages étudiées.

Dopage N	$2 \cdot 10^{19}$ cm <sup>-3</sup>				
Dopage P	$2 \cdot 10^{17}$ cm <sup>-3</sup>	$6 \cdot 10^{17}$ cm <sup>-3</sup>	$2 \cdot 10^{18}$ cm <sup>-3</sup>	$8 \cdot 10^{18}$ cm <sup>-3</sup>	$2 \cdot 10^{19}$ cm <sup>-3</sup>

## II.2 Mise au point de l'épitaxie sélective des zones N et P

L'épithaxie sélective a été réalisée dans la machine de dépôt Centura 5200 conçue par Applied Materials permettant de déposer par épithaxie en phase vapeur des couches de silicium dopé. L'épithaxie en phase vapeur, ou VPE pour "Vapor Phase Epitaxy", est une technique de dépôt consistant à faire croître un cristal de silicium à partir de précurseurs introduits dans la chambre de dépôt sous forme gazeuse, qui sont décomposés au contact de la surface chauffée sur laquelle le dépôt doit avoir lieu. De manière concrète le protocole utilisé pour la réalisation des diodes est le suivant :

- Préparation de la surface avant l'épitaxie sélective :
  - Oxydation thermique de 10 nm du silicium et désoxydation équivalente. Cette étape permet de retirer la couche de silicium en fond de via endommagée par le plasma lors de la gravure de la couche d'oxyde permettant de créer le via ;
  - Nettoyage dans une solution chimique à base d'acide fluorhydrique, ou HF, permettant de retirer l'oxyde de silicium natif ;
  - Recuit de 2 minutes à 900°C sous hydrogène permettant de supprimer les éventuels contaminants restant à la surface du silicium en fond de via.
- Procédé d'épitaxie sélective réalisée selon les conditions du Tableau V.3. Le di-chloro-silane, ou DCS, fournit le silicium nécessaire au dépôt des zones N et P. Les atomes de bore nécessaires au dopage de la zone P sont apportés par l'introduction, sous forme gazeuse, de diborane, de formule  $B_2H_6$ , dans la chambre de dépôt, pendant l'épitaxie de la zone P. De même, les atomes de phosphore nécessaires au dopage de la zone N sont apportés par l'introduction, sous forme gazeuse, de phosphine, de formule  $PH_3$ , dans la chambre de dépôt, pendant l'épitaxie de la zone N. Afin d'assurer la sélectivité du procédé utilisé du chlorure d'hydrogène, ou HCl, est introduit dans le réacteur pendant l'épitaxie.

Tableau V.3 : Synthèse des conditions utilisées pour réaliser l'épitaxie sélective.

Dépôt	Précurseur	Dopants	Température	Pression	Epaisseur
Si-P	Di-Chloro-Silane ( $SiH_2Cl_2$ )	Diborane ( $B_2H_6$ )	950°C	20 Torr	100 nm
Si-N	Chlorure d'hydrogène (HCl)	Phosphine ( $PH_3$ )			120 nm

À l'aide de ce procédé, nous avons fait croître des zones P et N au sein de vias de différents diamètres. Tout d'abord, nous avons constaté, sur des observations en coupe obtenues par la technique d'imagerie TEM, qu'aucun défaut n'est visible à l'interface entre la zone P et la couche "buffer". Ceci confirme ainsi la viabilité de la préparation de surface effectuée préalablement à l'épitaxie sélective (Figure V.7).

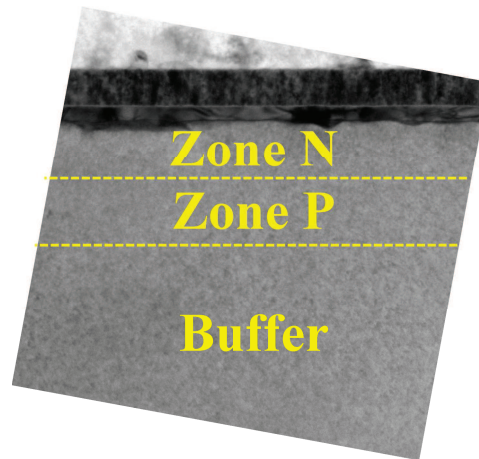


Figure V.7 : Observation en coupe obtenue par la technique d'imagerie TEM d'une diode PN fabriquée à l'aide du procédé précédent.

Cependant, du fait de la durée nécessaire à la croissance de 220 nm de silicium des zones N et P, nous avons constaté l'apparition de nombreux nucléi de silicium amorphe sur l'oxyde (Figure V.8). Or, ces nucléi peuvent dégrader les performances des diodes obtenues, notamment dans l'hypothèse où l'un d'entre eux serait en contact direct avec le via ou si une couche continue de silicium est obtenue au-dessus de l'oxyde. Il est donc nécessaire d'améliorer la sélectivité du procédé d'épitaxie utilisé.

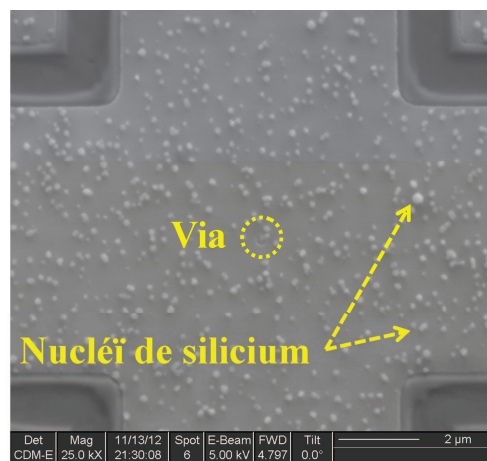


Figure V.8 : Observation aérienne obtenue par la technique d'imagerie MEB de la surface de la plaque après l'étape d'épitaxie sélective des zones P et N.

Afin d'améliorer la sélectivité de l'épitaxie, nous avons développé un procédé d'épitaxie sélective cyclique permettant de limiter l'apparition de nucléi de silicium sur l'oxyde. Ce procédé consiste en l'alternance de séquences de croissance du silicium et de séquences de gravure chimique à base de chlorure d'hydrogène [4], [5]. La Figure V.9 schématise cette alternance de séquences et l'ensemble du procédé utilisé est :

- Epitaxie de la zone P :
  1. Croissance Si :B 60 nm @ 950°C (20 Torr) +
  2. Gravure HCl @ 850°C 10 sec (100 Torr) (pour avoir 50 nm après gravure) +
  3. Croissance Si :B 60 nm @ 950°C (20 Torr) +
  4. Gravure HCl @ 850°C 10 sec (100 Torr) (pour avoir 50 nm après gravure) +
- Epitaxie de la zone N :
  5. Croissance Si :P 60 nm @ 950°C (20 Torr) +
  6. Gravure HCl @ 850°C 13 sec (100 Torr) (pour avoir 40 nm après gravure) +
  7. Croissance Si :P 60 nm @ 950°C (20 Torr) +
  8. Gravure HCl @ 850°C 13 sec (100 Torr) (pour avoir 40 nm après gravure) +
  9. Croissance Si :P 60 nm @ 950°C (20 Torr) +
  10. Gravure HCl @ 850°C 13 sec (100 Torr) (pour avoir 40 nm après gravure)

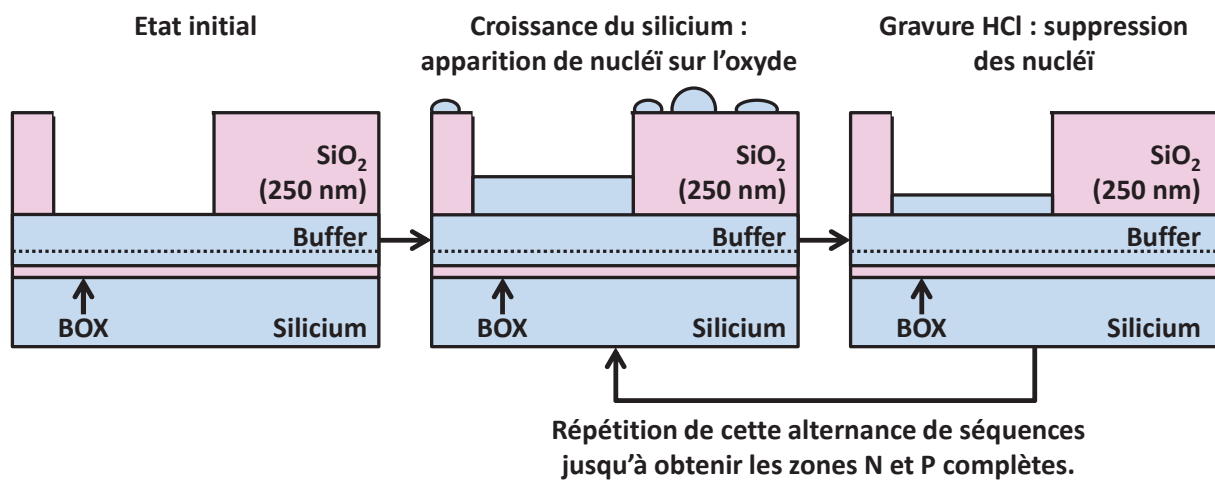


Figure V.9 : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour obtenir des diodes PN en silicium déposé par épithaxie sélective cyclique.

Grâce à ce procédé, nous avons empêché l'apparition de nucléi de silicium sur l'oxyde confirmant l'amélioration de la sélectivité du procédé d'épithaxie utilisé (Figure V.10).



Figure V.10 : Observation aérienne, obtenue par la technique d'imagerie MEB, de la surface de la plaque après l'étape d'épithaxie sélective cyclique des zones P et N.



## Elément de sélection pour architecture crossbar PCRAM

De plus, à l'aide de ce procédé d'épithaxie sélective cyclique, nous avons fait croître des zones P et N au sein de vias de différents diamètres. La Figure V.11 présente les zones P et N déposées dans un via de diamètre dessiné 300 nm. On constate que ce procédé permet d'obtenir des zones P et N de surface plane et d'épaisseur proche de celle visée sans déposer de silicium sur l'oxyde. Toutefois, la durée de ce procédé cyclique est bien supérieure à celle d'un procédé d'épithaxie sélective classique. En effet, pour passer des séquences de dépôt ( $950^{\circ}\text{C} - 20 \text{ Torr}$ ) aux séquences de gravure ( $850^{\circ}\text{C} - 100 \text{ Torr}$ ) plusieurs minutes sont nécessaires. La vitesse de transition étant de  $5^{\circ}\text{C/s}$  et de  $20 \text{ Torr/min}$ , chaque changement de séquence nécessite donc environ 5 minutes. Le dépôt complet de la diode dure donc plus de 45 minutes. Le budget thermique de cette étape d'épithaxie cyclique est donc important et peut mener à la diffusion des dopants.

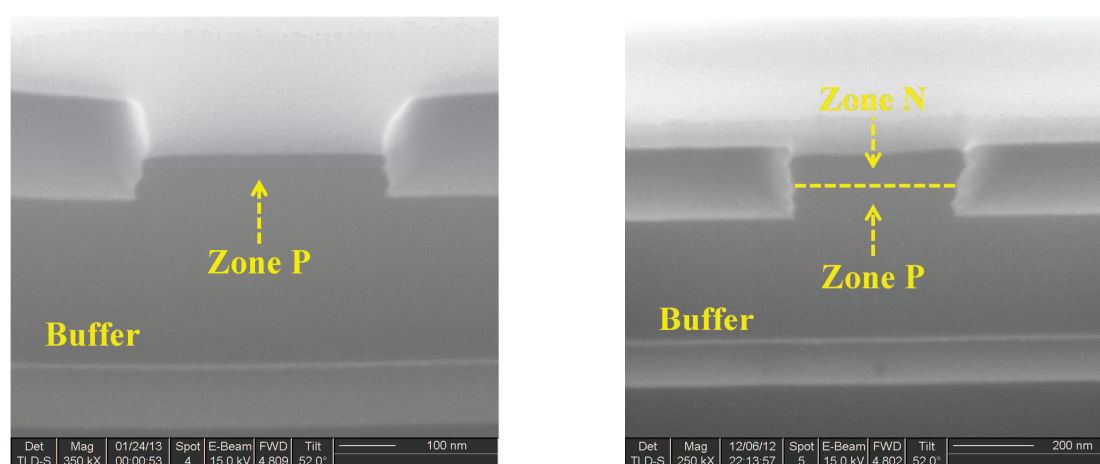


Figure V.11 : Observation en coupe, obtenue par la technique d'imagerie MEB, d'un via de diamètre dessiné 300 nm après l'étape d'épithaxie sélective cyclique de la zone P (gauche) et de la zone N (droite).

### II.3 Caractérisation morphologique des diodes verticales

Nous avons présenté dans le paragraphe II.2 la méthode de fabrication des diodes verticales basée sur la croissance de silicium dopé à l'intérieur de vias de diamètre dessiné compris entre 50 nm et 1000 nm. Or ces dimensions sont celles dessinées sur le masque utilisé lors des lithographies permettant la création des vias. Cependant, ces dimensions ne correspondent pas réellement à celles des vias obtenus une fois la fabrication terminée. En effet, une perte de côte est obtenue du fait des différents nettoyages et préparations de surface effectués au cours du procédé de fabrication. Par exemple, avant de réaliser l'épithaxie des zones P et N formant la jonction, nous avons effectué une préparation de surface incluant une oxydation de 10 nm du silicium en fond de via suivi d'une désoxydation équivalente. Cette dernière étant isotrope, elle retire une couche d'oxyde d'épaisseur 10 nm dans l'ensemble des directions, donc y compris sur les flancs des vias, contribuant à l'élargissement de ceux-ci (Figure V.12).



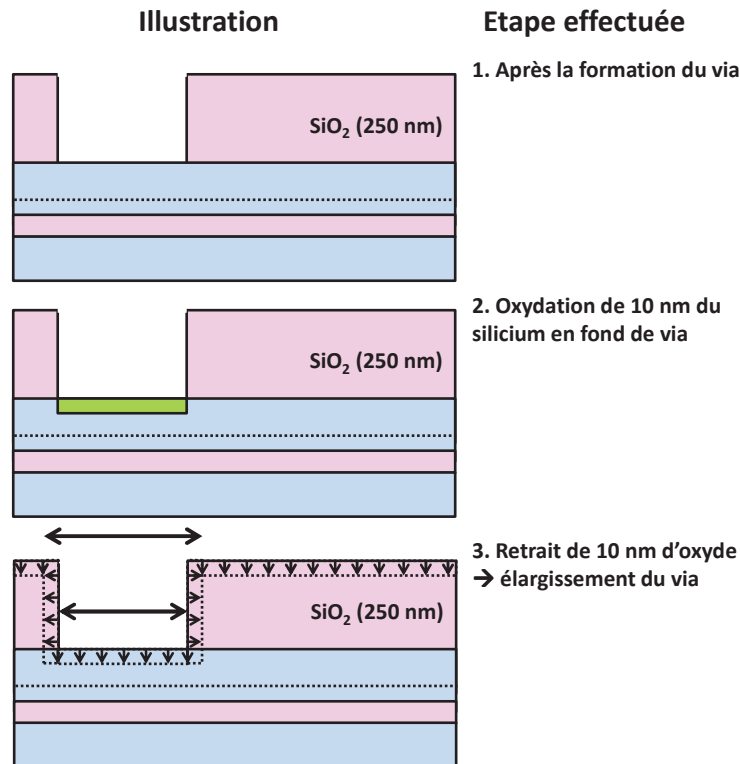


Figure V.12 : Schéma de principe de l'enchainement des étapes technologiques utilisées au LETI pour préparer la surface de silicium avant l'étape d'épitaxie.

Une fois la fabrication entièrement terminée, des observations en coupe de diodes de toutes sections ont été effectuées à l'aide de la technique d'imagerie MEB et les diamètres des vias ont été mesurés. Sur la Figure V.13, on constate qu'aucun défaut n'est visible à l'interface entre la zone P et la couche "buffer" confirmant à nouveau la viabilité de la préparation de surface effectuée préalablement à l'épitaxie sélective. Toutefois, on remarque que les parois du via de diamètre dessiné 1000 nm ne sont pas parfaitement verticales tandis que celles des vias de diamètre dessiné 80 nm et 300 nm semblent l'être.

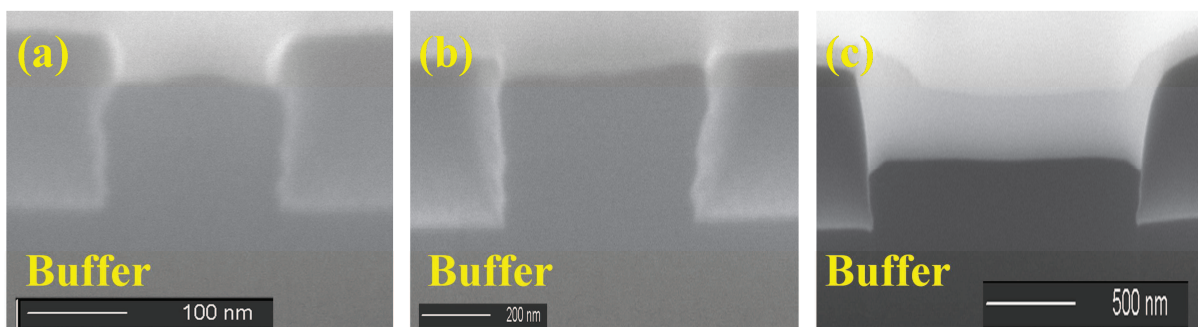


Figure V.13 : Observation en coupe, obtenue par la technique d'imagerie MEB, d'un via de diamètre dessiné 80 nm (a), 300 nm (b) et 1000 nm (c) après l'étape d'épitaxie sélective cyclique de la jonction.

## Elément de sélection pour architecture crossbar PCRAM

La Figure V.14 présente les diamètres mesurés des vias en fonction des diamètres dessinés. On constate que les diamètres réels des vias sont plus larges que ceux initialement dessinés sur le masque lithographique. Par soucis de simplicité, dans la suite de ce Chapitre, nous nous référerons aux vias en utilisant la valeur du diamètre dessiné.

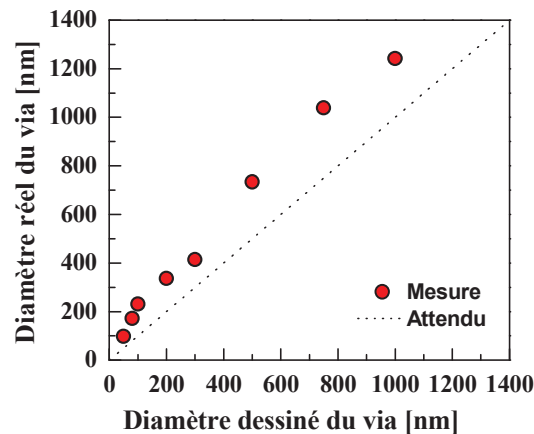


Figure V.14 : Comparaison entre les diamètres dessinés et réels des vias mesurés à partir d'observations en coupe réalisées à l'aide de la technique d'imagerie MEB.

## III. Caractérisation électrique des diodes verticales

### III.1 Comportement quasi-statique des diodes

#### III.1.1 Mesure des caractéristiques Courant-Tension

En polarisant, en direct puis en inverse, la diode selon la technique 4 pointes, afin de s'affranchir des résistances d'accès induites par les lignes métalliques et les pointes de mesure, nous avons mesuré les caractéristiques Courant-Tension, ou I-V, des diodes en leur appliquant une rampe quasi-statique de tension. Pour cela, les diodes PN sont connectées à un analyseur de paramètres Hewlett-Packard 4156 via des SMU. Le premier SMU applique la rampe de tension sur la diode et mesure le courant la traversant tandis que deux autres SMU mesurent la tension réelle sur la diode. Le dernier SMU est relié à la masse. Les plaques étant placées dans une station d'accueil Cascade nous avons pu étudier la dispersion du procédé de fabrication, notamment de l'épitaxie sur une plaque entière. Les résultats obtenus sur les diodes de diamètre dessiné 50 nm avec le dopage le plus élevé sont présentés sur la Figure V.15.

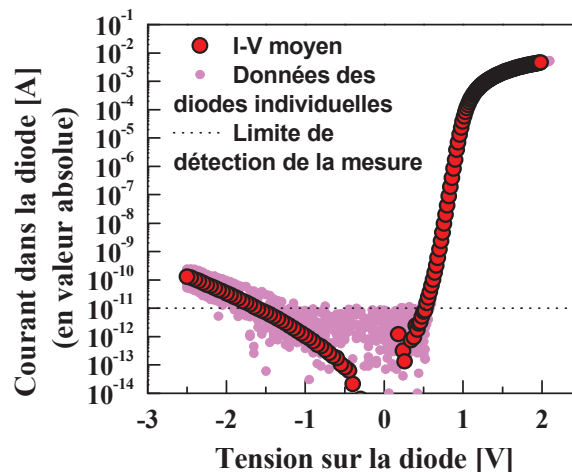


Figure V.15 : Caractéristiques I-V des diodes de diamètre dessiné 50 nm.<sup>1</sup>

Lorsque les diodes sont polarisées en direct, plusieurs régimes de fonctionnement peuvent être identifiés :

- Pour des tensions appliquées inférieures à 0,6 V environ, le courant traversant la diode est inférieur à la limite de détection de notre banc de mesure, soit 10 pA environ.
- Pour des tensions comprises entre 0,6 V et 1 V environ, la caractéristique I-V suit une loi exponentielle. La pente de la caractéristique dans ce régime, appelé facteur d'idéalité, permet de quantifier la qualité de la diode : plus ce facteur est proche de 1, plus la diode est performante. Une étude détaillée des facteurs d'idéalité obtenus est présentée dans le paragraphe III.1.3.
- Pour des tensions supérieures à 1V, la caractéristique I-V n'est plus exponentielle et devient même ohmique au-delà de 1,3 V environ. Ce régime de fonctionnement ohmique est dû au contrôle de la caractéristique I-V par la résistance série de la diode. Dans notre cas, cette résistance série est composée uniquement des résistances des zones P et N, de la silicuration de la zone N et des interfaces entre la zone N (P) et la ligne de contact supérieur (inférieur).

De plus, nous observons peu de dispersion des données, particulièrement dans le sens direct, indiquant la bonne uniformité du procédé de fabrication sur l'ensemble d'une plaque 200 mm.

A partir des caractéristiques I-V, plusieurs performances des diodes peuvent être extraites :

- les courants délivrés par la diode polarisée en direct définis comme les courants mesurés à 1 V (en fin de régime exponentiel) et à 1,5 V (en régime ohmique)
- le courant délivré par la diode polarisée en inverse (ou courant de fuite) défini comme le courant mesuré à -2,5 V
- le facteur d'idéalité
- la résistance série de la diode

<sup>1</sup> La statistique présentée correspond à 11 diodes réparties sur l'ensemble de la plaque. La limite de détection en courant du banc de mesure utilisé est de 10 pA.

### III.1.2 Impact du dopage sur les caractéristiques I-V des diodes

Nous avons mesuré les caractéristiques I-V des diodes de diamètre 50 nm pour les différents dopages de type P. Les résultats obtenus sont présentés sur la Figure V.16. Nous constatons qu'aucun effet du dopage n'est visible sur les caractéristiques I-V des diodes, particulièrement lorsqu'elles sont polarisées en direct.

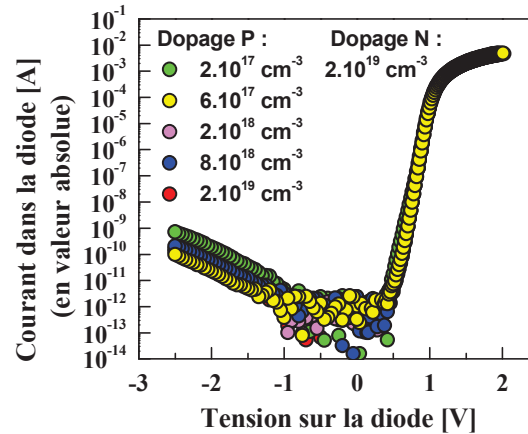


Figure V.16 : Caractéristiques I-V des diodes de diamètre dessiné 50 nm pour différents dopages de type P et un dopage de type N à  $2.10^{19} \text{ cm}^{-3}$ .

Afin de comprendre les raisons de l'absence d'impact du dopage P sur les caractéristiques I-V des diodes, les compositions des zones N et P ont été analysées par la technique de spectrométrie de masse des ions secondaires en temps de vol, ou ToF-SIMS pour "Time of Flight Secondary Ion Mass Spectrometry", permettant de connaître la composition d'un échantillon dans la profondeur de celui-ci. Toutefois, dans le cas de l'élément bore, la limite de détection de cette technique est de  $10^{19} \text{ cm}^{-3}$  tandis qu'elle est comprise entre  $10^{18} \text{ cm}^{-3}$  et  $2.10^{18} \text{ cm}^{-3}$  dans le cas de l'élément phosphore. La Figure V.17 présente les profils de composition des zones N et P des diodes dopées au bore à  $2.10^{19} \text{ cm}^{-3}$ .

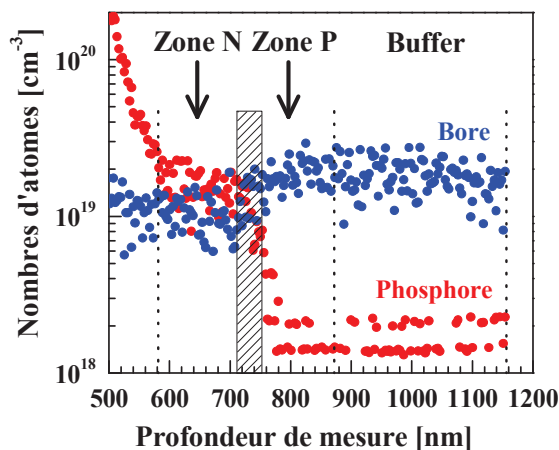


Figure V.17 : Profils en profondeur, obtenus par la technique ToF-SIMS, des dopants bore (bleu) et phosphore (rouge) au sein des diodes dopées au bore à  $2.10^{19} \text{ cm}^{-3}$ . La zone hachurée met en évidence la zone de contact entre les zones N et P (jonction métallurgique).

On constate, pour les profondeurs de mesure les plus importantes, la présence d'une couche d'épaisseur 300 nm environ dopée au bore à  $2.10^{19} \text{ cm}^{-3}$  sans présence de dopage au phosphore. Cette couche correspond à la couche "buffer" de la diode. Ensuite, une couche dopée au bore à  $2.10^{19} \text{ cm}^{-3}$ , d'épaisseur 100 nm environ, est observée et peut-être identifiée comme la zone P de la diode. Puis, nous constatons l'apparition d'une zone dans laquelle la concentration en dopants bore diminue tandis que la concentration en dopants phosphore augmente (zone hachurée). Ainsi, dans cette zone, les concentrations en dopants se croisent à une valeur comprise entre  $10^{19} \text{ cm}^{-3}$  et  $2.10^{19} \text{ cm}^{-3}$ . En conséquence, dans le cas de cette diode, la jonction PN est bien formée par le contact d'une zone de type N et d'une zone de type P chacune dopée entre  $10^{19} \text{ cm}^{-3}$  et  $2.10^{19} \text{ cm}^{-3}$ , conformément à ce que nous avons visé. Cette zone peut donc être identifiée comme la zone où se forme la jonction métallurgique de la diode.

Ensuite, une couche dopée au phosphore à  $2.10^{19} \text{ cm}^{-3}$ , d'épaisseur 100 nm environ, est observée et peut être identifiée comme la zone N de la diode. Ensuite, une dernière couche présentant un dopage au phosphore pouvant dépasser  $2.10^{19} \text{ cm}^{-3}$  est observée et correspond à la partie supérieure de la diode ayant été implantée. En conséquence, à l'aide de cette analyse ToF-SIMS, nous avons pu identifier les différents éléments composants la diode et ainsi confirmer que la jonction PN est bien formée par le contact de deux zones N et P, chacune dopée entre  $10^{19} \text{ cm}^{-3}$  et  $2.10^{19} \text{ cm}^{-3}$ .

Dans le cas, de la diode dopée au bore à  $2.10^{17} \text{ cm}^{-3}$ , les mêmes éléments composant la diode peuvent être identifiés (Figure V.18). Toutefois, du fait de la limite de détection du bore ( $10^{19} \text{ cm}^{-3}$ ), nous ne pouvons pas mesurer des valeurs de dopage au bore inférieures à cette valeur. Ainsi dans la zone de formation de la jonction PN (en hachuré), il n'est pas possible de savoir avec exactitude à quel dopage se forme la jonction. Malgré cela, d'après la variation de la concentration en dopants bore dans la zone P, il est raisonnable de penser que la jonction PN se forme pour des dopages compris entre  $2.10^{18} \text{ cm}^{-3}$  et  $8.10^{18} \text{ cm}^{-3}$  environ (les deux traits noirs tracés sur la Figure V.18 mettent en évidence ces estimations).

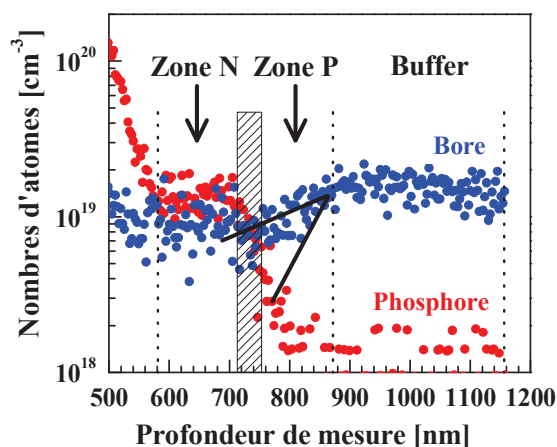


Figure V.18 : Profils en profondeur, obtenus par la technique ToF-SIMS, des dopants bore (bleu) et phosphore (rouge) au sein des diodes dopées au bore à  $2.10^{17} \text{ cm}^{-3}$ . La zone hachurée met en évidence la zone de contact entre les zones N et P (jonction métallurgique).

---

**Elément de sélection pour architecture crossbar PCRAM**


---

En conséquence, à l'aide d'analyses ToF-SIMS, nous avons mis en évidence que les diodes dopées au bore à  $2.10^{19} \text{ cm}^{-3}$  semblent bien correspondre à ce que nous visions. Par contre, dans le cas des autres diodes, il semble que la jonction se forme à un dopage bien supérieur à celui visé. Ainsi, les différentes diodes étudiées présentent des variations de dopage bien inférieures à ce que nous visions et c'est pour cette raison qu'aucun effet du dopage n'est visible sur leurs caractéristiques I-V. Nous pensons que cet effet peut-être dû à :

- une diffusion du bore vers la couche dopée au phosphore lors de l'épitaxie sélective de cette dernière du fait du budget thermique élevé du procédé d'épitaxie utilisé
- une contamination de la couche dopée au phosphore par du bore pouvant être encore présent dans la chambre d'épitaxie lors du début de la croissance de la zone N

Ainsi, une étude plus approfondie ainsi qu'une optimisation de l'étape d'épitaxie sélective semble encore nécessaire pour permettre de mieux contrôler la formation de la jonction métallurgique entre les zones N et P, notamment pour les plus faibles dopages. Pour cela une réduction des durées et température de dépôt peut être envisagée ainsi qu'un nettoyage ou une purge de la chambre d'épitaxie avant de commencer la croissance de la zone dopée au phosphore.

En conclusion, une étude plus approfondie ainsi qu'une optimisation de l'étape d'épitaxie sélective cyclique semble encore nécessaire pour permettre de mieux contrôler la formation de la jonction métallurgique entre les zones N et P et ainsi d'optimiser le comportement de la diode permettant ainsi d'étudier l'effet du dopage sur les caractéristiques I-V des diodes. Or, puisque nous ne constatons aucun effet du dopage au bore sur les caractéristiques des diodes étudiées, nous focalisons le reste de notre étude sur les diodes présentant le plus fort dopage, c'est-à-dire les diodes dont les zones N et P sont dopées à  $2.10^{19} \text{ cm}^{-3}$ .

### III.1.3 Impact de la section du via sur les performances des diodes polarisées en direct

Les caractéristiques I-V des diodes de toutes sections ont été mesurées et des caractéristiques similaires à celles présentées sur la Figure V.16 ont été obtenues et sont exploitées dans ce paragraphe et les suivants.

#### Courants délivrés par la diode polarisée en direct

La Figure V.19 présente les courants délivrés par la diode polarisée en direct à 1 V et 1,5 V, en fonction de la section réelle du via. On constate que plus la section du via est importante plus la diode délivre du courant. Toutefois, on observe une saturation du courant pour les vias de diamètre 500 nm, 750 nm et 1000 nm. Cela signifie que la

densité de courant délivrée par ces diodes n'est pas constante et dépend de la section du via au sein duquel la diode est fabriquée. En divisant le courant mesuré par la section réelle du via, nous avons calculé la densité de courant délivrée par les diodes (Figure V.20). On constate que plus la section du via est faible, plus la densité de courant est élevée.

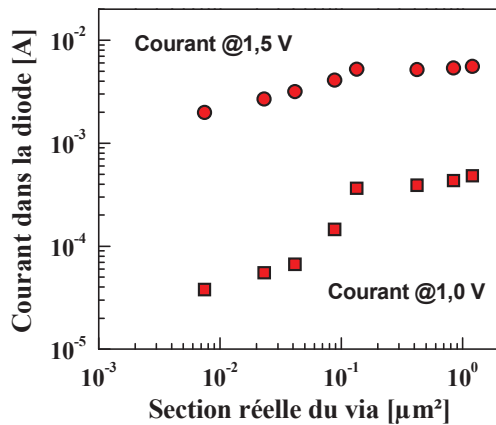


Figure V.19 : Courants délivrés par les diodes PN polarisées en direct à 1 V et 1,5 V, en fonction de la section réelle du via.<sup>2</sup>

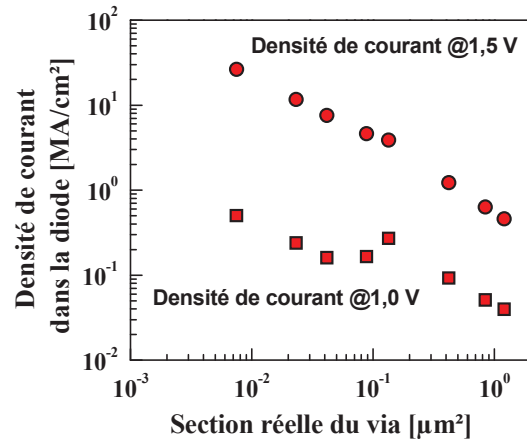


Figure V.20 : Densités de courant délivrées par les diodes PN polarisées en direct à 1 V et 1,5 V, en fonction de la section réelle du via.<sup>2</sup>

Nous constatons que pour une polarisation de 1,5 V, toutes les diodes permettent de délivrer un courant supérieur à 1mA et seules les diodes de diamètre dessiné inférieur ou égal à 100 nm permettent d'obtenir une densité de courant supérieure à 10 MA/cm<sup>2</sup>. Ainsi, une densité de courant de 30 MA/cm<sup>2</sup> est obtenue pour les diodes de diamètre dessiné 50 nm. En termes de densité de courant, ces diodes de diamètre dessiné 50 nm sont donc compatibles avec les spécifications requises pour les nœuds technologiques 16 nm et 22 nm (Figure V.21) et sont donc prometteuses pour les futures applications de la technologie PCRAM.

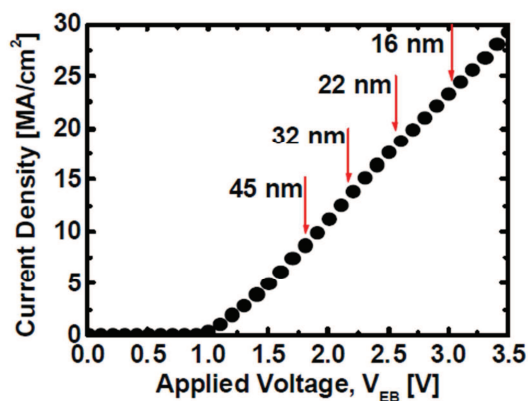


Figure V.21 : Densité de courant devant être délivrée par l'élément de sélection pour satisfaire au cahier des charges des différents nœuds technologiques. [8]

<sup>2</sup> Les valeurs représentées sont obtenues en moyennant les données extraites des caractéristiques de plus de 10 diodes.



### Facteur d'idéalité

La Figure V.22 présente les facteurs d'idéalité des diodes polarisées en direct en fonction de la section réelle du via. On constate que celui-ci est compris entre 1,06 et 1,23 confirmant la très bonne qualité des diodes fabriquées [6]. Toutefois, on remarque que le facteur d'idéalité augmente avec la section du via, signe d'une diminution de la qualité des diodes, qui selon nous, pourrait être due à l'apparition de facettes à la surface de la diode (voir ci-dessous).

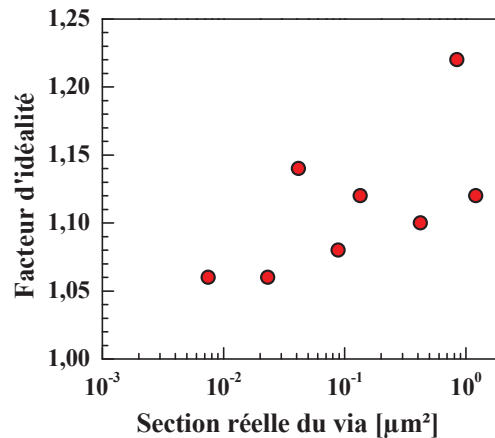


Figure V.22 : Facteur d'idéalité des diodes PN polarisées en direct en fonction de la section réelle du via.<sup>3</sup>

### Résistance série

La Figure V.23 présente la résistance série des diodes polarisées en direct au-delà de 1,3 V, en fonction de la section réelle du via. On constate que plus la section du via est importante, plus la résistance série est faible. Toutefois, celle-ci ne diminue pas proportionnellement à la section du via, c'est-à-dire que lorsque la section d'une via diminue d'une décade, ce n'est pas le cas de la résistance série. De plus, pour les vias de diamètre 500 nm, 750 nm et 1000 nm, nous constatons qu'il n'existe qu'une très faible différence entre les résistances séries de ces trois diodes.

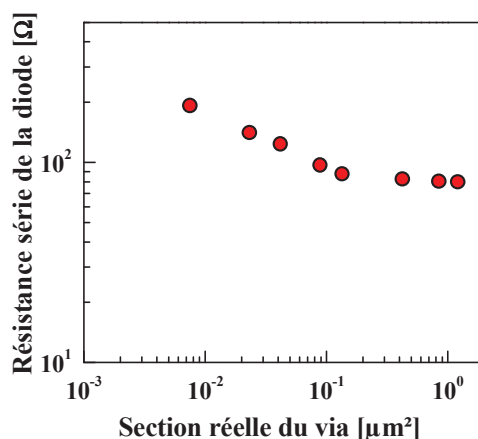


Figure V.23 : Résistances séries des diodes PN polarisées en direct au-delà de 1,3 V, en fonction de la section réelle du via.<sup>3</sup>

<sup>3</sup> Les valeurs représentées sont obtenues en moyennant les données extraites des caractéristiques de plus de 10 diodes.



### Conclusion et interprétation des résultats obtenus

Nous avons montré que les diodes fabriquées à l'aide des procédés que nous avons mis au point au cours de cette étude, délivrent un courant supérieur à 1 mA pour une polarisation de 1,5 V et ce quel que soit le diamètre du via. De plus, la densité de courant des diodes de diamètre dessiné inférieur ou égal à 100 nm est supérieure à 10 MA/cm<sup>2</sup> pour une polarisation de 1,5 V et atteint même 30 MA/cm<sup>2</sup> pour les diodes de diamètre dessiné 50 nm. Les facteurs d'idéalité obtenus ( $\sim 1,06$ ) confirment la bonne qualité des diodes fabriquées à l'aide du procédé d'épitaxie sélective cyclique développé. Toutefois, nous constatons sur les Figures V.19, V.20, V.22 et V.23 que les diodes de diamètre dessiné 500 nm, 750 nm et 1000 nm présentent des caractéristiques I-V ne s'inscrivant pas dans la même tendance que celle des autres diodes. Afin d'expliquer cet effet, des observations en coupe de diodes de différentes tailles ont été réalisées à l'aide de la technique d'imagerie MEB. La Figure V.24 présente les images obtenues. Pour les vias de diamètre dessiné inférieur à 300 nm, la diode semble homogène et sa surface est plane et affleure au même niveau que la surface de l'oxyde enrobant (voir également les Figures V.11 et V.13). Pour les vias de diamètre dessiné supérieur à 300 nm, la surface de la diode n'est plus plane et on voit apparaître des facettes induisant une différence d'épaisseur de silicium entre le centre et le bord du via empêchant la formation d'une jonction PN plane et homogène sur l'ensemble de la section du via.

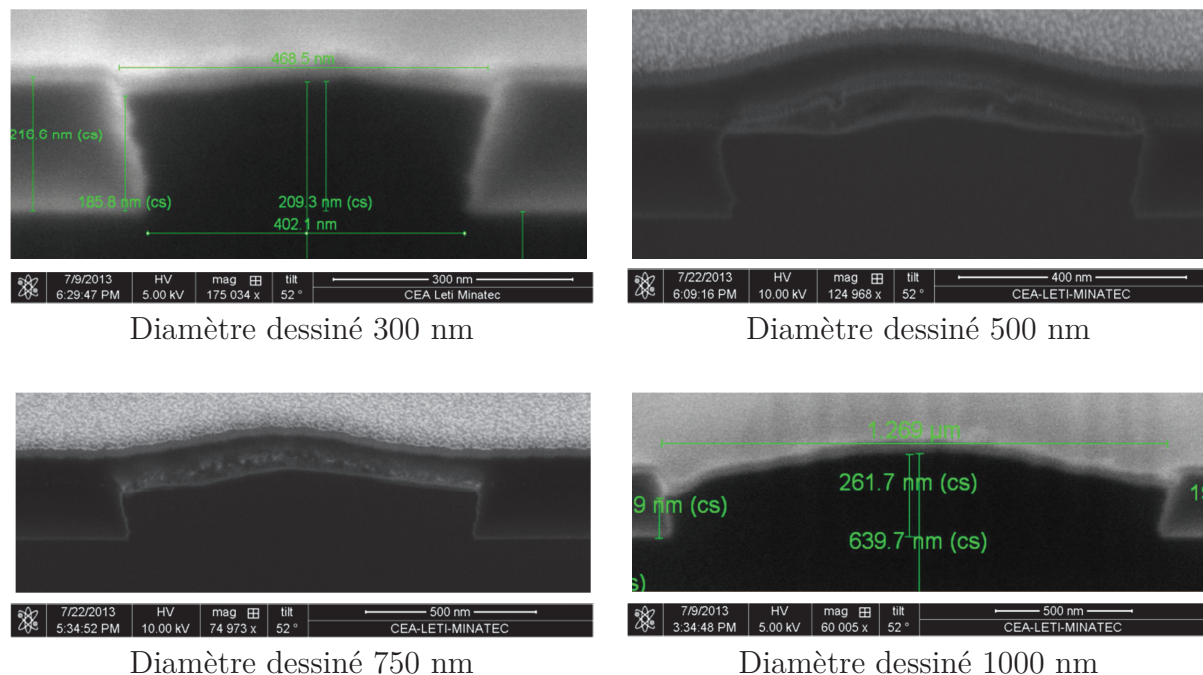


Figure V.24 : Observations en coupe, obtenue par la technique d'imagerie MEB, de vias de diamètre dessiné 300 nm (en haut à gauche), 500 nm (en haut à droite), 750 nm (en bas à gauche) et 1000 nm (en bas à droite).

Nous pensons que l'apparition de facettes lors de l'épitaxie des zones P et N est due aux flancs des vias obtenus par la lithographie à ultra-violet qui ne sont pas parfaitement verticaux mais présentent une certaine pente tandis que les vias obtenus par la lithographie e-beam semblent parfaitement verticaux. De plus, à l'aide d'observations en coupe, obtenues par la technique d'imagerie TEM, du bord de vias de grand diamètre, nous avons constaté la présence de défauts cristallographiques à l'interface entre le silicium épitaxié et l'oxyde enrobant (Figure V.25). Or il a été reporté que la qualité de la diode peut être détériorée par la présence de nombreux sites de génération-recombinaison présents au sein de ces défauts ce qui se manifeste par une augmentation du facteur d'idéalité de la diode [6], [9].

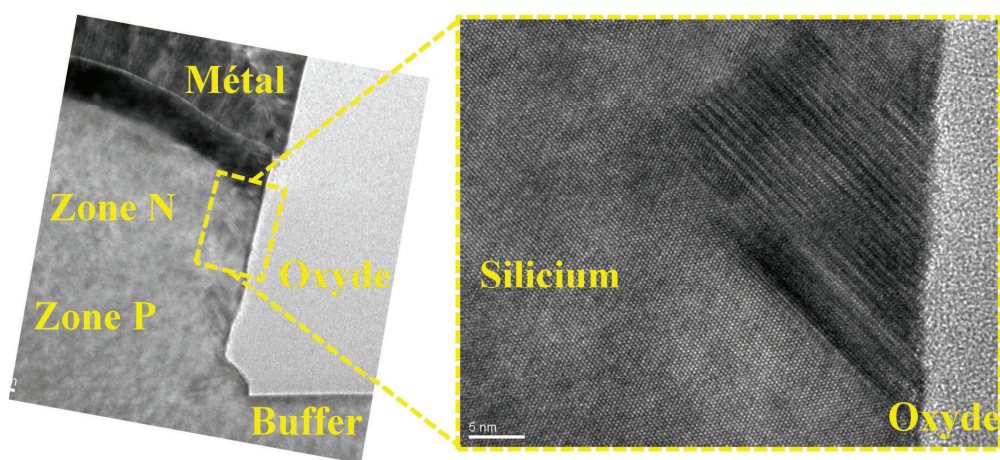


Figure V.25 : Observations en coupe, obtenue par la technique d'imagerie TEM, de l'interface entre le silicium épitaxié et l'oxyde enrobant.

### III.1.4 Impact de la section du via sur les performances des diodes polarisées en inverse

#### Courants délivrés par la diode polarisée en inverse

La Figure V.26 présente les courants délivrés par la diode polarisée en inverse à -2,5 V en fonction de la section réelle du via. Pour les diodes de diamètre dessiné inférieur ou égal à 200 nm, on constate que plus la section du via est importante, plus ce courant l'est également. Par contre pour les autres diodes (diamètre dessiné > 200 nm), on constate que ce courant est quasiment constant et égal à une valeur comprise entre 10 nA et 25 nA. Il semble donc à nouveau possible de distinguer le comportement des diodes obtenues suite à une lithographie e-beam de celui des diodes obtenues suite à une lithographie UV.

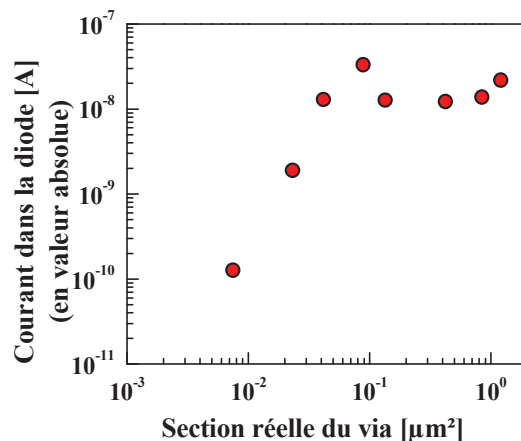


Figure V.26 : Courants délivrés par les diodes PN polarisées en inverse à -2,5 V, en fonction de la section réelle du via.<sup>4</sup>

Nous avons montré que pour une polarisation de -2,5 V, seules les diodes de 50 nm de diamètre dessiné permettent d'obtenir un courant d'environ 125 pA correspondant à une densité de courant d'environ 1,7 A/cm<sup>2</sup>. En conséquence, dans le cas de la diode de diamètre dessiné 50 nm, le ratio entre les courant en direct à 1,5 V et en inverse à -2,5 V est supérieur à 10<sup>7</sup> répondant ainsi aux spécifications rappelées dans le Tableau V.1.

### Comportement de la diode polarisée en inverse à fort champ électrique

La diode utilisée comme sélecteur doit pouvoir supporter en inverse des tensions supérieures à celles utilisées pour le fonctionnement de la matrice mémoire. Cela signifie que la tension de claquage de la diode doit être supérieure aux tensions utilisées pour le fonctionnement de la matrice mémoire. Afin de caractériser la tension de claquage des diodes étudiées, nous avons appliqué une rampe de tension quasi-statique de 0 V à -10 V. La Figure V.27 présente les caractéristiques obtenues pour les diodes de différents diamètres étudiées. Le comportement de chacune d'entre elles est identique. Pour des faibles polarisations en inverse (<-4,5 V environ), le courant délivré par la cellule augmente. Puis entre -4,5 V et 5 V, une première transition est observée suivie d'une seconde transition entre -6 V et -6,5 V environ.

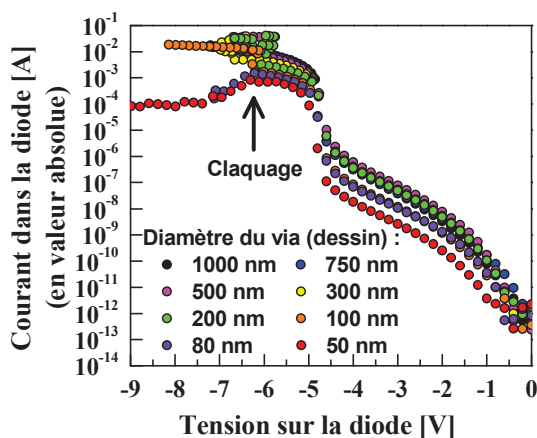


Figure V.27 : Caractéristiques I-V des diodes de diamètre variable polarisées en inverse.

<sup>4</sup> Les valeurs représentées sont obtenues en moyennant les données extraites des caractéristiques de plus de 10 diodes.

---

 Élément de sélection pour architecture crossbar PCRAM
 

---

Nous avons pu identifier la seconde transition comme le claquage de la diode. En effet, après avoir effectué cette transition, les diodes ne présentent plus une caractéristique I-V usuelle et ne sont donc plus fonctionnelles. La Figure V.28, présente les caractéristiques I-V de diodes de diamètre dessiné 50 nm polarisées en direct après avoir été soumises à une rampe quasi-statique de tension en inverse allant de 0 V à -9 V. La tension de claquage des diodes étudiées est donc comprise entre -6 V et -6,5 V, et ce quel que soit le diamètre de la diode.

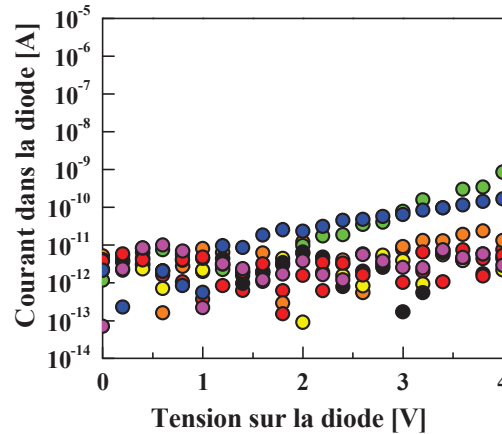


Figure V.28 : Caractéristiques I-V des diodes de diamètre dessiné 50 nm, polarisées en direct suite à leur claquage. La statistique présentée correspond à 11 diodes différentes réparties sur l'ensemble de la plaque.

Afin d'étudier la première transition, nous avons comparé les caractéristiques I-V des diodes polarisées en direct avant et après qu'elles aient été soumises à cette transition. La Figure V.29 présente les résultats obtenus pour les diodes de diamètre dessiné 50 nm. On constate que les diodes fonctionnent encore parfaitement après avoir été soumises à la première transition et les caractéristiques I-V obtenues lorsque celles-ci sont polarisées en direct sont quasiment identiques. Cette première transition ne peut donc pas être identifiée comme un claquage de la diode et correspondrait plutôt à un effet de seuil. Bien que peu intéressantes pour la technologie PCRAM, la présence de cette transition peut se révéler extrêmement intéressante pour la technologie OxRRAM bipolaire pour laquelle le sélecteur utilisé doit être passant pour une polarisation positive mais également négative, comme cela a été reporté dans la littérature [10]. Toutefois, une étude approfondie est nécessaire pour comprendre cette transition et pour la rendre compatible avec le cahier des charges de ce type de technologie.

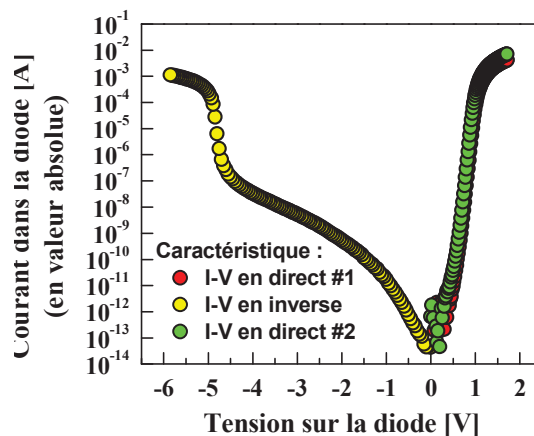


Figure V.29 : Caractéristiques I-V des diodes de diamètre dessiné 50 nm, polarisées en direct et en inverse.

### III.1.5 Détérioration des diodes PN en cours d'utilisation

Afin de vérifier que les diodes PN étudiées ici ne se détériorent pas en cours d'utilisation, nous avons caractérisé leur endurance et leur fonctionnement en température.

#### Endurance des diodes

Afin de caractériser l'endurance des diodes étudiées, nous avons appliqué 4000 cycles aux diodes de diamètre dessiné 50 nm, chaque cycle étant constitué d'une rampe de tension de 0 V à 2,5 V suivi d'une rampe de tension de 0 V à -2,5 V. La Figure V.30 montre que l'application de ces 4000 cycles ne modifie pas la caractéristique I-V des diodes étudiées. Des résultats similaires ont été obtenus pour les diodes de diamètres différents. Nous avons donc montré que les diodes étudiées ici ne se détériorent pas lorsque 4000 rampes quasi-statiques de tension leur sont appliquées. L'endurance des diodes soumises à des impulsions électriques est étudiée dans le paragraphe III.2.

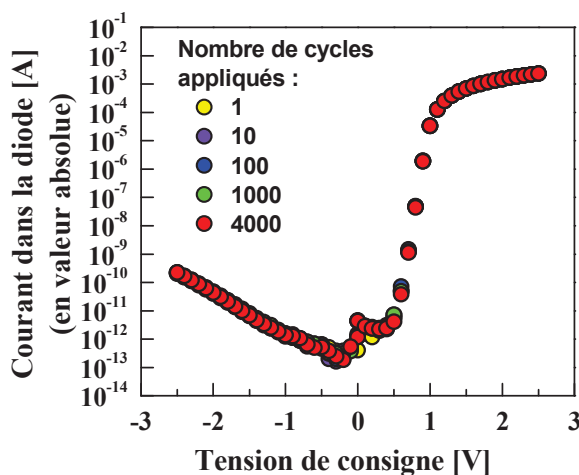


Figure V.30 : Évolution des caractéristiques I-V des diodes de diamètre dessiné 50 nm lorsque celles-ci sont soumises à l'application répétée de rampes quasi-statiques.



### Comportement en température des diodes

La programmation d'une cellule PCRAM nécessitant l'élévation de la température du matériau à changement de phase, il est possible que l'élément de sélection soit chauffé lors du fonctionnement de la cellule PCRAM. Il est donc nécessaire de caractériser le fonctionnement en température des diodes étudiées. Pour cela nous avons mesuré les caractéristiques I-V à différentes températures : 25°C, 100°C, 200°C puis à nouveau 25°C. La Figure V.31 montre que l'élévation de la température permet d'augmenter le courant délivré par la diode de diamètre dessiné 50 nm, en accord avec les données reportées dans [6]. De plus, nous constatons que le fait d'avoir été soumis à une température de 200°C pendant une heure environ n'a pas détérioré les caractéristiques I-V des diodes, une fois revenu à 25°C. Des résultats similaires ont été obtenus pour les diodes de diamètres différents.

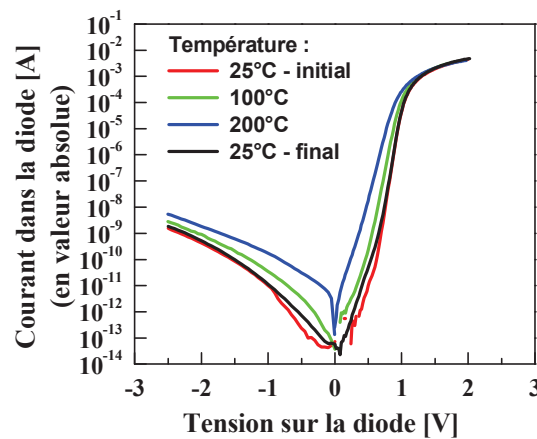


Figure V.31 : Caractéristiques I-V des diodes de diamètre dessiné 50 nm à divers températures ambiantes.

Ainsi, nous avons montré que les diodes PN étudiées ici ne se détériorent pas en cours d'utilisation que ce soit du fait d'une application répétée de 4000 cycles quasi-statiques ou d'une élévation de la température jusqu'à 200°C.

### III.2 Comportement dynamique des diodes

Dans le paragraphe III.1, nous avons reporté les performances électriques des diodes fabriquées au cours de cette thèse : celles-ci semblent prometteuses pour être utilisées comme sélecteur dans une cellule PCRAM, en particulier dans une architecture crossbar. Toutefois, ces dernières étant programmées à l'aide d'impulsions électriques, il est nécessaire de caractériser les performances dynamiques des diodes étudiées, c'est-à-dire lorsqu'elles sont polarisées à l'aide d'impulsions électriques.

### Caractéristiques I-V des diodes polarisées par des impulsions électriques

Afin d'obtenir les caractéristiques I-V des diodes polarisées par des impulsions électriques, nous avons utilisé un montage PIV, pour "Pulsed-I-V", dans lequel une impulsion de tension est appliquée à la diode par une unité de mesure rapide (Agilent B1530A et B1531A), permettant de mesurer simultanément le courant traversant la diode. Un exemple d'impulsion de courant mesurée est représenté sur la Figure V.32. On constate qu'au début et à la fin de l'impulsion, un pic de courant, dû à la commutation de l'unité de mesure rapide, se produit que la diode soit présente ou non. Toutefois, à la suite de ce pic, le courant traversant la diode se stabilise, permettant ainsi d'extraire la valeur du courant traversant la diode à la tension de polarisation étudiée.

En répétant la même mesure pour différentes amplitudes d'impulsions de tension, nous avons obtenu les caractéristiques I-V des diodes polarisées par des impulsions. La Figure V.33 présente la caractéristique obtenue pour les diodes de diamètre dessiné 50 nm. A titre de comparaison la caractéristique I-V obtenue par l'application d'une rampe quasi-statique de tension a été représentée (voir Figure V.15). La limite de détection de cette unité de mesure rapide étant de 10  $\mu$ A, nous ne pouvons pas obtenir l'ensemble de la caractéristique I-V. Toutefois, nous constatons que pour des courants supérieurs à 10  $\mu$ A, les diodes étudiées présentent des caractéristiques identiques qu'elles soient polarisées de manière impulsionnelle ou quasi-statique.

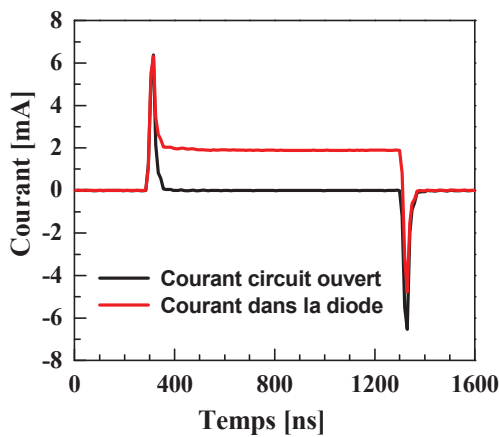


Figure V.32 : Profil temporel du courant traversant la diode pendant l'application d'une impulsion de tension de durée 1  $\mu$ s. La courbe noire correspond au profil temporel du courant traversant le montage en circuit ouvert (c'est-à-dire sans la diode).

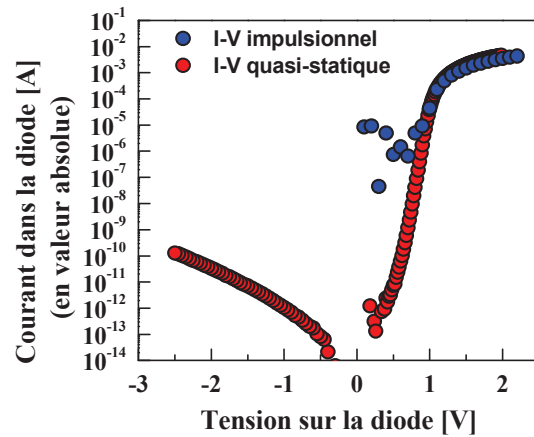


Figure V.33 : Comparaison entre les caractéristiques I-V des diodes de diamètre dessiné 50 nm, polarisées par une rampe quasi-statique de tension ou par des impulsions de tension.

### Temps de commutation des diodes

Nous venons de montrer que les diodes étudiées ici peuvent délivrer le même courant direct qu'elles soient polarisées, en direct, à l'aide de rampes quasi-statiques ou d'impulsions électriques. Toutefois, afin que la diode ne limite pas la vitesse de fonctionnement de la cellule PCRAM, elle doit présenter des temps de commutation inférieurs aux temps de montée et descente des impulsions électriques utilisées pour programmer la cellule PCRAM. Pour cela, nous avons cherché à caractériser les différentes capacités de jonction de nos diodes. Toutefois, la structure utilisée ne permet pas de réaliser ce type de mesure. En effet, les plots métalliques supérieurs forment, avec la couche "buffer", une capacité de forte valeur en parallèle des capacités de jonction (Figure V.34). Ainsi, lors de la mesure, une valeur constante de capacité de 2,5 pF a été obtenue (quelle que soit la fréquence du signal sinusoïdal de mesure). Or, le calcul de la capacité due aux deux plots métalliques supérieurs par l'équation 9, où  $S_{PLOT}$  est l'aire d'un plot,  $e_{OXYDE}$  l'épaisseur d'oxyde et  $\epsilon$  la permittivité diélectrique de l'oxyde, donne une valeur de capacité de 2,0 pF, en accord avec la valeur mesurée.

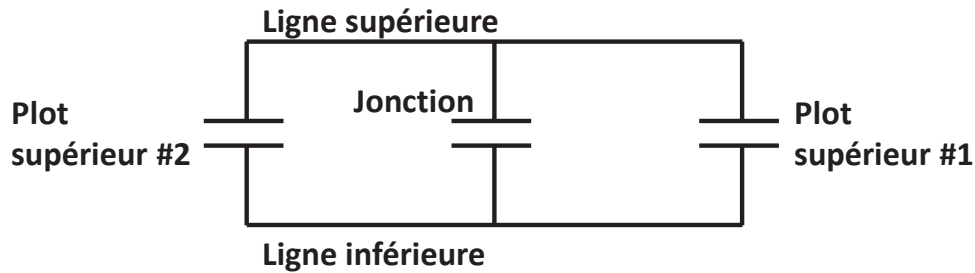


Figure V.34 : Schéma électrique équivalent de notre structure de diode.

$$C = \epsilon \cdot \frac{2 \cdot S_{PLOT}}{e_{OXYDE}} \quad (9)$$

En conséquence, les structures des diodes verticales étudiées ne permettent pas de caractériser les capacités de jonction, puisque celles-ci sont en parallèle des capacités induites par les plots métalliques supérieurs, empêchant ainsi la caractérisation plus poussée du comportement dynamique des diodes verticales fabriquées.

### Endurance des diodes

Afin de caractériser l'endurance des diodes, nous avons appliqué  $10^8$  cycles aux diodes de diamètre dessiné 50 nm, chaque cycle étant constitué d'une impulsion d'une durée 1  $\mu$ s et d'amplitude 2,5 V suivie d'une impulsion de même durée et d'amplitude -2,5 V. La Figure V.35 montre que l'application de ces  $10^8$  cycles ne modifie pas la caractéristique I-V des diodes. Des résultats similaires ont été obtenus pour les diodes



de diamètres différents. Nous avons donc démontré que les diodes ne se dégradent pas lorsque  $10^8$  cycles d'impulsions électriques sont appliqués.

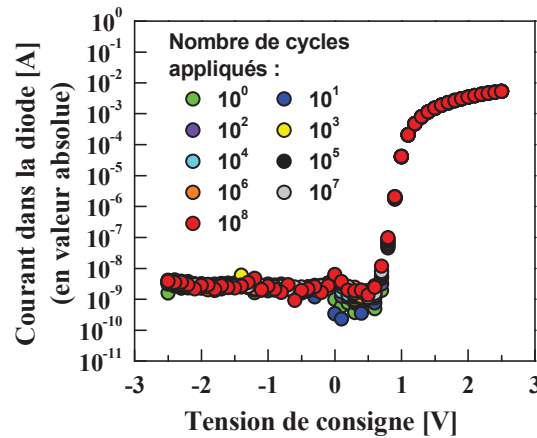


Figure V.35 : Evolution des caractéristiques I-V des diodes de diamètre dessiné 50 nm lorsque celles-ci sont soumises à l'application répétée d'impulsions électriques. La limite de détection en courant du banc de mesure utilisé est de 3 nA.

### III.3 Conclusion concernant les performances des diodes et compatibilité avec les spécifications des sélecteurs

Au cours de cette étude, nous avons conçu et fabriqué des diodes PN verticales en silicium monocristallin obtenu par épitaxie sélective cyclique avec dopage in-situ. Ces diodes, de diamètre réel compris entre 100 nm et 1250 nm, présentent des performances prometteuses pour être utilisées comme élément de sélection d'une cellule PCRAM. Ainsi, lorsque celles-ci sont polarisées en direct à 1,5 V, que ce soit de manière quasi-statique ou dynamique, elles délivrent des courants supérieurs à 1 mA. De plus, dans le cas des diodes de diamètre réel 100 nm (c'est-à-dire de diamètre dessiné 50 nm), des densités de courant de 30 MA/cm<sup>2</sup> environ ont été mesurées correspondant à un ratio entre les courants en direct et en inverse supérieur à  $10^7$  (courant de 125 pA lorsque la diode est polarisée en inverse à -2,5 V). De plus, nous avons montré que les tensions de claquage de ces diodes sont comprises entre -6 V et -6,5 V et que celles-ci ne se détériorent pas du fait d'une utilisation répétée ou d'une élévation de la température. Enfin, nous avons mis en évidence que les temps de commutation de ces diodes sont inférieurs à 5 ns. Le Tableau V.4 confirme l'accord entre le cahier des charges imposé au sélecteur et les performances des diodes étudiées, à l'exception des contraintes concernant le budget thermique.

---

**Elément de sélection pour architecture crossbar PCRAM**


---

**Tableau V.4 : Accord entre les spécifications requises pour que le sélecteur puisse être intégré dans une cellule PCRAM et les performances des diodes étudiées.**

Nombre de terminaux	2	
Type de sélecteur	Interrupteur asymétrique	
Densité de courant	10 – 100 MA/cm <sup>2</sup> (40 MA/cm <sup>2</sup> pour les dispositifs LETI standards)	
Courant direct	50 $\mu$ A – 1 mA (25 mA pour les dispositifs LETI standards)	
Courant inverse	< 100 pA (ou ratio direct/inverse > 10 <sup>7</sup> )	
Tension de claquage	< -5 V	
Temps de commutation	< 5 ns	
Budget thermique	< 400°C	

## IV. Fabrication de cellules PCRAM 1D1R

Nous avons vu dans le paragraphe III que les diodes que nous avons conçues et fabriquées peuvent être utilisées comme sélecteur pour cellules PCRAM. En conséquence, nous avons développé un procédé de fabrication permettant de fabriquer des cellules PCRAM intégrant un élément résistif PCRAM et une diode de sélection en série, formant ainsi une cellule PCRAM de type 1D1R. Les premières étapes de la fabrication sont identiques à celles permettant de créer la diode PN décrites sur la Figure V.2. En conséquence, dans ce paragraphe, nous décrivons seulement les étapes suivant la formation de la diode et l'ouverture du plot de contact inférieur (Figure V.36). Tout d'abord, une couche diélectrique d'interface en HfO<sub>2</sub> d'épaisseur 3 nm est déposée par la technique ALD. Puis une couche de GST d'épaisseur 100 nm est déposée par pulvérisation. Enfin, les couches métalliques permettant de contacter la partie supérieure de la cellule PCRAM sont déposées par pulvérisation. Celles-ci ainsi que les couches de GST et de HfO<sub>2</sub> sont alors gravées par la technique de gravure à faisceau d'ions, ou gravure IBE pour "Ion Beam Etching", permettant d'ouvrir les plots de contact inférieurs et de former la ligne supérieure métallique.

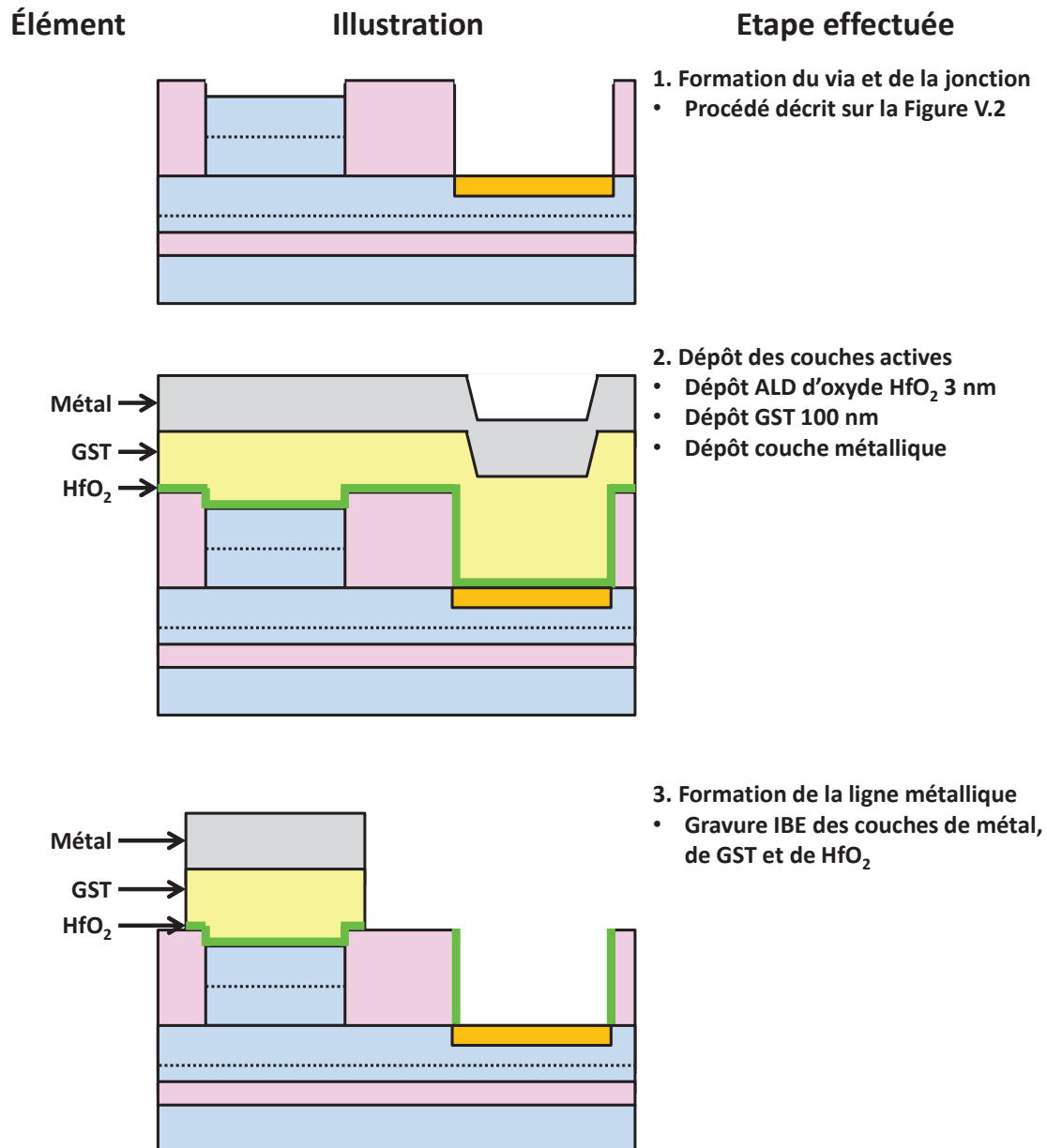


Figure V.36 : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour créer une cellule PCRAM 1D1R intégrant un élément résistif PCRAM en série avec une diode PN verticale en silicium obtenue par épitaxie sélective cyclique.

A l'aide de ce procédé de fabrication, nous avons obtenu des cellules PCRAM de type 1D1R intégrant un élément résistif PCRAM en série avec une diode PN verticale de sélection. La Figure V.37 présente une vue en coupe, obtenue par la technique d'imagerie MEB, de cette structure. Tout d'abord, nous constatons que la couche d'interface en HfO<sub>2</sub> couvre la diode en silicium de manière continue et intègre. De même, la couche de GST couvre la couche de HfO<sub>2</sub>. Nous confirmons ainsi, la viabilité et la pertinence du procédé de fabrication proposé.

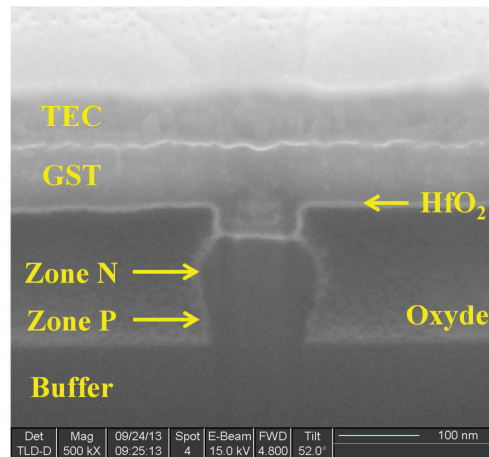


Figure V.37 : Observation en coupe obtenue par la technique d'imagerie MEB d'une cellule PCRAM 1D1R fabriquée à l'aide du procédé proposé.

## V. Propositions pour réduire le budget thermique de la diode de sélection

Le paragraphe II a mis en évidence les principales étapes technologiques permettant la création des diodes PN en silicium utilisées comme sélecteurs. Toutefois, certaines de ces étapes sont effectuées à haute température. Le Tableau V.5 résume les budgets thermiques de ces étapes. Ainsi, les diodes en silicium ne peuvent pas être intégrées au-dessus des éléments de logique CMOS (applications embarquées) et empêchent l'empilement de plusieurs plans mémoires (applications “stand-alone”).

Tableau V.5 : Budgets thermiques principaux du procédé de fabrication de la diode PN en silicium dopé déposé par épitaxie.

Etape technologique	Budget thermique
Epitaxie cyclique sélective	850°C – 950°C – 45 minutes environ
Recuit d'activation des dopants	1050°C – “spike”
Silicuration	450°C – 30 s
Oxydation	1000°C

Toutefois, nous proposons une solution alternative permettant d'utiliser une diode PN en silicium comme élément de sélection pour les applications “stand-alone” et embarquées. Pour cela, nous proposons de former la jonction PN sur un substrat d'attente puis, tirant parti des récents progrès des techniques de collage métallique, de la reporter sur le substrat contenant les éléments de logique CMOS (applications embarquées) ou les plans mémoires (applications “stand-alone”).

### Elément de sélection pour architecture crossbar PCRAM

Nous présentons ici un exemple particulier de fabrication de telles structures utilisant un élément résistif de type pilier fabriqué selon le procédé standard utilisé au LETI et une diode de sélection en silicium épitaxié sur un substrat SOI.

Quelque-soit les éléments se trouvant en dessous, la fabrication commence par l'obtention d'une ligne métallique permettant le contact inférieur de la cellule. Puis une couche d'oxyde est déposée et un via y est créé (Figure V.38). Celui-ci est alors rempli d'un matériau conducteur, par exemple le tungstène, pour former le pilier. Le matériau à changement de phase est alors déposé et encapsulé par une couche métallique, par exemple en titane, permettant le collage avec la diode. L'utilisation d'une couche métallique, nous semble indispensable pour assurer un bon contact électrique entre l'élément résistif et la diode de sélection.

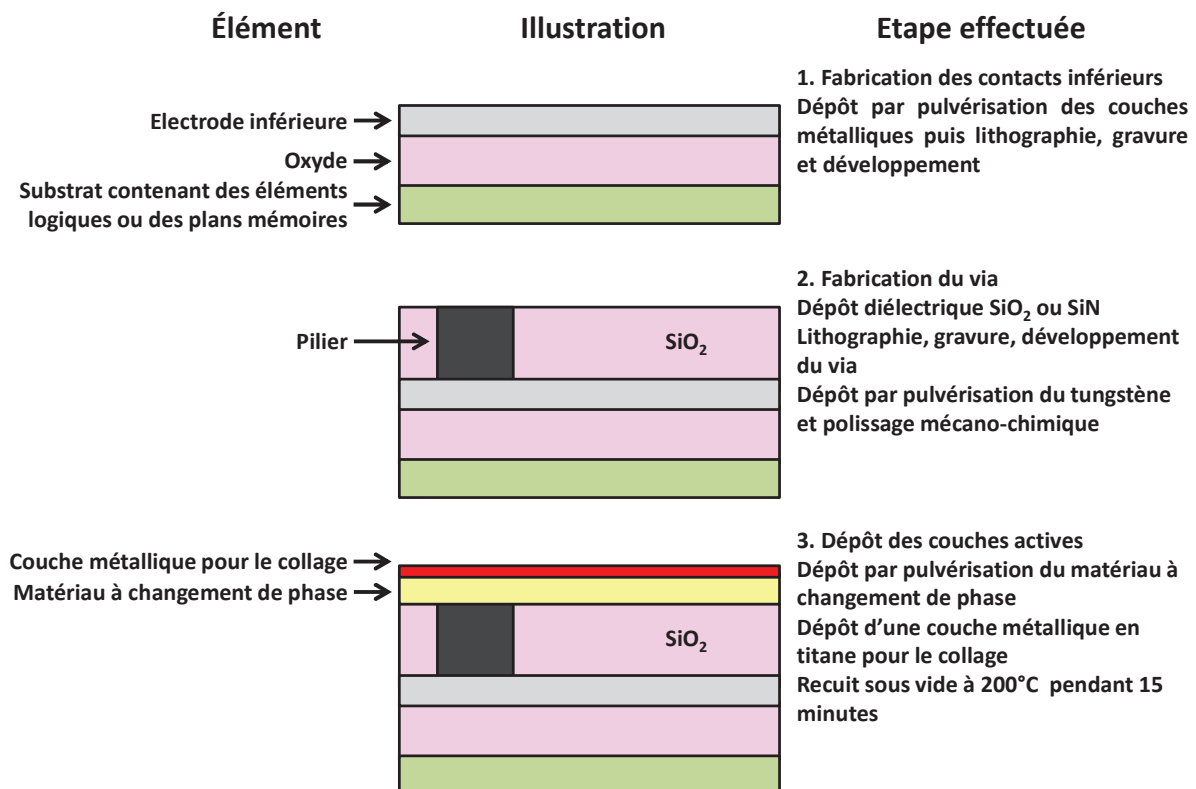


Figure V.38 : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour fabriquer un élément résistif PCRAM ayant une structure "plug".

Sur un substrat d'attente de type SOI, la diode est fabriquée par épitaxie selon le même procédé que celui décrit dans le paragraphe II.2, permettant ainsi de ne pas soumettre le substrat contenant les plans mémoires ou les éléments de logique aux étapes de fabrication à haute température. Puis la couche supérieure de silicium est encapsulée à l'aide d'une couche métallique, par exemple en titane, permettant le collage avec l'élément résistif (Figure V.39).

## Elément de sélection pour architecture crossbar PCRAM

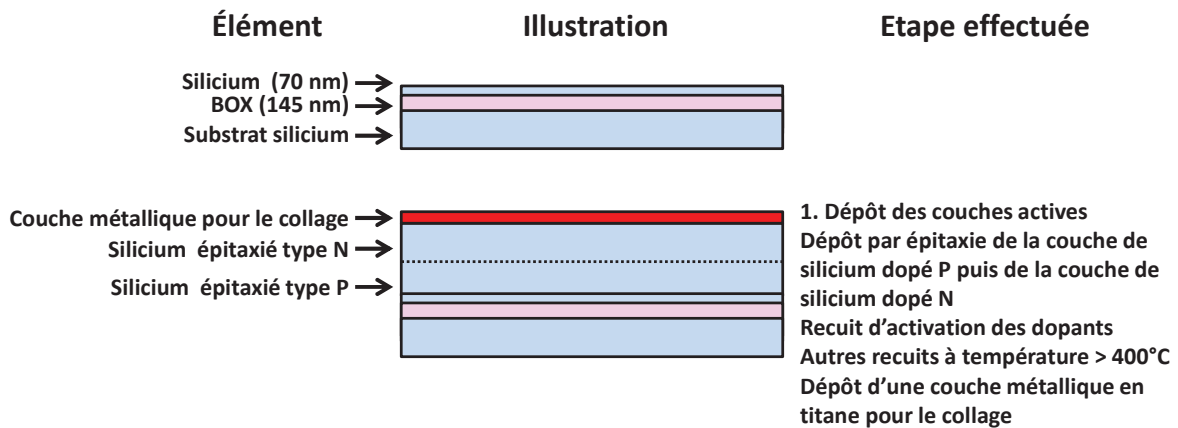


Figure V.39 : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour créer une jonction PN à base de silicium dopé déposé pleine tranche par épitaxie.

Puis ce substrat est collé sur le substrat contenant les éléments résistifs. En utilisant une combinaison de gravures mécano-chimiques, le substrat SOI est alors retiré, réalisant ainsi le report de la diode PN en silicium (Figure V.40). Afin de réduire le coût de cette étape de collage, on peut utiliser des techniques de report de couches permettant d'utiliser plusieurs fois le même substrat d'attente.

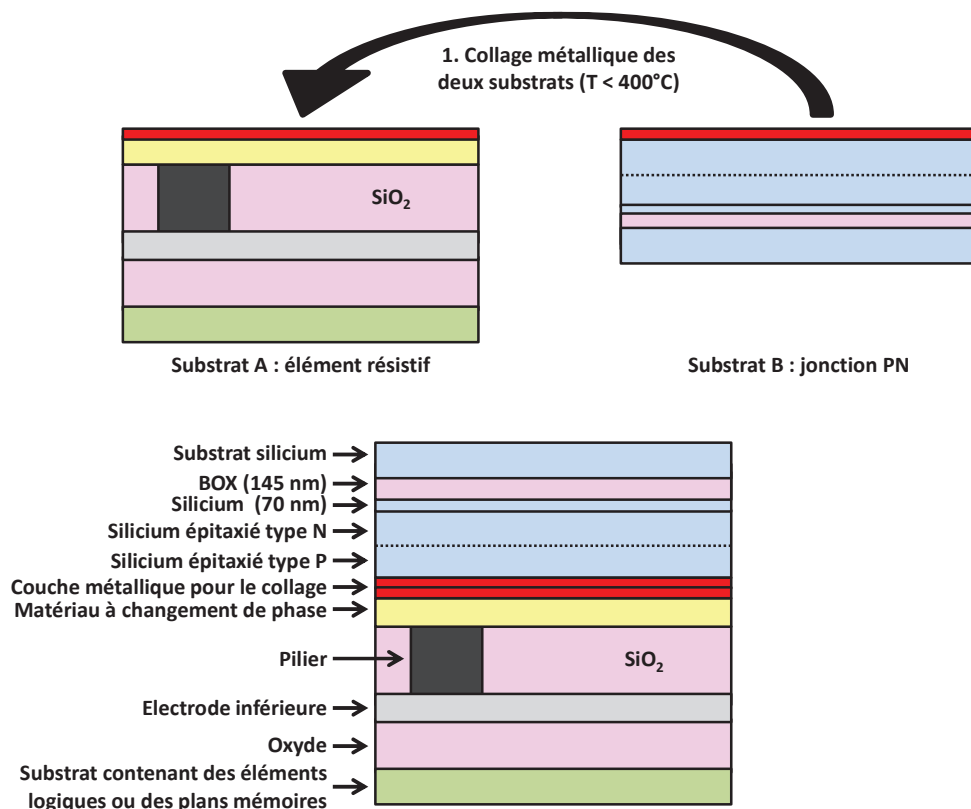


Figure V.40 : Schéma de principe du collage utilisé lors de la mise en contact du substrat contenant les éléments résistifs et de celui contenant les jonctions PN.

## Elément de sélection pour architecture crossbar PCRAM

Ensuite, l'ensemble constitué du matériau à changement de phase, des couches métalliques et des couches de silicium est gravé en une seule fois permettant un auto-alignement de la diode et du matériau à changement de phase limitant ainsi les éventuels problèmes de désalignement induits par l'étape de collage. Une encapsulation par une couche d'oxyde est alors réalisée suivi d'un polissage mécano-chimique. Enfin, une ligne métallique permettant le contact supérieur de la cellule est fabriquée (Figure V.41).

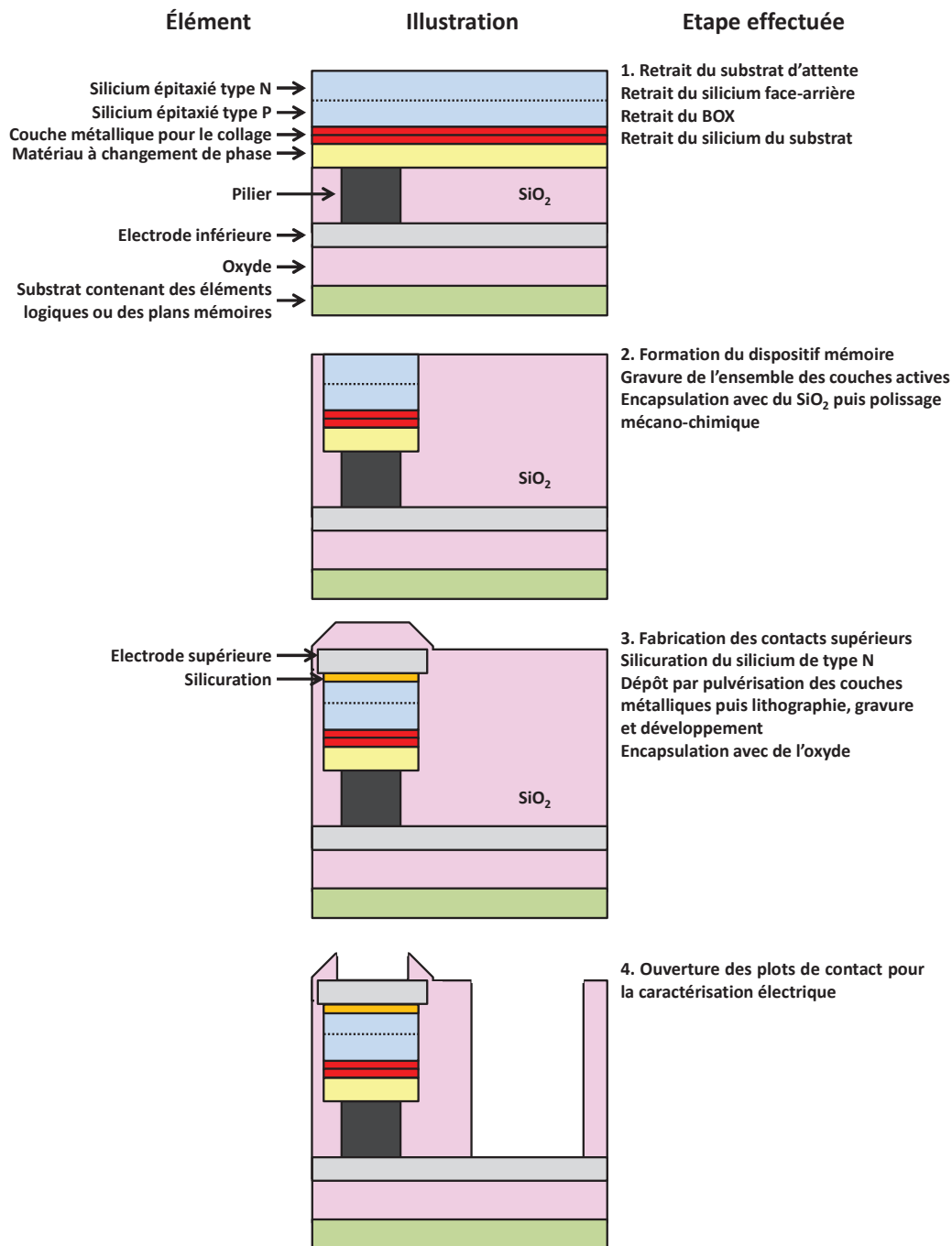


Figure V.41 : Schéma de principe de l'enchaînement des étapes technologiques utilisées au LETI pour créer une cellule PCRAM 1D1R suite au collage d'un élément résistif de type "plug" avec une jonction PN à base de silicium dopé déposé pleine tranche par épitaxie.

---

**Elément de sélection pour architecture crossbar PCRAM**

---

À l'aide de ce procédé de fabrication, il est donc possible de créer une cellule PCRAM complète c'est-à-dire avec un élément résistif et une diode de sélection, créant ainsi une structure 1D1R. Dans ce paragraphe, nous avons présenté un exemple particulier de fabrication de telles cellules PCRAM structures utilisant un élément résistif de type “plug” et une diode en silicium épitaxié sur un substrat SOI. Toutefois, l'élément résistif aurait pu être de type confiné ou “Wall”, et la diode aurait pu être déposée par pulvérisation et dopée par implantation. Il aurait également pu s'agir d'une diode de type PIN ou Schottky. En effet, de nombreuses variantes de ce procédé de fabrication peuvent être imaginées, l'important est simplement que la cellule complète obtenue réponde au cahier des charges imposé par l'application finale visée. Toutefois, le principe de ce procédé de fabrication est facilement adaptable. En effet, les seuls critères à respecter sont les suivants :

- Dépôt d'une couche métallique au-dessus de l'élément résistif permettant ainsi le collage et assurant un bon contact électrique avec la diode de sélection
- Fabrication de la diode de sélection sur un substrat d'attente et encapsulation avec une couche métallique permettant le collage et assurant un bon contact électrique avec l'élément résistif
- Report de la diode sur l'élément résistif par collage métallique puis retrait du substrat d'attente
- Réalisation de la fin de la cellule mémoire (c'est-à-dire de l'ensemble élément résistif et diode de sélection) pour permettre son fonctionnement électrique

On constate qu'en utilisant ce procédé de fabrication de cellules 1D1R, il est possible d'ajouter une autre cellule 1D1R au-dessus de celle précédemment fabriquée. En effet, à la suite de l'obtention de la ligne supérieure métallique, l'encapsulation oxyde réalisée doit être plus importante afin de servir de substrat pour le nouveau plan mémoire et de permettre la séparation entre les deux niveaux de plans mémoires (Figure V.42). Dans ce cas-là, il est également nécessaire de prévoir des étapes technologiques pour créer les contacts électriques entre les lignes métalliques inférieures et supérieures.



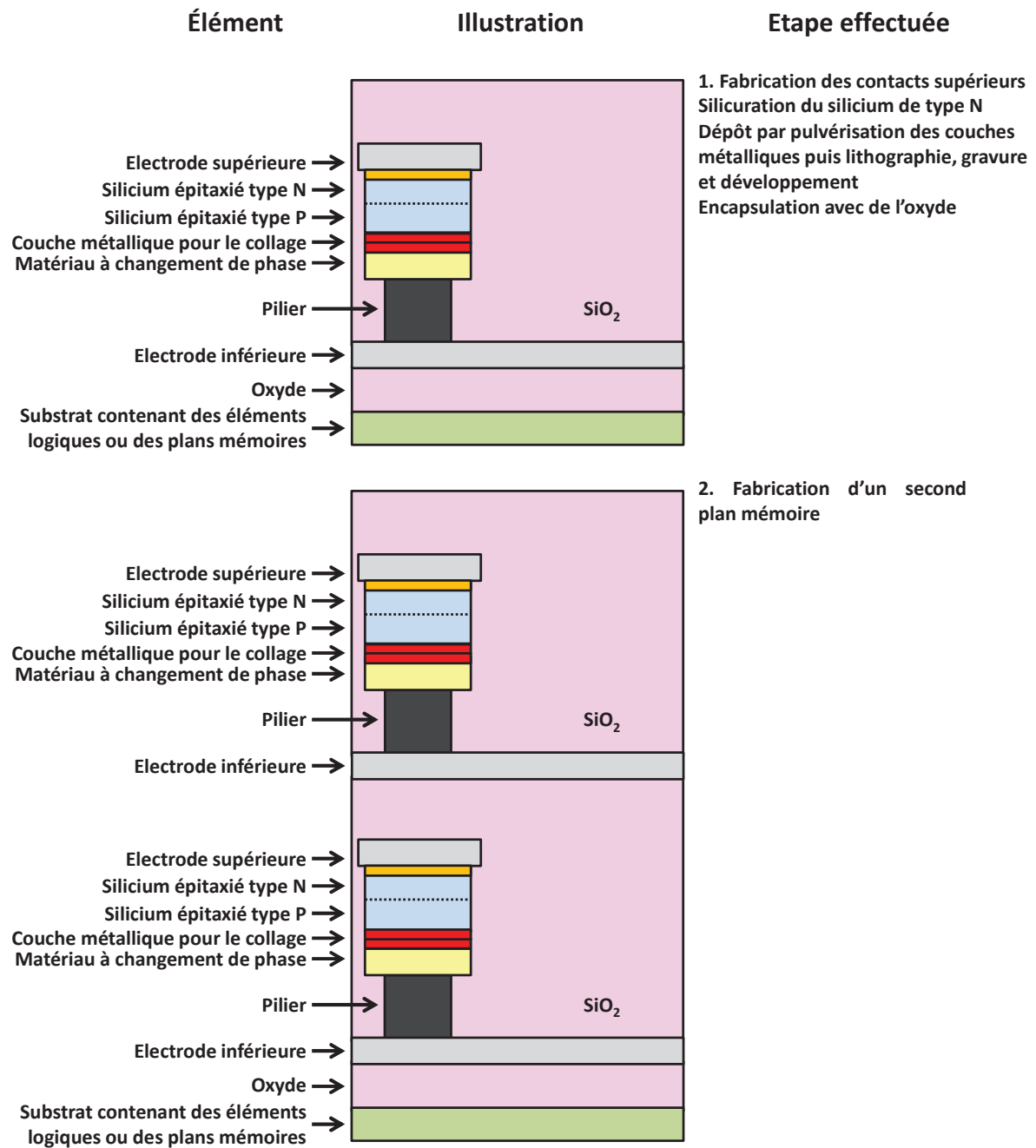


Figure V.42 : Schéma de principe d'une technique compatible BEOL permettant de fabriquer et de superposer des cellules PCRAM 1D1R obtenues par collage d'un élément résistif de type "plug" et d'une jonction PN en silicium dopé déposé pleine tranche par épitaxie.

## Conclusion du Chapitre V

Au cours de ce Chapitre, nous avons conçu et validé un procédé de fabrication permettant d'obtenir des diodes PN verticales dont les performances électriques semblent prometteuses en vue d'une utilisation au sein d'une architecture crossbar à base de cellules PCRAM. Ainsi, nous avons développé un procédé d'épithaxie sélective cyclique permettant la croissance et le dopage in-situ de silicium monocristallin au sein de vias de diamètre réel compris entre 100 nm et 1250 nm. A l'aide de vues en coupe, obtenues par les techniques d'imagerie MEB et TEM, nous avons constaté l'absence de défauts à l'interface entre le silicium du "buffer" et le silicium de la jonction PN ainsi que la croissance contrôlée de zones N et P, validant le procédé d'épithaxie mis au point. De plus, l'analyse des performances électriques de ces diodes a révélé que lorsqu'elles sont polarisées en direct à 1,5 V, que ce soit de manière quasi-statique ou dynamique, elles délivrent des courants supérieurs à 1 mA. De plus, dans le cas des diodes de diamètre réel 100 nm, des densités de courant de 30 MA/cm<sup>2</sup> environ ont été obtenues rendant ces diodes compatibles avec les densités de courant requises pour les nœuds technologiques 16 nm et 22 nm et permettant un ratio entre les courants en direct et en inverse supérieur à 10<sup>7</sup>. De plus, nous avons montré que les tensions de claquage de ces diodes sont comprises entre -6 V et -6,5 V et que celles-ci ne se détériorent pas du fait d'une utilisation répétée ou d'une élévation de la température. Enfin, nous avons mis en évidence que les temps de commutation de ces diodes sont inférieurs à 5 ns. Nous avons donc confirmé l'accord entre le cahier des charges imposé au sélecteur et les performances des diodes étudiées.

Cependant, nous avons constaté que la variation du dopage au bore ne modifie pas les caractéristiques I-V des diodes étudiées et à l'aide d'analyses ToF-SIMS, nous avons mis en évidence que les diodes dopées au bore à 2.10<sup>19</sup> cm<sup>-3</sup> correspondent à ce que nous visions tandis que dans le cas des autres diodes, il semble que la jonction se forme à un dopage bien supérieur à celui visé. En conséquence, une étude plus approfondie ainsi qu'une optimisation de l'étape d'épithaxie semble encore nécessaire pour permettre de mieux contrôler la formation de la jonction entre les zones N et P, notamment pour des faibles dopages.

Enfin, en utilisant le procédé d'épithaxie sélective mis au point, nous avons fabriqué des cellules PCRAM de type 1D1R dans lesquelles l'élément résistif PCRAM est intégré en série avec la diode de sélection en silicium monocristallin. De plus, afin de réduire les courants de programmation de cette cellule PCRAM, nous avons exploité l'étude réalisée dans le Chapitre III en intégrant une couche diélectrique d'interface en HfO<sub>2</sub> entre la couche de GST et la diode en silicium. Finalement, nous avons proposé un procédé de fabrication compatible BEOL permettant de fabriquer et de superposer des cellules PCRAM 1D1R obtenues par collage d'un élément résistif de type "plug" et d'une jonction PN en silicium dopé déposé pleine tranche par épithaxie.

## Bibliographie

- [1] M.-J. Lee, Y. Park, D.-S. Suh, E.-H. Lee, S. Seo, D.-C. Kim et al., «Two series oxide resistors applicable to high speed and high density nonvolatile memory,» *Advanced Materials*, vol. 19, pp. 3919-3923, 2007.
- [2] G. H. Kim, K. M. Kim, J. Y. Seok, H. J. Lee, D.-Y. Cho, J. H. Han et al., «A theoretical model for Schottky diodes for excluding the sneak current in crossbar array resistive memory,» *Nanotechnology*, vol. 21, pp. 385202.1-385202.7, 2010.
- [3] G. W. Burr, «Towards storage class memory: 3-D crosspoint access devices using mixed-ionic-electronic-conduction (MIEC),» *IBM J. Research and Development*, 2013.
- [4] K.-S. Lee, D.-H. Yoo, J.-J. Han, Y.-W. Hyung, S.-S. Kim, C.-J. Kang et al., «Selective epitaxial growth of Silicon for vertical diode application,» *J. J. Appl. Phys.*, vol. 49, pp. 08JF03.1-08JF03.4, 2010.
- [5] K. S. Lee, J. J. Han, B. H. Kim, H. J. Lim, S. W. Nam, H. K. Kang et al., «Highly manufacturable silicon vertical diode switches for new memories using selective epitaxial growth with batch-type equipment,» *Semicond. Sci. Technol.*, vol. 26, pp. 055022.1-055022.6, 2011.
- [6] H. An, K.-S. Lee, Y. Kang, S. Jeong, W. Yoo, J.-J. Han et al., «Current-voltage characteristics of vertical diodes for next generation memories,» *Proc. European Solid-State Dev. Res. Conf.*, pp. 149-152, 2012.
- [7] C. Jacoboni, C. Canali, G. Ottaviani et A. A. Quaranta, «A review of some charge transport properties of silicon,» *Solid-state electronics*, vol. 20, pp. 77-89, 1977.
- [8] A. Pirovano, «Phase-change memories for energy-efficient data-centric IT applications,» *LETI Memory Workshop*, 2012.
- [9] K.-S. Lee, J.-J. Han, H. Lim, S. Nam, C. Chung, H.-S. Jeong et al., «Cost-effective Silicon vertical diode switch for next-generation memory devices,» *Electron Dev. Lett.*, vol. 33, pp. 242-244, 2012.
- [10] E.-X. Ping, Y. Erokhin, H.-J. Gassmann et F. A. Khaja, «Two-terminal diode steering element for 3D X-Bar memory,» *Int. Workshop Junction Tech.*, pp. 24-28, 2012.

## Conclusion générale et perspectives

Au cours des dernières années, la demande de plus en plus forte pour des mémoires non-volatiles performantes et répondant aux cahiers des charges des applications embarquées et “stand-alone”, a poussé au développement des technologies NOR Flash et NAND Flash qui composent aujourd’hui la quasi-totalité du marché mondial des mémoires non-volatiles.

Afin d’en réduire le coût, ces technologies ont été miniaturisées permettant, par exemple, de diviser la taille des cellules mémoires de type NAND par 1000 entre 1998 et 2012 tandis que sur la même période, leur coût a été divisé par 10 000 environ. Toutefois, cette miniaturisation laisse aujourd’hui entrevoir ses limites puisqu’elle s’accompagne d’une détérioration des performances électriques des cellules mémoires. En effet, des limitations électriques, telles que la réduction du nombre d’électrons stockés ainsi que des effets de couplage entre cellules adjacentes, mais également des limitations liées au placement et à l’interconnexion des cellules entre elles, rendent plus difficiles la miniaturisation des mémoires Flash de type NAND pour les applications “stand-alone”. En ce qui concerne, les applications embarquées, la miniaturisation des cellules mémoires en dégrade la fiabilité et les contraintes liées à la co-intégration des cellules mémoires avec la technologie CMOS HKMG développée pour le nœud technologique 28 nm est problématique. De plus, les vitesses de programmation et de lecture réduites ainsi que l’endurance limitée des technologies Flash actuelles empêchent celles-ci d’accéder au marché émergent des mémoires de type “storage-class memory”.

## Conclusion générale et perspectives

---

En conséquence, en parallèle des développements et améliorations réalisés sur les mémoires Flash tant pour les applications embarquées que “stand-alone”, des mémoires alternatives et émergentes reposant sur des matériaux nouveaux et des structures innovantes sont développées. Il s’agit des FeRAM, MRAM, CBRAM, OxRRAM ainsi que les mémoires à changement de phase, ou PCRAM. Au sein de ces nouvelles mémoires, le stockage de l’information ne repose pas sur le piégeage de charges électroniques permettant ainsi de surmonter certaines difficultés liées à la miniaturisation des mémoires Flash. Parmi ces mémoires alternatives et émergentes, la technologie PCRAM se distingue par son degré de maturité ainsi que par ses nombreux avantages laissant envisager son utilisation comme une des principales technologies mémoires des années à venir. Ainsi, différentes applications, telles que le remplacement des mémoires de type NOR Flash mais également NAND Flash, ont d’ores et déjà été identifiées comme une utilisation possible des mémoires PCRAM et il est envisagé de les utiliser en tant que mémoire de type SCM.

Toutefois, afin d’être pleinement compétitives avec les autres technologies mémoires, tant matures qu’émergentes, certaines performances de la technologie PCRAM doivent encore être améliorées. Ainsi, et de manière générale, il est nécessaire de réduire le courant de fonctionnement et la consommation électrique, permettant ainsi de diminuer la taille du sélecteur et donc d’augmenter la densité d’intégration mais également de répondre aux besoins des applications à basse consommation, ou “low-power”. De plus, pour les applications embarquées, il est nécessaire d’améliorer la rétention de l’information à haute température (particulièrement pour les applications automobiles) ainsi que la conservation de l’information lors de l’étape de soudure (particulièrement pour les applications de cartes électroniques sécurisées). Enfin, en ce qui concerne les applications “stand-alone”, il est nécessaire d’augmenter la densité d’intégration de cette technologie en réduisant la surface nécessaire au stockage d’une information, tant en terme de  $F^2$  que de  $\mu m^2$ . Pour cela, il est proposé de réduire le courant de programmation de la cellule PCRAM, de développer le stockage multi-bits ou d’utiliser des cellules de dimensions réduites.

Au cours de cette thèse, nous avons donc cherché à obtenir des dispositifs PCRAM plus performants. Plus précisément nous avons focalisé nos travaux de recherche sur la réduction des courants de programmation du dispositif PCRAM ainsi que sur l’amélioration de la stabilité thermique de l’état RESET tout en veillant à préserver ou améliorer les autres performances. De plus, nous avons proposé des solutions innovantes permettant aux dispositifs PCRAM de conserver l’information lors de l’étape de soudure d’une matrice mémoire sur une carte électronique. Enfin, nous avons conçu, développé et validé un procédé de fabrication permettant d’intégrer une diode de

sélection en silicium en série avec un élément résistif PCRAM, tout en proposant une solution pour que cette intégration soit compatible avec les spécifications BEOL.

Pour évaluer et valider la pertinence des solutions envisagées pour améliorer les performances électriques de la technologie PCRAM, nous avons utilisé des dispositifs de type 1R c'est-à-dire sans aucun élément de sélection intégré en série. Deux types de dispositifs, au sein desquels la couche de matériau à changement de phase est déposée par pulvérisation au-dessus du pilier, sont à notre disposition : le premier, fabriqué au LETI, utilise une structure “plug” tandis que le second, fabriqué en collaboration avec STMicroelectronics, utilise une structure “Wall”. Afin d'interpréter les résultats électriques, nous avons utilisé un ensemble de techniques de caractérisation tant morphologiques que physico-chimiques ainsi qu'un ensemble d'outils de modélisation et de simulation, notamment de simulation TCAD.

Dans une première étude, nous avons proposé une optimisation de la structure des dispositifs PCRAM fabriqués au LETI en ajoutant une fine couche diélectrique en  $\text{HfO}_2$  entre le pilier circulaire en tungstène de diamètre 300 nm et la couche de GST : cela permet d'obtenir des dispositifs dont la zone active est de dimensions réduites sans avoir recours à des techniques de lithographie, gravure ou dépôt onéreuses et complexes.

Pour permettre le fonctionnement de ces dispositifs avec  $\text{HfO}_2$ , l'utilisation d'une procédure initiale de claquage est indispensable pour créer un chemin conducteur, de section inférieure à celle du pilier, à travers la couche de  $\text{HfO}_2$  permettant ainsi le passage du courant entre le pilier en tungstène et le GST. Nous avons démontré que la section de ce chemin conducteur est directement reliée à l'intensité du pic de courant transitoire traversant le dispositif PCRAM lors du claquage.

Suite à ce claquage initial, nous avons observé que certaines performances électriques du dispositif PCRAM sont considérablement améliorées. Ainsi, les courants de programmation et la consommation électrique sont réduits jusqu'à 80%, du fait de la section réduite du chemin conducteur, tandis que la rétention de l'information à haute température est augmentée puisque la température maximale de rétention à 10 ans atteint  $172^\circ\text{C}$  contre  $125^\circ\text{C}$  dans le cas des dispositifs de référence. De plus, l'endurance, la vitesse de cristallisation et la stabilité temporelle de l'état RESET de ces dispositifs sont en accord avec les cahiers des charges des applications visées. Enfin, avec de tels dispositifs, nous avons proposé une méthode originale pour stocker une information et la conserver lors de l'étape de soudure de la matrice mémoire sur une carte électronique : utiliser l'état vierge du dispositif comme état hautement résistif et l'état après claquage initial de la couche de  $\text{HfO}_2$ , comme état faiblement résistif. Toutefois, afin d'exploiter complètement le potentiel de cette nouvelle structure de dispositif PCRAM et pour obtenir des chemins conducteurs de section encore plus faible, il nous semble indispensable d'utiliser un sélecteur, notamment un transistor

## Conclusion générale et perspectives

---

MOSFET, intégré en série avec l'élément résistif PCRAM permettant ainsi de réduire considérablement le pic de courant se produisant lors du claquage de la couche diélectrique.

Dans une seconde étude, nous avons cherché à améliorer les performances électriques d'un dispositif PCRAM à structure "Wall", fabriqué en collaboration avec STMicroelectronics, en y intégrant un matériau à changement de phase alternatif : le GST dopé au carbone, obtenu par co-pulvérisation d'une cible de carbone et d'une cible de GST pur. Nous avons montré que la présence du carbone au sein du GST permet de réduire les courants de programmation ainsi que la consommation électrique du dispositif PCRAM et d'améliorer sa rétention à haute température tout en conservant son endurance, sa vitesse de cristallisation et sa stabilité temporelle de l'état RESET.

Ainsi, la température de cristallisation et l'énergie d'activation de cristallisation du GST dopé au carbone sont supérieures à celles du GST pur. Par exemple, la présence de 14% de carbone au sein du GST permet aux dispositifs PCRAM dont la section du pilier est égale à  $900 \text{ nm}^2$ , de conserver l'information stockée dans l'état RESET à  $147^\circ\text{C}$  pendant 10 ans tandis que dans le cas des dispositifs à base de GST, la température maximale admissible est  $124^\circ\text{C}$ . De plus, les courants de programmation ainsi que la consommation électrique de ces mêmes dispositifs à base de GST-C sont réduits de plus de 45%. Nous avons également montré que la présence de 4% de carbone au sein du GST permettrait à ce type de dispositifs d'être compatibles avec les valeurs de courant de programmation requises pour le nœud technologique 22 nm voire 16 nm tandis que les dispositifs à base de GST pur ne le seraient pas.

Nous avons expliqué la réduction des courants de programmation des dispositifs à base de GST dopé au carbone par la réduction de la conductivité thermique ainsi que par l'augmentation de la résistivité dynamique de ce matériau à changement de phase alternatif. Ces variations ont été attribuées à la réduction de la taille des domaines cristallins que nous avons mise en évidence expérimentalement à l'aide de mesure de diffraction de rayons X. Nous pensons ainsi que la cause première de la réduction des courants de programmation des dispositifs PCRAM à base de GST dopé au carbone est la limitation par le carbone des processus de cristallisation du matériau à changement de phase. De plus, nous avons mis en évidence que l'amélioration de la rétention à haute température des dispositifs à base de GST dopé au carbone est due à la rigidification de la phase amorphe du matériau à changement de phase par le carbone.

Enfin, nous avons proposé une méthode innovante pour conserver l'information pendant l'étape de soudure d'une matrice mémoire sur une carte électronique en encapsulant la couche de GST dopé au carbone par une couche de titane. Cette étude nous a permis de montrer l'intérêt du dopage au carbone pour améliorer la compétitivité de la technologie PCRAM vis-à-vis des autres technologies mémoires.



Les dispositifs PCRAM possédant seulement deux terminaux contre trois pour les transistors utilisés par les mémoires Flash, il est intéressant de profiter de cette spécificité pour créer des matrices mémoires PCRAM de grande capacité à faible coût. Pour cela, il est souvent proposé d'organiser les cellules mémoires au sein d'une architecture crossbar. Dans ce cas, il est indispensable d'intégrer en série avec l'élément résistif PCRAM, un élément de sélection qui, pour être pleinement compatible avec l'architecture crossbar, doit répondre à un cahier des charges drastique, notamment en termes de courant et densité de courant délivrés mais également en termes de budget thermique.

Au cours de cette thèse, nous avons donc conçu et validé un procédé de fabrication permettant d'obtenir des diodes PN verticales dont les performances électriques semblent prometteuses en vue d'une utilisation au sein d'une architecture crossbar à base de cellules PCRAM. Ainsi, nous avons développé un procédé d'épithaxie sélective cyclique permettant la croissance et le dopage in-situ de silicium monocristallin au sein de vias de diamètre réel compris entre 100 nm et 1250 nm. À l'aide de vues en coupe, obtenues par les techniques d'imagerie MEB et TEM, nous avons constaté l'absence de défauts à l'interface entre le silicium du "buffer" et le silicium de la jonction PN ainsi que la croissance contrôlée de zones N et P, validant ainsi le procédé d'épithaxie mis au point.

De plus, l'analyse des performances électriques de ces diodes a révélé que lorsqu'elles sont polarisées en direct à 1,5 V, que ce soit de manière quasi-statique ou dynamique, elles délivrent des courants supérieurs à 1 mA. Dans le cas des diodes de diamètre réel 100 nm, des densités de courant de 30 MA/cm<sup>2</sup> environ ont été obtenues rendant ces diodes compatibles avec les densités de courant requises pour les nœuds technologiques 16 nm et 22 nm et permettant un ratio entre les courants en direct et en inverse supérieur à 10<sup>7</sup>. Nous avons également montré que les tensions de claquage de ces diodes sont comprises entre -6 V et -6,5 V et que celles-ci ne se détériorent pas du fait d'une utilisation répétée ou d'une élévation de la température. Enfin, nous avons mis en évidence que les temps de commutation de ces diodes sont inférieurs à 5 ns. Nous avons donc confirmé l'accord entre le cahier des charges drastique imposé au sélecteur et les performances des diodes étudiées, à l'exception des contraintes liées aux budgets thermiques des procédés de fabrication.

En utilisant ce procédé d'épithaxie sélective cyclique, nous avons fabriqué des cellules PCRAM de type 1D1R dans lesquelles l'élément résistif PCRAM est intégré en série avec la diode de sélection en silicium monocristallin. Et afin de réduire les courants de programmation de ces cellules PCRAM, nous avons intégré une couche diélectrique d'interface en HfO<sub>2</sub> entre la couche de GST et la diode en silicium. Pour finir, nous avons proposé un procédé de fabrication compatible BEOL permettant de fabriquer et de superposer des cellules PCRAM 1D1R obtenues par collage d'un élément mémoire et d'une jonction PN en silicium dopé déposé pleine tranche par épithaxie.



D'une manière générale, au cours de cette thèse, nous avons montré qu'en optimisant la structure de la cellule mémoire ou le matériau à changement de phase lui-même, il est possible d'améliorer les performances électriques de dispositifs PCRAM, notamment de réduire les courants de programmation ainsi que la consommation électrique mais également d'augmenter la rétention de l'information à haute température. Cela permet de satisfaire au cahier des charges des applications "stand-alone", qui requièrent une densité d'intégration élevée, mais également des applications embarquées, notamment automobiles, qui requièrent une excellente rétention, notamment à haute température. De plus, nous avons montré que les exigences de certains marchés, notamment celui des cartes électroniques sécurisées, qui souhaitent pouvoir stocker des informations au sein d'une matrice mémoire avant l'étape de soudure de la puce mémoire sur une carte électronique, peuvent être satisfaites par les mémoires PCRAM à conditions d'optimiser la cellule mémoire à l'aide de solutions innovantes. Nous avons également mis en évidence que l'utilisation d'une cellule mémoire à seulement deux terminaux, permettant d'organiser les cellules mémoires sous forme d'architecture crossbar, ainsi que la compatibilité des mémoires PCRAM avec les spécifications d'une intégration BEOL, peuvent être deux avantages majeurs de la technologie PCRAM sur la technologie Flash en vue de réduire le coût d'un gigabit. Enfin, les vitesses de programmation et de lecture mais également l'endurance et le coût des technologies Flash actuelles empêchent celles-ci d'accéder au marché des mémoires de type "storage-class memory", que la rapidité plus élevée, la meilleure endurance ainsi que le coût potentiellement plus faible de la technologie PCRAM pourrait adresser.

Pour conclure, nous pensons que les mémoires à changement de phase possèdent des avantages importants vis-à-vis des technologies Flash actuelles mais également vis-à-vis des autres technologies mémoires alternatives et émergentes et que la compétitivité de la technologie PCRAM peut encore être accrue par de nombreuses optimisations du matériau à changement de phase, de la structure de la cellule mémoire et de l'élément de sélection.

## Bibliographie de l'auteur

Les résultats obtenus au cours de cette thèse ont fait l'objet de publications dans des revues à comité de lecture ainsi que de présentations lors de conférences à comité de lecture avec actes. L'ensemble des communications réalisées est listé ci-dessous :

- 2011

**Q. Hubert**, C. Jahan, A. Toffoli, L. Perniola, V. Sousa, A. Persico, et al. "RESET current reduction in phase-change memory cell using a thin interfacial oxide layer", Proc. European Solid State Device Research Conference (ESSDERC), pp. 95-98, 2011

- 2012

**Q. Hubert**, C. Jahan, A. Toffoli, G. Navarro, S. Chandrashekar, P. Noé, et al. "Lowering the RESET current and power consumption of phase-change memories with carbon-doped  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ", Proc. International Memory Workshop (IMW), pp. 1-4, 2012  
G.B. Beneventi, L. Perniola, **Q. Hubert**, A. Glière, L. Larcher, P. Pavan, et al. "Assessment of self-induced Joule heating effect in the I-V readout region of polycrystalline  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  phase-change memory", Trans. on Electron Dev., vol. 59, pp. 188-196, 2012

M. Suri, O. Bichler, **Q. Hubert**, L. Perniola, V. Sousa, C. Jahan, et al. "Interface engineering of PCM for improved synaptic performance in neuromorphic systems", Proc. International Memory Workshop (IMW), pp. 1-4, 2012

**Q. Hubert.** “Caractérisation électrique de mémoires à changement de phase à base de  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  dopé carbone : réduction du courant de programmation et de la consommation électrique”, Présentation orale lors des Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM), 2012

**Q. Hubert**, C. Jahan, A. Toffoli, G. Navarro, S. Chandrashekar, P. Noé, et al. “Carbon-doped  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  phase-change memory devices featuring reduced RESET current and power consumption”, Proc. European Solid State Device Research Conference (ESSDERC), pp. 286-289, 2012

V. Sousa, **Q. Hubert**, G. Navarro, L. Perniola, A. Persico, C. Jahan, et al. “Phase-change materials strategies for reset current reduction”, Proc. European Phase Change and Ovonic Symposium (E\*PCOS), 2012

L. Perniola, P. Noé, **Q. Hubert**, S. Souiki, G. Ghezzi, G. Navarro, et al. “Ti impact in C-doped phase-change memories compliant to Pb free soldering reflow”, Int. Electron Dev. Meeting Tech. Dig., pp. 18.7.1-18.7.4, 2012

### • 2013

**Q. Hubert**, C. Jahan, A. Toffoli, V. Delaye, D. Lafond, H. Grampeix, et al. “Detailed analysis of the role of thin  $\text{HfO}_2$  interfacial layer in  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ -based PCM”, Trans. Electron Dev., vol. 60, pp. 2268-2275, 2013

S. Souiki, **Q. Hubert**, G. Navarro, A. Persico, C. Jahan, E. Henaff, et al. “Reliability study of carbon-doped GST stack robust against Pb-free soldering reflow”, Proc. International Reliability Physics Symposium (IRPS), pp. MY.8.1-MY.8.5, 2013

M. Suri, O. Bichler, **Q. Hubert**, L. Perniola, V. Sousa, C. Jahan, et al. “Addition of  $\text{HfO}_2$  interface layer for improved synaptic performance of phase-change memory (PCM) devices”, Solid-state electronics, vol. 79, pp. 227-232, 2013

**Q. Hubert**, C. Jahan, V. Sousa, L. Perniola, A. Kusiak, J.-L. Battaglia, et al. “A new insight on  $I_{\text{RESET}}$  reduction of carbon-doped GST based PCM”, Proc. Solid-State Device Meeting, 2013

**Q. Hubert**, C. Jahan, “Procédé de pré-programmation d'une cellule mémoire à changement de phase et cellule mémoire à changement de phase”, brevet en cours de dépôt, 2013



---

## Résumé en langue française

---

Au cours des dernières années, la demande de plus en plus forte pour des mémoires non-volatiles performantes, a mené au développement des technologies NOR Flash et NAND Flash, qui dominent aujourd'hui le marché des mémoires non-volatiles. Cependant, la miniaturisation de ces technologies, qui permettait d'en réduire le coût, laisse aujourd'hui entrevoir ses limites. En conséquence, des mémoires alternatives et émergentes sont développées, et parmi celles-ci, la technologie des mémoires à changement de phase, ou PCRAM, est l'une des candidates les plus prometteuses tant pour remplacer les mémoires Flash, notamment de type NOR, que pour accéder à de nouveaux marchés tels que le marché des SCM. Toutefois, afin d'être pleinement compétitives avec les autres technologies mémoires, certaines performances de la technologie PCRAM doivent encore être améliorées.

Au cours de cette thèse, nous cherchons donc à obtenir des dispositifs PCRAM plus performants. Parmi les résultats présentés, nous réduisons les courants de programmation et la consommation électrique des dispositifs tout en augmentant la rétention de l'information à haute température. Pour cela, nous modifions la structure du dispositif ou nous utilisons un matériau à changement de phase alternatif. De plus, à l'aide de solutions innovantes, nous permettons aux dispositifs PCRAM de conserver l'information pendant une éventuelle étape de soudure de la puce mémoire. Enfin, nous avons conçu, développé et validé un procédé de fabrication permettant d'intégrer une diode PN de sélection en silicium en série avec un élément résistif PCRAM, démontrant l'intérêt de ce sélecteur vertical pour être utilisées comme élément de sélection d'une cellule PCRAM intégrée au sein d'une architecture crossbar.

---

## Résumé en langue anglaise

---

In the past few years, the increasing demand for high quality non-volatile memory (NVM) devices, leads to the development of NOR Flash and NAND Flash technologies, which are now the two main NVM players. However, because of some limitations such as performance degradation and limited cost reduction, the scaling of these technologies will reach in the next few years. Therefore, new NVM technologies are under development and among them, phase-change memory (PCM) technology has attracted strong interest and is now became one of the most promising candidates in order to replace Flash technologies, especially NOR Flash technology, and to address new memory markets, such as storage-class-memory market. However, in order to fully take their role in the memory arena, some performances of the PCM technology have to be improved.

Therefore, during this PhD, we have tried to improve PCM devices electrical performances by reducing both programming currents and energy consumption while increasing high-temperature data-retention. To this extent, we have studied innovative device structure and alternative phase-change material. Moreover, using innovatives solutions, we show that our PCM devices could store data during the soldering step of the memory chipset. Finally, we have conceived, developed and validated, a process flow in order to make 1D1R PCM cell with silicon-based vertical PN diodes, proving the relevance of this selector for PCRAM-based crossbar architecture.